

高性能マルチプレクス・データ・アキュイジション・システムの設計

著者：Maithil Pachchigar

はじめに

医療用画像システムや産業用プロセス制御システム、自動テスト装置、40Gbps/100Gbps対応の光通信システムなどでは、チャンネル密度の高いデータ・アキュイジション・システム（以下、DAQシステム）が使用されています。DAQシステムは、数多くのセンサーからの信号をマルチプレクス化（多重化）し、各チャンネルの信号を少数のA/Dコンバータ（ADC）で逐次変換します。マルチプレクスを行っている理由は、システムに必要なADCの数を減らすためです。それにより、システムの消費電力、サイズ、コストを大幅に削減することができます。逐次比較型のADCとしては、一般にSAR（Successive Approximation Register）ADCと呼ばれるものが使われています。この種のADCは遅延が小さいという特徴があります。そのため、高速応答が求められるマルチプレクス・システムでよく使用されています。SAR ADCであれば、フル・スケールに相当する入力ステップ（ワースト・ケース）に対しても、セトリング・タイムの問題が生じないレベルの性能が得られます。しかも使いやすく小型で低消費電力です。本稿では、高性能/高精度のSAR ADCを使用したマルチプレクスDAQシステムについて解説します。そのようなDAQシステムを設計する際に考慮すべき点、得られる性能、アプリケーションにおける課題について説明します。

マルチプレクスDAQシステムの課題

マルチプレクスDAQシステムでは、ADCのフル・スケールに相当する入力信号を駆動する場合でも、セトリング・タイムが十分に短い広帯域幅のADC駆動用アンプ（ADCドライバ）が必要になります。加えて、マルチプレクスにおけるチャンネルの切り替えと逐次のサンプリングが、ADCの変換周期と同期している必要があります。また、隣接する入力電圧の差が大きいと、チャンネル間のクロストークが起りやすくなります。そうしたエラーの発生を避けるためには、マルチプレксаとADCドライバを含むシグナル・チェーンにおいて、精度の要件を満たす必要があります。そうした精度の要件は、クロストーク・エラーやセトリング・エラーとして規定されます。図1は、マルチプレкса、ADCドライバ、SAR ADCを含むマルチプレクスDAQシステムの構成を示したものです。

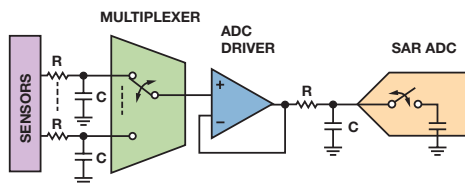


図1. マルチプレクスDAQシステムのブロック図

マルチプレкса

高性能のマルチプレксаを実現するには、入力を高速で切り替える能力と広い帯域幅が必要になります。マルチプレксаのターンオン・タイムとターンオフ・タイムは、一般的には図2に示すように規定されます。つまり、デジタル制御入力に変化してから出力が V_{OUT} の90%を超えるまでの時間と下回るまでの時間です。

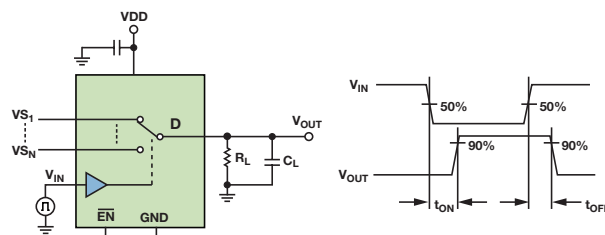


図2. マルチプレксаのターンオン/ターンオフ・タイム

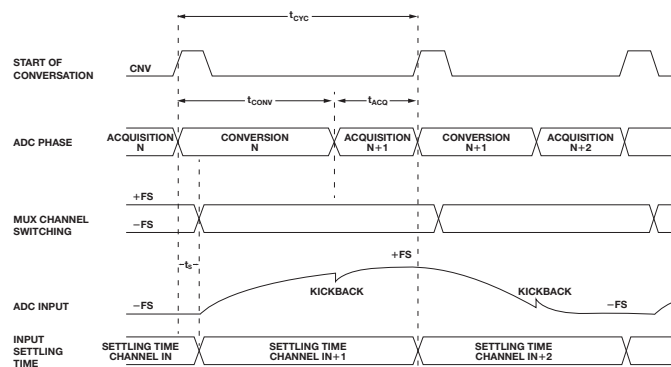
マルチプレксаの入力部には、チャンネルのスイッチングを行う際に電圧のグリッチやキックバックが発生します。このキックバックは、ターンオン/ターンオフ・タイム、オン抵抗、負荷容量によって決まる関数です。オン抵抗が小さい大型のスイッチは、大容量の出力コンデンサとしても働きます。このコンデンサでは、入力が切り替わるたびに新たな電圧に向けて充放電が行われます。出力が新たな電圧にセトリングされなければ、クロストーク・エラーが発生します。そのため、マルチプレксаの帯域幅は十分に広くなければなりません。フル・スケールに相当する入力ステップに対してセトリングするには、マルチプレксаの入力部にバッファ・アンプまたは大容量のコンデンサを付加する必要があります。また、オン抵抗にリーク電流が流れるとゲイン誤差が生じるので、オン抵抗とリーク電流は共に小さく抑えなければなりません。

ADCドライバ

マルチプレксаの入力チャンネルを切り替える際、ADCドライバは、一定のサンプル時間内に大きな電圧ステップに追従してセトリングを行わなければなりません。入力負のフル・スケールから正のフル・スケール（またはその逆）に変化する可能性があります。つまり、短時間のうちに入力電圧のステップが大きくなる場合があります。ADCドライバは、このステップに対応できるだけの広い帯域幅と短いセトリング・タイムを備えているものでなければなりません。また、ADCドライバのスループットや出力電流の制限が原因となって信号には非線形性が生じます。加えて、ADCドライバは、アキュイジション・タイムの始めに、SAR ADCの入力部における電荷の再平衡によって生じるキックバックをセトリングする必要があります。このことは、マルチプレクス・システムにおける入力のセトリングにおいてボトルネックになる可能性があります。セトリング・タイムの問題は、ADCのスループット・レートを下げてアキュイジション・タイムを長くすることによって軽減できます。それによって、ADCドライバは、求められる精度が得られるようにセトリングするための十分な時間を確保することができます。

図3は、マルチプレクスDAQシステムにおいて、入力がフル・スケールで変化したときの一般的なタイミング・チャートです。ADCの動作周期は、コンバージョン・タイムとアキュイジション・タイムから成ります（ $t_{CYC} = t_{CONV} + t_{ACQ}$ ）。通常、データシートでは、動作周期はスループット・レートの逆数で規定されています。SAR DACが備える容量性D/Aコンバータ（DAC）は変換の開始時には入力から切り離されています。マルチプレксаでは、スイッチングの遅延時間（ t_s ）が経過した後次のチャン

図3. マルチプレクスDAQシステムのタイミング・チャート



マルチプレクサの入力部からのキックバックに対処するために、出力インピーダンスの低いバッファが使用されることがあります。SAR ADCの入力帯域幅（数十MHz）とADCドライバの入力帯域幅（数十～数百MHz）はサンプリング周波数よりも広くとられます。一方、入力信号の帯域幅は数十kHz～数百kHzです。そのため、マルチプレクサの入力部にはRC（抵抗、コンデンサ）で構成したアンチエイリアシング（折返し誤差防止）フィルタを挿入しなければならないことがあります。帯域内に折り返される不要な信号（エイリアス）を除去したり、セトリング・タイムの問題を軽減したりするためです。各入力チャンネルで使用するフィルタのコンデンサの値は次に述べるトレードオフを考慮して慎重に決定する必要があります。それは、コンデンサの容量を大きくすると、マルチプレクサからのキックバックを減衰させることができますが、位相マージンが減るので前段のアンプが不安定になるというものです。Qが高く、温度係数が小さく、電圧に対する電気的特性が安定したRCフィルタを構成するためには、C0GタイプまたはNP0タイプのコンデンサを使用するべきです。また、アンプを安定させ、出力電流を制限するためには、直列抵抗の値を適切に選択する必要があります。抵抗が大きすぎると、アンプはマルチプレクサからキックバックが生じた後、コンデンサを再充電できなくなります。

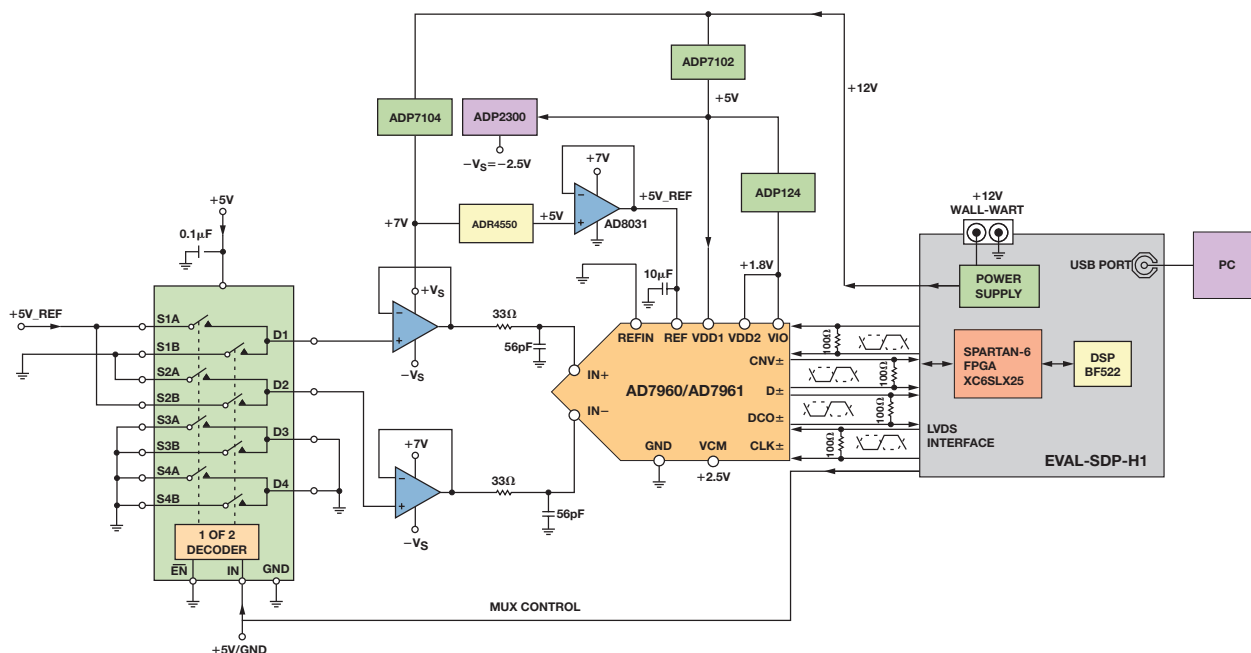


図4. マルチプレクスDAQシステムのシグナル・チェーン

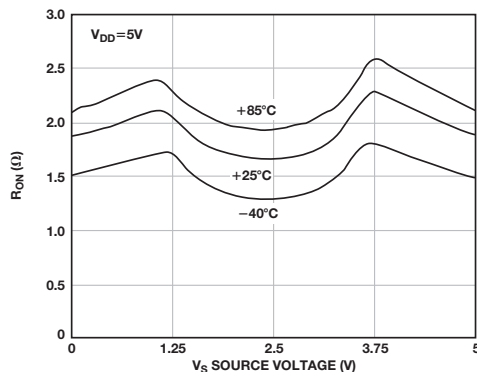


図5. ADG774における入力電圧に対するオン抵抗の変化

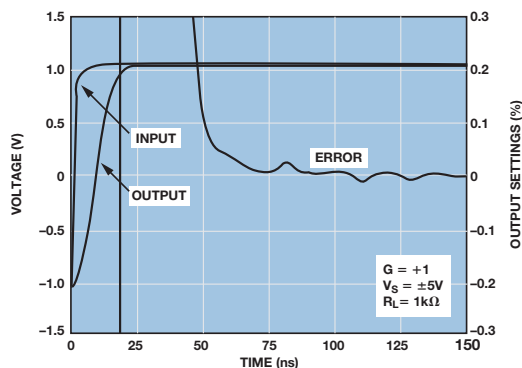


図6. ADA4899-1のセtring性能（標準値）

システムのシグナル・チェーン

図4にマルチプレクスDAQシステムのシグナル・チェーンを示しました。アナログ・デバイセズのCMOSマルチプレクサ「ADG774」によって2つの差動チャンネルのうち1つが選択されます。このシステムを評価するために、ADG774の正と負の差動入力を連続的に切り替えて、ステップがフル・スケールとなる信号を生成します。2つの超低歪みオペアンプ「ADA4899-1」はマルチプレクサの出力をバッファリングし、PulSAR[®]ファミリのADC「AD7960」を駆動します。同ADCは分解能が18ビット、サンプリング・レートが5MSPSの製品です。RCフィルタ（33Ω/56pF）は、AD7960が内蔵する容量性DACの入力部からのキックバックを低減し、AD7960に入力されるノイズを制限します。

ADG774は、2:1のクワッド型CMOSマルチプレクサです。スイッチングは高速で（ $t_{ON}=7\text{ns}$ 、 $t_{OFF}=4\text{ns}$ ）、オン抵抗は小さく（ $R_{ON}=2.2\Omega$ ）、帯域幅が広い（ $f_{-3\text{dB}}=240\text{MHz}$ ）という特徴を持ちます。また、消費電力が少ない（5nW）ため、電池で駆動する携帯型機器に最適です。ADG774の入力は5Vのリファレンス電圧とグラウンドに接続されています。そのため、出力は正のフル・スケールから負のフル・スケールまでスイングします。図5は、ADG774の入力電圧に対するオン抵抗の値を示したグラフです。温度が-40℃、25℃、85℃の各条件下で、アナログ入力電圧を0V~5Vに変化させています。このような性能を持つため、信号の切り替えを高速に行っても、優れた線形性と歪み特性が得られます。

ADG774の出力には、入力インピーダンスの高いオペアンプを接続しています。このADA4899-1は帯域幅が600MHz、スルーレートが310V/μsの高速オペアンプです。ノイズは1nV/√Hz、歪みは-117dBcという高い性能を実現しています。7V/-2.5Vの電源電圧で動作し、十分なヘッドルームがあるので、システムのノイズと歪みを低く抑えることができます。図6に示すように、このオペアンプは2Vppの入力信号に対し、50nsのセトリング・タイム、0.1%の誤差でセトリングします。そのため、AD7960の駆動には理想的なものと言えます。

AD7960は高精度の差動型ADCです。遅延またはパイプライン遅延を生じることなく、クラス最高水準のノイズ性能と線形性を提供します。分解能は18ビットで、INL（積分非直線性誤差）は±0.8LSB、S/N比は99dB、全高調波歪（THD）は-117dBです。サンプリング・レートが5MSPS、低消費電力、低コストのADCです。電源電圧は5V（VDD1）と1.8V（VDD2とVIO）で、エコー・クロック・モードで変換する場合の消費電力は5MSPSのサンプリング・レートでわずか46.5mWです。コア部の消費電力は、スループットの向上に伴って線形に増加します。そのため、チャンネル密度が高く、低消費電力であることが求められるアプリケーションに適しています。なお、5Vと1.8Vの電源電圧は、「ADP7104」、「ADP124」のような低ノイズのLDO（低ドロップアウト）レギュレータによって生成します。

ADCのフル・スケールの差動入力範囲は、外部リファレンスによって5Vまたは4.096Vに設定されます。ダイナミック・レンジを最大限に活用するために、入力信号は

0Vから V_{REF} の範囲で振れるようにします。このシグナル・チェーンでは、5Vのリファレンスは電圧リファレンスIC「ADR4550」によって供給します。このICは温度に対する安定性が優れていること、出力ノイズが小さいことを特徴とします。出力電圧の初期誤差は±0.02%、最大動作電流は950μAです。

レールtoレールのオペアンプ「AD8031」は、リファレンス電圧のバッファリングに使用します。AD8031は大容量の負荷に対しても安定しています。そのため、過渡電流によって生じる電圧スパイクを最小化するためのデカップリング・コンデンサを駆動することができます。電池で駆動する広帯域幅のシステムや、コンポーネントの実装密度が高く、低消費電力であることが要求される高速システムなど、さまざまなアプリケーションで使用できます。

AD7960のデジタル・インターフェースとしては、LVDS（Low Voltage Differential Signaling）に対応するセルフ・クロック・モードとエコー・クロック・モードが用意されています。これらにより、ADC（CLK±とD±）と、ホストとなるデジタル・デバイスとの間で最大300MHzの高速データ転送を行うことが可能です。また、LVDSインターフェースによって複数のデバイスでクロックを共有することができます。そのため、デジタル信号線の本数を削減でき、配線が容易になります。パラレル・インターフェースと比較して消費電力が少ないので、マルチプレクス・アプリケーションでは特に効果的です。

AD7960は変換を始めてから約115ns後にアキュイジション・モードに移行します。200nsの周期のうち約40%を信号のアキュイジションに使用できることになります。アキュイジション・タイムが比較的長いので、オペアンプの帯域幅とセトリング・タイムには余裕が生まれます。それにより、差動入力を駆動しやすくしています。また、スループット・レートが5MSPSと高く、複数のチャンネルを高速のスキャン・レートでマルチプレクスできます。そのため、多チャンネルのシステムにおいてもADCの本数を少なく抑えることが可能です。

AD7960では、変換周期のうち90ns~110nsの範囲をクワイエット・タイムとしています。この間に、マルチプレクサの入力を切り替えてはなりません。実行中の変換に悪影響を与えないために、マルチプレクサは、スタート信号であるCNV±の立上がりエッジから90nsまでの間、または110ns以降に切り替える必要があります。アナログ入力クワイエット・タイム中に切り替えられた場合、変換中のデータの最大15LSBが破損する可能性があります。フル・スケールの信号に追従して遷移し、入力をセトリングするための時間を最大限確保できるように、アナログ入力はできるだけ早く切り替える必要があります。

16回の変換が終わるたびに、マルチプレクサは、CNV±の立上がりエッジから約10ns後に-5Vから5Vに切り替えます（図7）。それによりフル・スケールのステップが生成され、ADCの出力は負のフル・スケールから正のフル・スケールに変化します（図8）。

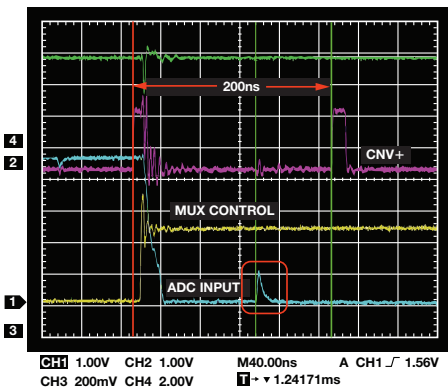


図7. 内部の容量性DACからのキックバックが現れている様子

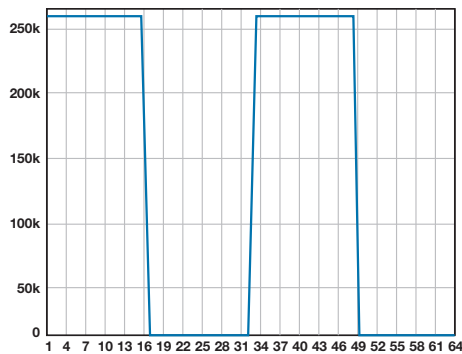


図8. AD7960の出力（16回の変換ごとに、ADG774による切り替えを行った結果）

スイッチングによる遅延は、ADCのアーチャ遅延（1.6ns）よりも大きくなります。ADCの入力部で測定した信号には、AD7960の容量性DACからの約1Vppのキックバックが現れています（図7の赤線の枠内）。出力を完全にセトリグするため、ADCドライバは次の変換が始まる前に、この過渡的な信号をセトリグする必要があります。次の変換が始まる前というのは、ADCが5MSPSで動作している場合であれば、80nsのアクイジション・タイムの間という意味です。ADCをより低いスループット・レートで動作させると、アクイジション・タイムが長くなり、キックバックのセトリグに余裕ができます。その結果、マルチプレクサにおいてチャンネル間のクロストーク・エラーが少なくなり、フル・スケールのステップに対するセトリグ・タイムも改善されます。

マルチプレクサの入力部で測定した信号にも、チャンネルの切り替えによって生じたキックバックが現れています。マルチプレクサの入力部に配置したバッファ・アンプはこのキックバックをセトリグする役割を果たします。コストや面積の面から、そうしたバッファ・アンプを使用できない場合には、キックバックやクロストークの影響を抑えるために、最適化したRCフィルタを入力部に挿入するとよいでしょう。そのRCフィルタの効果は、シグナル・チェーン全体のノイズやセトリグ・タイムにまで及びます。

マルチプレクサがスタティックな状態にある場合、最大スループット・レートが5MSPSのAD7960を使用したDAQシステムの出力は、フル・スケールの公称値とは約14LSB異なります。この差はシステム全体のゲイン誤差とオフセット誤差によって生じています。マルチプレクサの切り替え中に、ADCドライバであるADA4899-1は、ほと

んどのアプリケーションで許容可能なチャンネル間クロストーク・エラーの範囲内で、正/負のフル・スケールに出力をセトリグします。出力誤差は、スループットを高めるとそれに依存して指数関数的に増加し、5MSPSで最大の0.01%に達します（図9）。スループット・レートを下げてクロストーク・エラーをゼロにすると、最初の変換を行っている間に、ADCの出力はその最終値にセトリグされます。

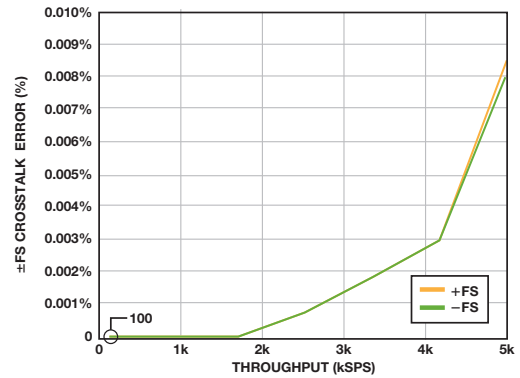


図9. クロストーク・エラーとスループットの関係（クロストーク・エラーはフル・スケール振幅に対する割合で示している）

図10に示すように、フル・スケールに対するクロストーク・エラーは、差動入力振幅が1Vpp（フルスケールの10%）の場合で0.001%未満です。振幅を増加させると、それに依存して直線的に増加します。ステップに対するクロストーク・エラーは、全体を通してほぼ平坦で、常に0.01%未満です。

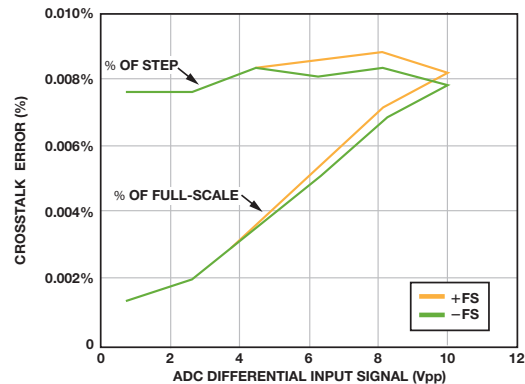


図10. 差動入力信号とクロストーク・エラーの関係

このマルチプレクスDAQシステムのシグナル・チェーンは、ノイズとセトリグ・タイムのトレードオフが最良の場合に最高の性能が得られます。ここまでに示した結果からわかるように、ADCドライバとしては帯域幅が広くセトリグが高速なオペアンプを使用すべきです。それにより、大きい電圧ステップとADCの入力部からのキックバックをセトリグし、マルチプレクスを適用した場合のクロストーク・エラーを減少させることが可能になります。

レイアウトに関する考察

プリント回路基板のレイアウトは、シグナル・インテグリティを確保し、シグナル・チェーンに対して期待できる性能を引き出すうえで非常に重要です。図11に、評価に使用する4層プリント回路基板（サイズは69mm×85mm）の最上位層を示しました。基板上の各部品の配置と各信号の配線には注意が必要です。この例

では、入力信号を左から右に配線しています。すべての電源とADCのリファレンス・ピンは、DUT（テストの対象とするデバイス）の周辺に配置したコンデンサでデカップリングしています。そのうえで、高周波電流用のパスの確保、EMIに対する耐性の最大化、電源ラインのグリッチの影響の低減を目的とし、接続には太く、短く、低インピーダンスの配線を使用しています。デカップリング・コンデンサの値は、データシートでは通常10 μ Fと100nFが推奨されています。不要な寄生容量が構成されるのを避けるために、マルチプレクサ、オペアンプ、ADCの入出力ピンの下に当たる部分では、グラウンド・プレーンと電源プレーンを除去する必要があります。また、デバイスのエクスポーズド・パッドは、複数のビアを使用してプリント回路基板のグラウンド・プレーンに直接はんだ付けします。そして、ノイズに弱いアナログ部はデジタル部からは離して配置します。加えて、電源回路はアナログ信号パスから離しておきます。ADCにノイズがカップリングされるのを防ぐために、CNV $\pm$ やCLK $\pm$ などの高速スイッチ信号は、アナログ信号パスの近くに配線したり、交差したりしないようにします。

代表的なアプリケーション

多チャンネルのDAQシステムは、産業用オートメーションや医療用画像分野で使用されています。そうした用途では、帯域幅が広く、精度が高く、高速でサンプリングが行えることが求められます。しかも、すべてが小型かつ低コストで実現されなければなりません。スループット・レートが5MSPS、分解能が18ビットのAD7960や同16ビットの「AD7961」を使用すれば、マルチプレクスを適用して多くのチャンネルを少数のADCによって実現することができます。しかも、コスト、消費電力、実装面積を大幅に削減することが可能です。実装面積や熱、消費電力など、チャンネル密度の高いシステムに共通する設計上の課題に対処できるということです。

CTスキャナ（コンピュータ断層撮影装置）やデジタルX線（DXR）装置で高品位の画像を得るには、線形性に優れていることと、ノイズが少ないことが求められます。高いサンプリング・レートで多くのチャンネルを切り替えてADCに入力すれば、走査時間が短くて済み、放射線の被ばく量を抑えられます。言い換えれば、適正なコストで正確な診断が行え、患者の満足度も高くなるということです。CTスキャナにおいて、ピクセルからの電流は、チャンネル当たり1つの積分器とトラック&ホールド回路によって連続的に捕捉されます。そのようにして得られ

た出力は、マルチプレクスされたうえで高速ADCに入力されます。各ピクセルからの小さな電流は、低ノイズのアナログ・フロントエンド回路によって大きな電圧に変換され、信号処理に使用するためにデジタル・データに変換されます。

CTスキャナやDXRのような医療用画像分野で使われるマルチプレクスDAQシステムでは、クロストーク・エラーは隣接するピクセル間で $\pm 0.1\%$ 、隣接しないピクセル間では $\pm 0.01\%$ と規定されています。本稿で示したマルチプレクスDAQシステムであれば、スループットが最大でフル・スケールの信号を扱う場合でも、シグナル・チェーンで発生するクロストーク・エラーを許容範囲内に収めることができます。

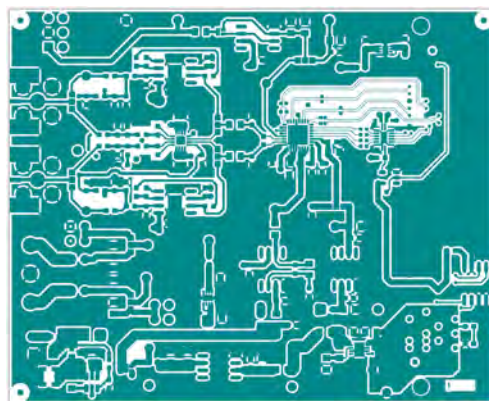


図11. 評価に使用するプリント回路基板の最上位層

まとめ

チャンネル密度が高い高性能のマルチプレクスDAQシステムには、消費電力、実装面積、熱の要件を満たすとともに、確かな性能、柔軟な機能、高い精度を実現することが求められます。本稿では、そうしたシステムのシグナル・チェーンに使用する部品を選択する際のガイドラインを示しました。また、性能に関する要求を満たすために、設計を行う際に考慮すべき事柄について解説しました。さらには、スループットとセトリング・タイム、ノイズの間のトレードオフについての考察結果も示しました。本稿で紹介したシグナル・チェーンは、5MSPS、フル・スケールという条件下で、クロストーク・エラーが0.01%未満という最高の性能を実現します。



著者：

Maithil Pachchigar (maithil.pachchigar@analog.com) は、アナログ・デバイスズ（ADI）のアプリケーション・エンジニアです。米マサチューセッツ州ウィルミントン市にある高精度コンバータ部門に所属しています。2010年にADIに入社して以来、高精度ADCの製品ポートフォリオを担当し、産業分野、計測分野、医療分野、エネルギー分野のお客様を支援しています。2005年から半導体業界に携わっており、数件の技術記事とアプリケーション・ノートを発表しています。2006年にサンノゼ州立大学で電気電子工学の修士号を、2010年にシリコン・バレー大学で経営学の修士号を取得しています。



Maithil Pachchigar

が執筆したほかの技術文書

[High-Performance Data-Acquisition System Enhances Images for Digital X-Ray and MRI（高性能データ・アキュジション・システムによるデジタルX線装置/MRI装置の強化）](#)、Volume 47、Number 4