

アプリケーション・エンジニアに尋ねる - 41

LDOのヘッドルーム、最小負荷

LDOのヘッドルームが出力ノイズとPSRRに及ぼす影響

著者 : Glenn Morita

数GHzで動作する最新のアナログ回路は、ディープ・サブミクロン・プロセスによって製造されます。それらの回路には、場合によっては1V以下など、より低い電源電圧で動作することが求められます。高速で動作する回路では、より多くの電源電流が流れるので、熱管理が難しくなります。設計を行ううえでは、回路が動作するためにはそれ以上減らせないというレベルまで消費電力を削減することが重要になります。

スイッチング方式のDC/DCコンバータは、電源回路としては最も電力効率に優れています。実際、95%を越える効率を達成している製品もあります。ただし、そうした製品では高い効率が得られる一方で、電源ノイズが広帯域にわたって生じてしまうという問題があります。そうした理由から、ノイズの多い電源レールをクリーン・アップするためのものとして、LDO（低ドロップアウト）レギュレータが使用されることがよくあります。しかし、その場合には消費電力とシステムの熱負荷との間でトレードオフが発生します。このような問題を軽減する方法の1つが、LDOの入力電圧と出力電圧の差（ヘッドルーム電圧）を小さくすることです。本稿では、ヘッドルーム電圧を小さくすることで、PSRR（電源電圧変動除去比）とトータルの出力ノイズに及ぼす影響について検討します。

ヘッドルーム vs. PSRR

LDOのPSRRは、ヘッドルーム電圧に大きく依存します。ヘッドルーム電圧が一定の場合、PSRRは負荷に流れる電流（負荷電流）が増えるにつれて劣化します。この特性は、負荷に流れる電流が多く、ヘッドルーム電圧が小さい場合に特に顕著になります。図1に示したのは、アナログ・デバイゼス（ADI）が提供する2.5V出力で超低ノイズのリニア・レギュレータ「ADM7160」の特性です。同製品について、負荷電流が200mAという条件下で、ヘッドルーム電圧を200mV、300mV、500mV、1Vにした場合のPSRRを示しました。ヘッドルーム電圧が小さくなるとPSRRも劣化しますが、その様子は驚くべきものです。例えば、100kHzにおいてヘッドルーム電圧を1Vから500mVに変更しても、PSRRは5dBしか劣化しません。ところが、500mVから300mVというわずかなヘッドルーム電圧の変化によって、18dB以上ものPSRRの劣化が生じます。

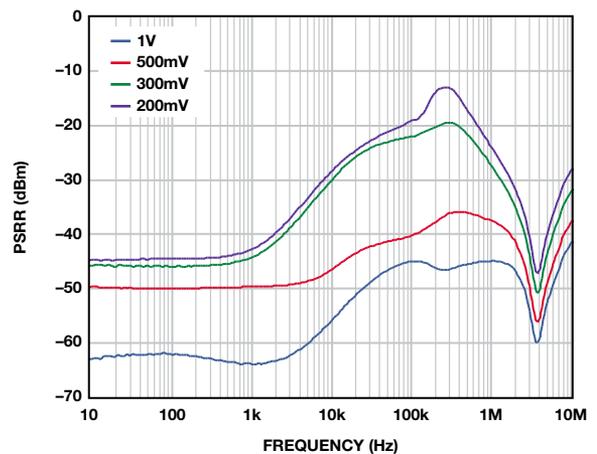
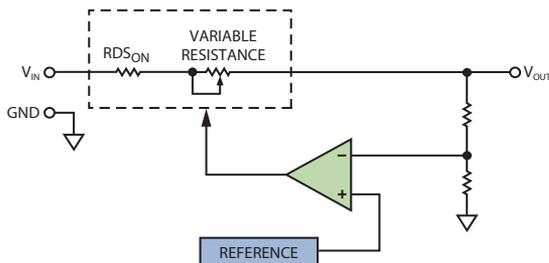


図1. ADM7160のヘッドルームとPSRRの関係

図2に、LDOのブロック図を示しました。負荷電流が増大すると、パス・エレメントであるFET（PMOSトランジスタ）のゲインが低下し、動作領域が飽和領域から三極管領域に遷移します。これにより、系全体のループ・ゲインが低下して、PSRRの劣化を招きます。ヘッドルーム電圧が小さくなるとともに、ゲインの低下はより急激になります。ヘッドルーム電圧がさらに小さくなると、遂にはループ・ゲインが1まで低下する条件に達します。その結果、PSRRは0dBとなります。

ループ・ゲインを低下させるもう1つの要因がパス・エレメントの抵抗です。この抵抗には、FETのオン抵抗、チップ上の接続抵抗とワイヤー・ボンディング抵抗が含まれます。これらの抵抗の値はドロップアウト電圧から求めることができます。例えば、パッケージがWLCSPのADM7160の場合、最大ドロップアウト電圧は負荷電流が200mAの条件で200mVです。オームの法則によって計算すれば、パス・エレメントの抵抗は約1Ωになります。この抵抗は、固定抵抗と可変抵抗を加算したものとして近似できます。

この抵抗に負荷電流が流れることで生じる電圧降下により、FETのドレイン・ソース間電圧が低下します。例えば、オン抵抗が1ΩのFETの場合、200mAの負荷電流によってドレイン・ソース間電圧が200mV低くなります。ヘッドルーム電圧が500mVあるいは1Vで動作するLDOのPSRRを推定するには、パス・エレメントにおける電圧降下を考慮することが不可欠です。FETは実質的には300mVあるいは800mVといったわずかな電圧で動作しているからです。



- 注)
1. エラー・アンプが可変抵抗の値を制御することにより出力電圧が安定する。
 2. ヘッドルーム電圧が小さい場合、可変抵抗の値はほぼ0Ωになる。

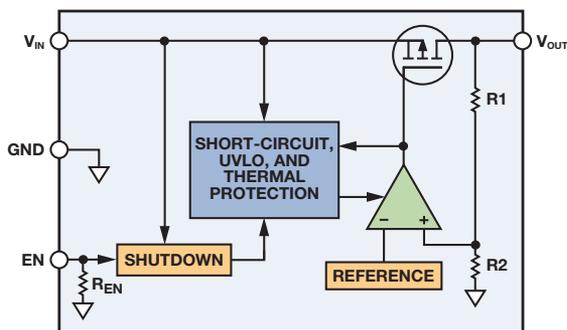


図2. LDOのブロック図

ヘッドルームに対する誤差の影響

アプリケーション・エンジニアにたびたび寄せられる質問に次のようなものがあります。それは、負荷電流がZの条件下で、入力電圧Yを基に低ノイズの電圧Xを発生させるためのLDOの選択について教えてほしいというものです。そうしたパラメータを設定する場合に、1つの要因が無視されていることがよくあります。それは、入力電圧と出力電圧にも誤差があるという事実です。ヘッドルーム電圧を小さくするにつれ、入力電圧と出力電圧が動作に及ぼす影響は著しく大きくなります。入力電圧と出力電圧の誤差がワーストケース（worst-case）にある場合、間違いなくヘッドルーム電圧にも影響が及びます。例えば、ワーストケースとして、出力電圧が1.5%高く、入力電圧が3%低いといった状況があり得ます。電源電圧を3.8Vとし、3.3V出力のレギュレータを使用するとしたら、ワーストケースのヘッドルーム電圧は336.5mVになります。これは想定している値である500mVに比べて非常に低い値です。ワーストケースの負荷電流が200mAであるとすると、FETのドレイン・ソース間電圧はわずか136.5mVとなります。このような条件では、ADM7160のPSRRは、10mAにおける公称値である55dBには到底届かないと考えられます。

ドロップアウト状態のLDOにおけるPSRR

アプリケーション・エンジニアは、ドロップアウトの状態にあるLDOのPSRRについてもよく質問を受けます。疑問に思うのも無理はないと思われるかもしれませんが、図2に示した簡略的なブロック図を見れば、実際には無意味な質問であることに気づくはずで、LDOがドロップアウト状態になると、FETの可変抵抗の要素は0になります。その結果、出力電圧は入力電圧からFETのオン抵抗 $R_{DS(on)}$ に負荷電流が流れることで生じる電圧降下を差し引いた値に等しくなります。LDOはレギュレータの機能を損ない、入力からのノイズを除去するためのゲ

インもなくなります。つまり、LDOは単なる抵抗として働くということです。なお、FETの $R_{DS(on)}$ と出力コンデンサによってRCフィルタが構成されることから、わずかにPSRRの効果が生じます。ただ、その効果は、通常の抵抗やフェライト・ビーズを使うことで、より高いコスト効率で得られるレベルのものです。

ヘッドルームが小さい場合の性能の確保

小さいヘッドルーム電圧でLDOを動作させる場合には、PSRRに対するヘッドルーム電圧の影響を必ず考慮しなければなりません。実際、期待していたよりもノイズの多い電圧が出力されているケースに遭遇することもあるはずです。通常、LDO製品のデータシートを見ると、PSRRとヘッドルーム電圧の関係を表す図3のようなグラフが掲載されています。それを参照することで、実使用時におけるノイズの除去量を推測することができます。

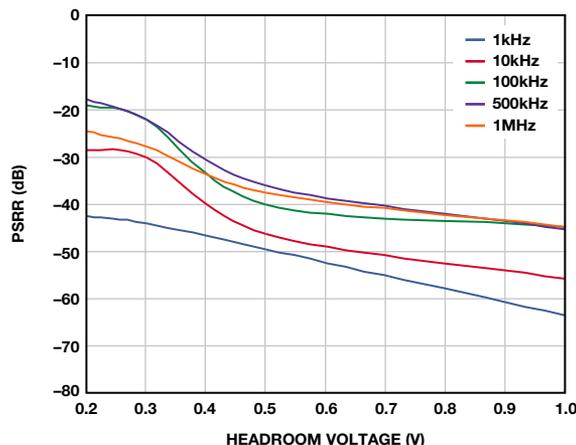


図3. PSRRとヘッドルーム電圧の関係

LDOのPSRRによって、入力電圧のノイズが実際に除去される様子を観察するのもよいでしょう。それにより、グラフから得られる情報の意味をより容易に理解できるかもしれません。以下に示すグラフは、LDOを異なるヘッドルーム電圧で動作させると、トータルの出力ノイズにどのような影響が及ぶのかを確認するためのものです。

図4は、2.5Vの出力、500mVのヘッドルーム電圧、100mAの負荷電流という条件で、ADM7160の出力ノイズを評価した結果です。その出力ノイズを、評価に使用した電源装置「E3631A」のベースライン・ノイズ（仕様では、20Hzから20MHzまでのノイズが350μVrms）と比較しています。赤色のプロットが電源装置のノイズです。1kHz以下の部分に見られる多数の突起（突起状のスペクトラム）は、60Hzの周波数で整流を行っていることに起因する高調波です。10kHz以上の部分に見られる幅の広い突起は、最終出力を生成するためのDC/DCコンバータの影響で生じています。そして、1MHz以上の部分に現れる突起は外部環境のRFソースに起因するものであり、電源装置のノイズとは無関係です。この電源装置のノイズを計測した結果は、10Hzから100kHzの範囲で56μVrmsでした。突起部分の成分を併せると104μVrmsです。電源からのすべてのノイズをLDOによって除去すれば、出力ノイズは約9μVrmsになります。

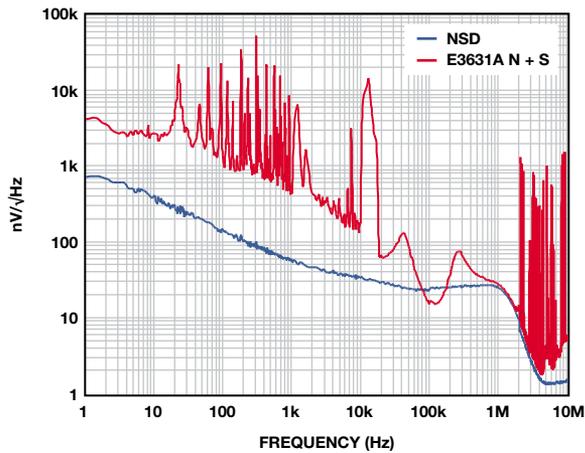


図4. ヘッドルーム電圧を500mVとした場合のADM7160のノイズ周波数密度

ヘッドルーム電圧を200mVまで小さくすると、高周波領域でのPSRRが0dBに近づきます。そのため、100kHz以上の領域ではノイズの突起がノイズ・フロアから突出するようになります。そのノイズ量は $10.8\mu\text{Vrms}$ と少し大きくなります。さらにヘッドルーム電圧を150mVまで小さくすると、整流に起因する高調波が出力ノイズに影響を及ぼし始め、出力ノイズは $12\mu\text{Vrms}$ に増大します。250kHz付近には、少し大きなピークが現れます。そのため、感受性の高い回路では、トータルのノイズはそれほど大きくなっていなくても、顕著な影響が生じる恐れがあります。ヘッドルーム電圧をさらに小さくすると、性能がより劣化します。整流に起因する成分が、周波数特性のグラフにおいて明瞭になってきます。図5はヘッドルーム電圧を100mVとした場合の結果です。ノイズは $12.5\mu\text{Vrms}$ にまで増大しています。高調波成分に含まれるエネルギーは非常に小さく、突起部分の含めたノイズ量もごくわずかに増加するだけで $12.7\mu\text{Vrms}$ となります。

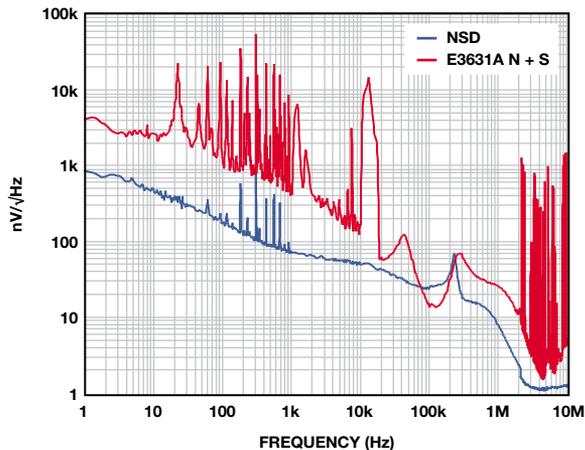


図5. ヘッドルーム電圧を100mVとした場合のADM7160のノイズ周波数密度

ヘッドルーム電圧を75mVまで下げると、出力はノイズで著しく悪化します。周波数範囲の全体に、整流に起因する高調波成分が現れてきます。RMSノイズは $18\mu\text{Vrms}$ まで増加し、突起部分を含むノイズは $27\mu\text{Vrms}$ に達します。200kHzを超える周波数帯では、LDOとしてのループ・ゲインはなくなりますが、RCフィルタとしての効果によってノイズは減衰します。さらにヘッドルーム電圧を65mVまで下げると、ADM7160はドロップアウト状態に移行します。図6に示すように、ADM7160の出

力ノイズは実質的に入力ノイズと同じになります。このときのRMSノイズは $53\mu\text{Vrms}$ で、突起の成分を含めると $109\mu\text{Vrms}$ にもなります。100kHzを超える範囲では、LDOがRCフィルタとして働くことによってノイズが減衰します。

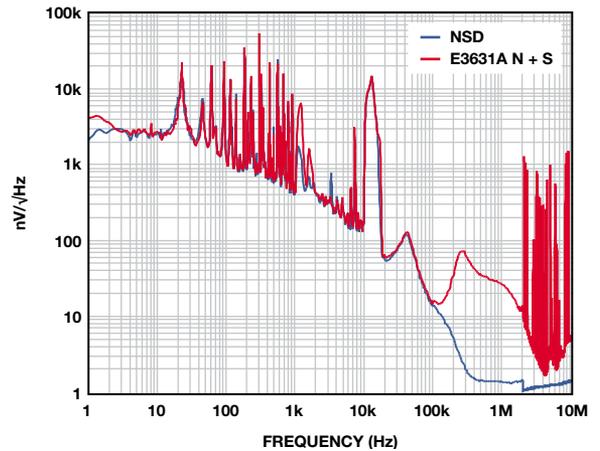


図6. ドロップアウト状態におけるADM7160のノイズ周波数密度

超低ノイズでPSRRの高いLDO

「ADM7150」は、超低ノイズでPSRRの高い新方式のLDOです。これは、本質的には2個のLDOをカスケード接続することで構成しています。トータルのPSRRは、ほぼ各段のPSRRを加算した値になります。この種のLDOは、少し大きめのヘッドルーム電圧を必要とします。しかし、1MHzで60dB以上、低い周波数帯では100dBをはるかに超えるPSRRを実現します。

図7に、ADM7150のノイズ周波数密度を示しました。5Vの出力、500mAの負荷電流、800mVのヘッドルーム電圧という条件での測定結果です。出力ノイズは10Hzから100kHzの範囲で $2.2\mu\text{Vrms}$ です。ヘッドルーム電圧を600mVまで小さくすると、整流に起因する高調波成分が現れ始めます。ただ、ノイズへの影響は小さく、出力ノイズは $2.3\mu\text{Vrms}$ 程度です。

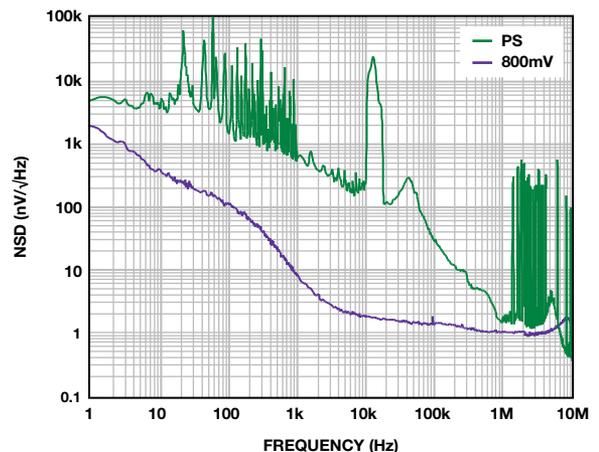


図7. ヘッドルーム電圧を800mVとした場合のADM7150のノイズ周波数密度

ヘッドルーム電圧を500mVとした場合、図8に示すように、整流に起因する高調波と12kHzの領域のピークがはっきりと見えてきます。このときのノイズは $3.9\mu\text{Vrms}$ に増加します。

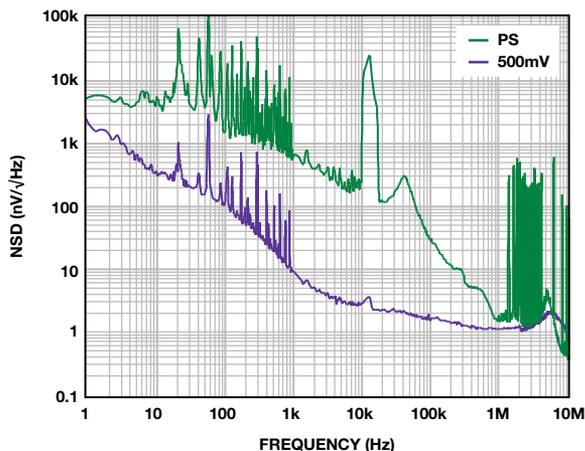


図8. ヘッドルーム電圧を500mVとした場合のADM7150のノイズ周波数密度

ヘッドルーム電圧を350mVにすると、LDOはドロップアウトの状態になります。出力電圧を安定させる機能を損ない、LDOは抵抗のように働きます。図9に示すように、出力ノイズは $76\mu\text{V}_{\text{rms}}$ 近くまで増大しています。入力ノイズはFETの $R_{\text{DS(on)}}$ と出力コンデンサで形成されるポールの効果だけによって減衰します。

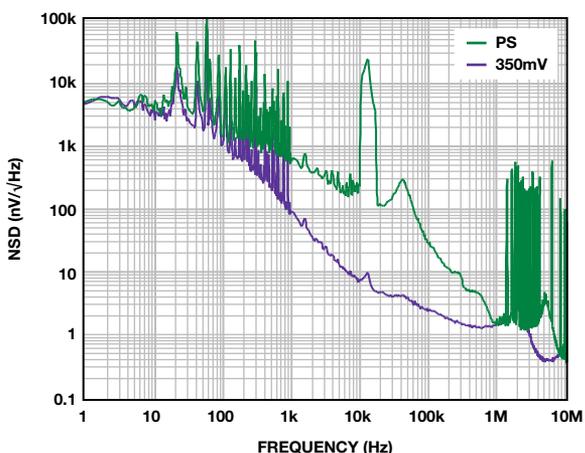


図9. ドロップアウト状態におけるADM7150のノイズ周波数密度

まとめ

スイッチング・レギュレータは、その方式に依存して、広帯域のノイズを発生します。最新のLDOは、そのノイズの多い電源レールをクリーン・アップする目的でよく使用されるようになりました。スイッチング・レギュレータは高い効率で電源レールを生成しますが、LDOを適用するとノイズだけでなく効率も低下します。そのため、可能な限り小さいヘッドルーム電圧でLDOを動作させることが望ましいと言えます。

本稿で述べたように、LDOのPSRRは、負荷電流とヘッドルーム電圧の関数として表すことができます。そして、負荷電流の増大あるいはヘッドルーム電圧の減少に伴って低下します。パス・エレメントであるトランジスタの動作点が飽和領域から三極管領域へと遷移することにより、ループ・ゲインが低下するからです。

入力ソースのノイズ特性、PSRR、ワーストケースの誤差について考慮することにより、消費電力と出力ノイズが最適になる条件を見い出して、高感度のアナログ回路向けに高効率かつ低ノイズの電源を実現することが可能になります。

非常に小さいヘッドルーム電圧でLDOを動作させる場合、入力電圧と出力電圧のワーストケースの誤差によってPSRRに影響が及びます。そのような条件を前提として設計を行うことにより、堅牢なシステムを実現することが可能になります。これを怠ると、その電力ソリューションは、期待したよりもPSRRが低く、ノイズの大きいものになるでしょう。

関連資料

リニア・レギュレータ

Glenn Morita 「出力電圧調整可能なロー・ドロップアウト・レギュレータ用のノイズ低減回路」 Analog Dialogue 48-03

Glenn Morita 「Low-Dropout Regulators—Why the Choice of Bypass Capacitor Matters」 Analog Dialogue, Volume 45, Number 1, 2011年

Glenn Morita, AN-1120 アプリケーション・ノート 「ロー・ドロップアウト (LDO) レギュレータのノイズ源」 Analog Devices, 2011年



著者：

Glenn Morita (glenn.morita@analog.com) はワシントン州立大学で学士号を取得して1976年に卒業しました。卒業後はTexas Instruments社に入社し、最初の仕事として、ボイジャー計画で使用される宇宙探査用の赤外線分光装置に関する業務に携わりました。それ以来、計測、防衛、宇宙、医療の分野で設計技術者として働いてきました。2007年にはADIに入社し、ワシントン州ベルビューにある電力管理製品チームでアプリケーション・エンジニアとして活動しています。 μW からkWのレベルのリニア・レギュレータ、スイッチング・レギュレータを25年以上にわたって設計してきました。体温を対象としたエネルギー・ハーベストに関する特許を2件保有しています。それらは、エネルギー・ハーベストを体内植え込み型除細動器の電源として使用するための技術に関するものです。そのほかにも、体外式除細動器において電池の寿命を延伸するための特許も保有しています。プライベートでは、鉱物の収集、宝石の加工、写真撮影、国立公園巡りを楽しんでいます。



Glenn Morita

この著者が執筆した
他の技術記事

[出力電圧調整可能な
ロー・ドロップアウト・レギュレータ用の
ノイズ低減回路](#)

Analog Dialogue 48-03