

統合型RFICに適した電源回路

著者：Qui Luu

無線周波数に対応するIC（以下、RFIC）には、従来と比べて、より多くの機能ブロックが集積されるようになりました。これに伴い、ノイズに関する問題がより複雑になることから、電源の管理は従来にも増して重要性の高い課題となっています。本稿では、電源ノイズがRFICの性能に及ぼす影響について解説します。RFICの具体例として、アナログ・デバイゼズ（ADI）の直交復調器「[ADRF6820](#)」を取り上げますが、このICはPLL（Phase Locked Loop）とVCO（電圧制御発振器）を集積していることを1つの特徴としています。本稿で示す結果は、同ICだけでなく、性能の高いさまざまなRFICにも広く当てはまります。

復調器においては、電源ノイズによってミキシング成分が生成され、線形性が低下するほか、PLL/VCOの位相ノイズが劣化する可能性があります。本稿では、LDO（低ドロップアウト）レギュレータとスイッチング・レギュレータを使用した電源の設計例を紹介するとともに、電源回路について詳細な評価を行った結果も示します。

ADRF6820は、高い集積度のRF回路に加え、2つの電源回路も内蔵しており、本稿で行う議論に最適な製品といえます。なお、同ICは、直交復調器「[ADL5380](#)」と類似するアクティブ・ミキサーのコアと、「[ADRF6720](#)」と同じPLL/VCOコアを備えており、本稿で示す情報は、これらの製品にも当てはまります。また、紹介する電源回路の例は、3.3V/5.0Vの電源を必要とし、消費電力が同等の新たな設計にも適用することが可能です。

ADRF6820のブロック図を図1に示しました。直交復調器とシンセサイザを中心に多くの機能を備えており、次世代の通信システムには理想的です。線形性に優れた広帯域のI/Q復調器、フラクショナルN（分数分周）方式で集積度の高いPLL、位相ノイズの小さい複数のVCOなどを集積しています。また、2:1のRFスイッチ、チューニングが可能なRFバラン、プログラマブルなRFアッテネータ、2つのLDOも備えています。パッケージは6mm×6mmのLFCSPです。

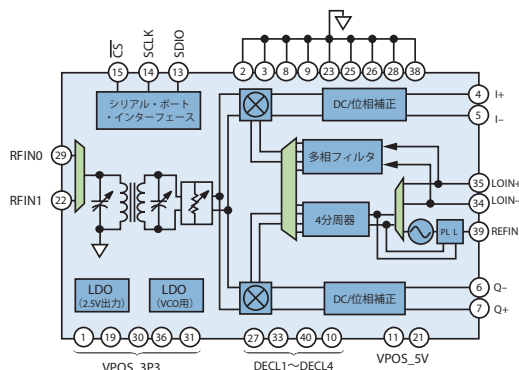


図1. ADRF6820のブロック図

電源の感度

電源ノイズの影響を最も受けやすいのは、ミキサーのコアとシンセサイザです。ミキサーのコアに結合したノイズは、線形性とダイナミック・レンジの低下につながる不要成分を生成します。この低周波のミキシング成分は、アプリケーションで扱う帯域内に現れます。このため、直交復調器にとってこのミキシング成分は特に重要な意味を持ちます。同様に、電源ノイズはPLL/VCOの位相ノイズを劣化させる可能性もあります。不要なミキシング成分の発生と位相ノイズの劣化は、ほとんどのミキサーとシンセサイザに対して悪影響を及ぼします。正確にどれだけの劣化が発生するかは、チップの構成とレイアウトに依存します。電源にかかわる感度について理解しておくことにより、性能と効率の最適化を図った堅牢な電源回路を設計することが可能になります。

直交復調器の感度

図2に示すように、ADRF6820にはギルバート・セルを用いたダブルバランス型アクティブ・ミキサーのコアが使用されています。ダブルバランス型とは、LO（局部発振器）ポートとRFポートの両方を差動で駆動するという意味です。

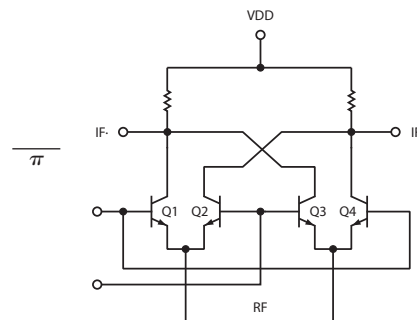


図2. ギルバート・セルを用いたダブルバランス型アクティブ・ミキサー

フィルタによって高次の高調波成分を除去した後のミキサー出力は、RF入力とLO入力の和と差になります。IF（中間周波数）とも呼ばれる差の項は、対象とする帯域内に存在する信号です。一方、和の項は帯域外に存在し、フィルタによって除去されます。

$$V(t) = 2V_{RF} [\cos(w_{RF}t - w_{LO}t) + \cos(w_{RF}t + w_{LO}t)]$$

ミキサーのコアには、対象とするRF信号とLO信号だけが入力されることが理想ですが、現実的にはこのようなケースは稀です。実際は、電源ノイズがミキサーの入力に結合し、ミキシング・スプリアスとして現れます。ミキシング・スプリアスの相対的な振幅は、ノイズ源によって異なる可能性があります。図3は、ミキサー出力のスペクトルと、電源ノイズの結合が原因でミキシング成分が現れる場所の例を示したものです。図中のCWは、電源レールに結合した連続波または正弦波信号の周波数です。例えば、スイッチング周波数が600kHz、1.2MHzといったスイッチ

ング・レギュレータからクロック・ノイズが生じるといった状態です。電源ノイズは2つの異なる問題を引き起こす可能性があります。1つはミキサーの出力にノイズが結合したケースです。この場合、周波数に変化を起こすことなくCWが出力に現れます。もう1つは、ミキサーの入力でノイズ結合が生じるケースです。この場合、CWがRF信号とLO信号を変調し、 $IF \pm CW$ の成分が生成されます。

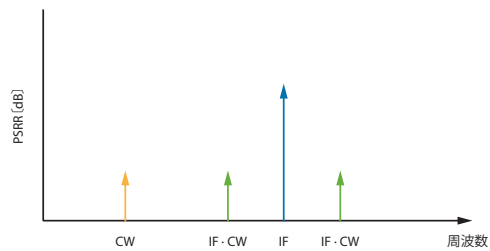


図3. 電源ノイズの結合が生じた場合のミキサー出力のスペクトル

このようなミキシング成分のスペクトルは、対象とするIF信号の近くに現れる可能性があるため、フィルタで除去することは困難です。結果として、ダイナミック・レンジが低下することになりますが、特に直交復調器ではそれが顕著です。直交復調器では、複素帯域においてベースバンドがDCを中心とするためです。ADRF6820の場合、復調帯域幅はDCから600MHzです。1.2MHzのノイズが発生するスイッチング・レギュレータによってミキサーのコアに給電した場合、 $IF \pm 1.2\text{MHz}$ の不要なミキシング成分が生じます。

周波数シンセサイザの感度

稿末に示した参考文献には、集積化されたPLLとVCOに電源ノイズが与える影響に関する重要な情報が記載されています。そこに示されている原則は、同じ構成の他の回路にも当てはまります。ただし、設計の異なる回路については個々に電源の評価を行う必要があります。例えば、ADRF6820の場合、VCOの電源としてLDOを集積しています。PLL専用のLDOを内蔵している場合と内蔵していない場合を比較すると、前者の方が電源ノイズに対する耐性は高くなります。

ADRF6820の電源ドメインと消費電流

電源管理ソリューションを設計する際には、まず、RFICの電源ドメインについて調べたうえで、いくつかの要件を明らかにする必要があります。各RFブロックに給電する電源ドメイン、各ドメインの消費電力、消費電力に影響を及ぼす動作モード、各ドメインのPSRR（電源電圧変動除去比）といった項目について検討しなければなりません。これらの情報を活用することで、RFICの感度に関するデータを収集することが可能になります。

ADRF6820の主要な機能ブロックには、それぞれ個別の電源端子が用意されています。同ICの2つのドメインVPMXとVPRFには、5Vの電源を供給します。VPMXはミキサーのコアに電力を供給し、VPRFはRFフロント・エンドと入力スイッチに電力を供給します。その他のドメインは、3.3Vの電源電圧を使用します。内蔵LDOにはVPOS_DIGによって電力を供給します。このLDOの2.5V出力が、SPI、PLLの $\Sigma\Delta$ 変調器、シンセサイザのFRAC/INT（分数/整数）分周器に電力を供給します。VPOS_PLLは、基準周波数入力（REFIN）、位相検出器（PFD）、チャージ・ポンプ（CP）を含むPLL回路に電力を供給します。VPOS_LO1とVPOS_LO2は、ベースバンド・アンプとDCバイアス・リファレンスを含むLOのパスに電力を供給します。VPOS_VCOは別の内蔵LDOに電力を供給し、その2.8V出力によって複数のVCOに電力が供給されます。この内蔵LDOは、電源ノイズに対する感度を最小化するための重要な要素です。

ADRF6820は、いくつかの動作モードに構成（コンフィギュレーション）することができます。2.85GHzのLOを用いた通常動作モードでも消費電力は1.5mW未満です。バイアス電流を減少させると、消費電力と性能の両方が低下します。ミキサーのバイアス電流を増やすと、ミキサーのコアの線形性が高まり、IIP3（3次入力インターセプト・ポイント）が向上しますが、ノイズ性能は低下し、消費電力は増加します。ノイズ性能が非常に重要である場合には、ミキサーのバイアス電流を減らすことで、ミキサーのコア内におけるノイズが低減するとともに、消費電力を削減することも可能になります。出力部のベースバンド・アンプでは、低インピーダンスの出力負荷に対する電流駆動能力を変更することができます。出力インピーダンスが小さい負荷に対しては高い電流駆動能力

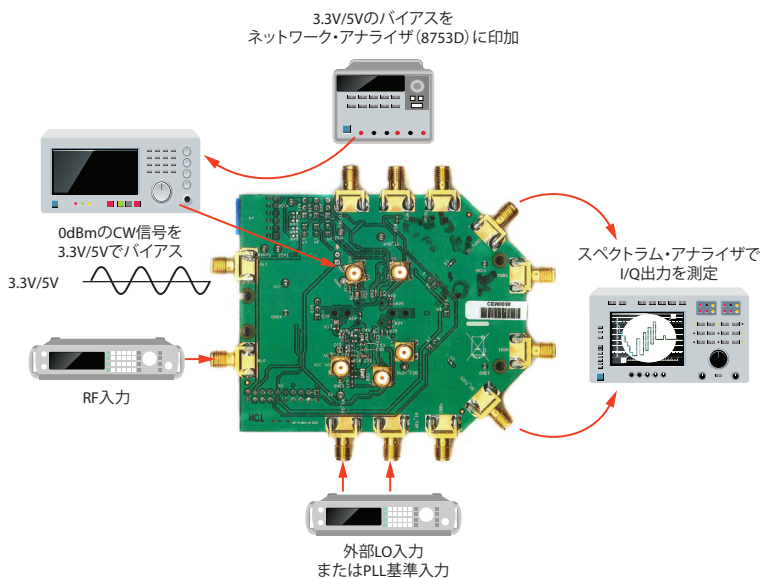


図4. ADRF6820のPSRRを測定するための環境

が必要であり、消費電力も多くなります。データシートには、各動作モードにおける消費電力を示した表が記載されています。

測定手順と結果

電源レールにノイズが結合すると、周波数がCWとIF±CWの不要な成分が生成されます。このノイズ結合を模擬するために、各電源端子に対して周波数がCWの信号を印加します。そして、入力したCW信号に対し、生成されるミキシング成分の相対振幅を測定します。この測定値をPSRR（単位はdB）として記録します。PSRRは周波数によって異なるので、CWの値を30kHz～1GHzの範囲で掃引して計測を行います。対象とする帯域のPSRRによって、フィルタが必要かどうかが決まります。PSRRは、以下の式で算出できます。

$$[CWのPSRR [dB]] = [入力CW信号の振幅 [dBm]] - [1/Q出力におけるCWフィードスルーの測定値 [dBm]]$$

$$[IF±CWのPSRR [dB]] = [入力CW信号の振幅 [dBm]] - [1/Q出力におけるIF±CWフィードスルーの測定値 [dBm]]$$

$$[IF+CW [dBm]] = [IF-CW [dBm]] \quad (\text{搬送波付近で変調されるCWの振幅は等しいため})$$

測定環境

図4に、測定環境の概要を示します。ネットワーク・アナライザ（キーサイト・テクノロジー社の「8753D」）に3.3Vまたは5VのDC電源を印加すると、3.3V/5Vのオフセットを持つ掃引用の連続信号（正弦波）が生成されます。その信号をRFICの各電源レールに印加します。また、2つの信号発生器によってRF/LO入力信号を供給し、スペクトラム・アナライザによって出力を測定します。

測定手順

不要なミキシング成分の振幅は、ICのPSRRと評価基板上のデカップリング・コンデンサのサイズ/位置に依存します。図5は、0dBの正弦波信号を電源端子に印加した場合に出力されるIF+CW信号の振幅を示したものです。デカップリング・コンデンサを使用していない場合、不要な信号の振幅は-70dBc～-80dBcでした。データシートでは、基板上面のICの横に100pFのコンデンサ、背面に0.1μFのコンデンサを使用することを推奨しています。グラフを見ると、これらの外部デカップリング・コンデンサによる共振の影響が現れています。16MHzにおける遷移は、0.1μFのコンデンサと1nHの寄生インダクタンスの共振によるものです。また、356MHzにおける遷移は、100pFのコンデンサと、2つのコンデンサに起因する2nHの寄生インダクタンスの共振によって発生しています。同様に、500MHzにおける遷移は、100pFのコンデンサと1nHの寄生インダクタンスの共振によるものです。

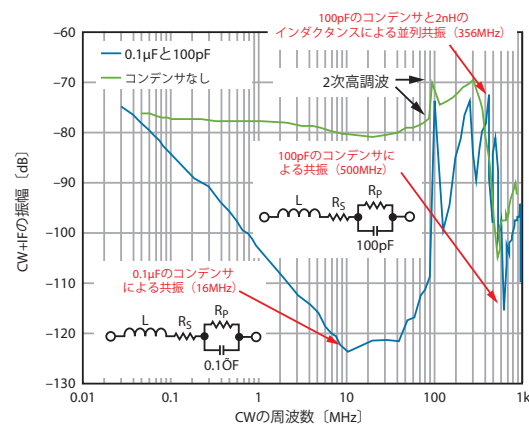


図5. デカップリング・コンデンサによる共振がIF±CW信号に及ぼす影響

測定結果

電源レール上の干渉信号（CW）と変調信号（IF±CW）の振幅を、ベースバンド出力において測定しました。その際には、テストの対象とする電源レールにノイズを発生させつつ、他の電源はクリーンな状態に保ちました。図6に、0dBの正弦波信号を電源端子に印加し、30kHz～1GHzの範囲で掃引した場合のIF±CW信号の振幅を示しました。一方、図7はCW信号からベースバンド出力へのフィードスルーを示したものです。

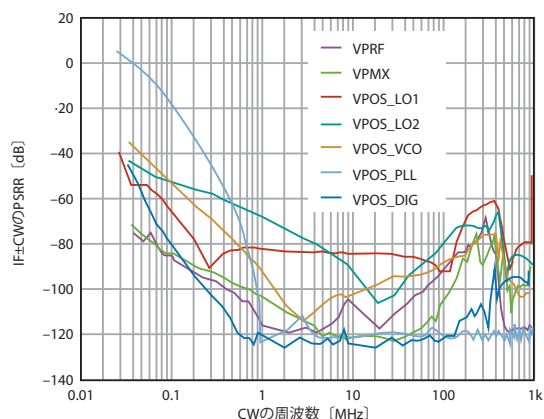


図6. IF±CWのPSRR

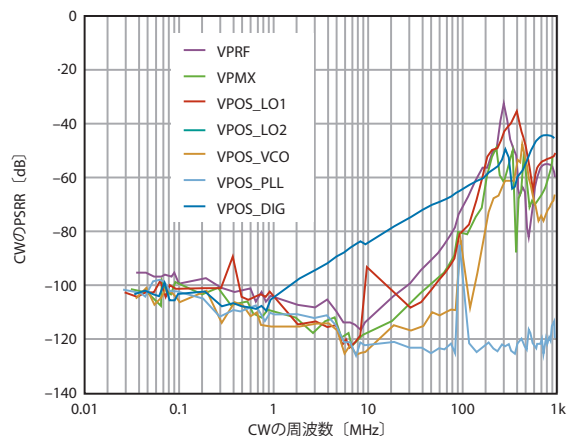


図7. CWのPSRR

解析

それぞれのグラフは、各電源端子の電源感度に関する重要なデータです。VPOS_PLLはPSRRが最も低く、最も影響を受けやすい電源ノードだと言えます。この電源端子は、REFIN、PFD、CPを含むPLL回路に電力を供給します。これらの機能ブロックは影響を受けやすく、LO信号の精度と位相性能を左右します。各ブロックに結合したノイズは出力に直接伝搬します。

同じ理由から、VCOの電源も重要なノードであると考えられます。グラフからは、VPOS_VCOはVPOS_PLLよりもPSRRがかなり高いことがわかります。これは、VCOへの給電が内蔵LDOによって行われるためです。このLDOは、外部端子のノイズからVCOを隔離することを可能にするとともに、ノイズのスペクトル密度を一定に保ちます。一方、PLLに対する給電には内蔵LDOは使用していません。そのため、電源レールの中でVPOS_PLLは最も影響を受けやすくなっています。このことから、潜在的なノイズ結合からVPOS_PLLを隔離することが、最適な性能を得るための重要なポイントになります。

PLLのループ・フィルタは高い周波数のCW信号を減衰させるため、VPOS_PLLの感度は、低い周波数においては低く、30kHzから1GHzへと周波数を掃引するに連れて徐々に高くなります。高い周波数では干渉信号（CW）の振幅が減衰し、PLLに印加される電力レベルはかなり低くなるため、VPOS_PLLでは、他の電源ドメインよりも、高い周波数におけるPSRRが高くなります。なお、ループ・フィルタは20kHzをターゲットとして図8に示すように構成しました。

電源レールを最も影響を受けやすいものから受けにくいものへ並べると、VPOS_PLL、VPOS_LO2、VPOS_VCO、VPOS_LO1、VPOS_DIG、VPMX、VPRFの順になります。

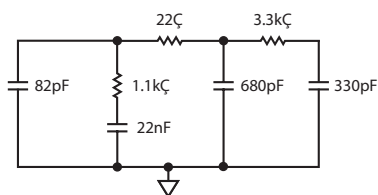


図8. ループ帯域幅を20kHzとして設計したPLLのループ・フィルタ

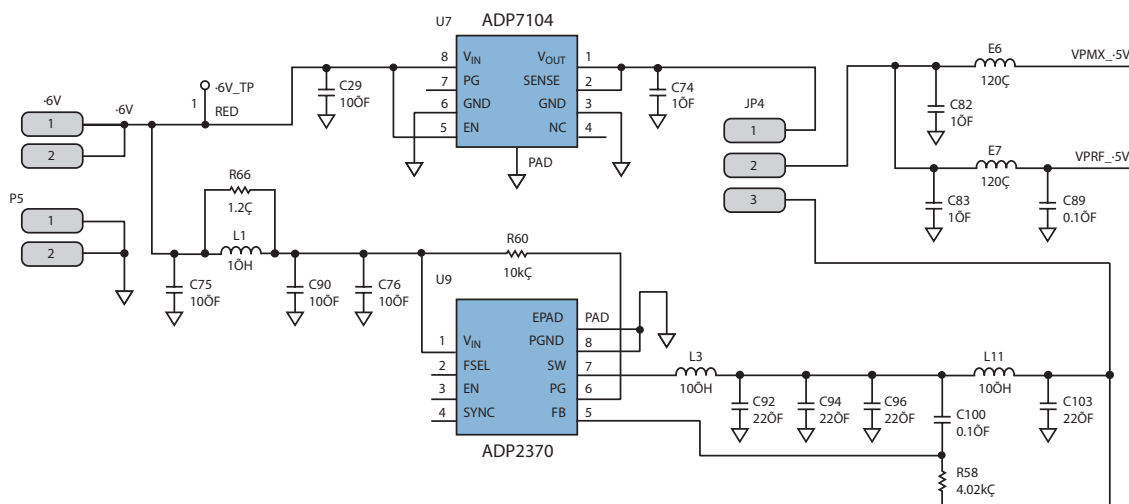


図9. 5Vを生成する電源回路

電源の設計

ここまでで、ADRF6820の各モードにおける最大消費電力と、各電源ドメインの感度について十分に把握することができました。そこで、続いてはスイッチング・レギュレータとLDOの両ソリューションを使って電源管理ソリューションを構築しました。ADRF6820の電源レール用に、6Vの電源から5Vと3.3Vを生成する回路を設計しています。図9の電源回路では、VPMXとVPRF向けに5Vの電圧を生成します。CMOS LDOである「ADP7104」は、負荷に対して最大500mAの出力電流を供給可能です。「ADP2370」は、静止電流が少ないことを特徴とする降圧型のスイッチング・レギュレータです。スイッチング周波数は、1.2MHzまたは600kHzです。このICの出力にはフィルタを追加し、スイッチング・ノイズを低減しました。ADP2370は、負荷に対して最大800mAの出力電流を供給可能です。ADP7104またはADP2370を使用し、ADRF6820の5Vの電源レールに電力を供給します。各電源端子には、デカップリングとフィルタリングを適用しています。

図10は、3.3Vの電源を生成するための回路です。この回路も、図9の回路と同じように6Vの電源電圧を基にしていますが、LDO段を追加していったん中間電圧を生成し、それを3.3Vに降圧している点が異なります。追加したLDO段は損失を低減するためのものです。6Vの電圧を直接3.3Vに降圧すると、最大効率が55%にとどまってしまう。これを避けるために、LDOを追加しているということです。これに対し、スイッチング・レギュレータのパスにはLDO段を追加する必要はありません。なぜなら、スイッチング・レギュレータでは、PWM（パルス幅変調）を利用した動作によって損失が最小限に抑えられるからです。

3.3V出力の電源については、他の構成も考えられます。例えば、3.3Vの電源レールに対し、LDO/スイッチング・レギュレータによって給電するだけでなく、VPOS_PLLの電源レールに別のLDOを使用したり、VPOS_DIGの電源レールに絶縁型のLDOを適用したりすることも可能です。最も影響を受けやすいのはPLL用の電源です。そこで、出力ノイズがそれぞれに異なる電源ソリューションを試してみました。

以下に示す3つのソリューションです。

- 3.3V出力のCMOS LDO「ADP151」、出力ノイズは極小の9 μ Vrms
- 3.3V出力のCMOS LDOであるADP7104、出力ノイズはわずか15 μ Vrms
- 3.3V出力の降圧レギュレータであるADP2370

ここで知りたいのは、必要な位相ノイズ性能を得るためには電源ノイズの最大レベルはどこまで抑えなければならないのかということです。果たして、最小ノイズかつ最高性能のLDOは不可欠なものなのでしょうか。

デジタル・ノイズが性能に影響を及ぼすかどうかを確認するために、VPOS_DIGの電源レールに対して3.3Vの低ノイズCMOS LDO「ADP121」を適用してみました。デジタル電源レールは、SPIにおけるスイッチングが原因で、アナログ電源よりもノイズが大きくなる傾向があります。ここで確認すべきことは、3.3Vのデジタル電源レールに専用のLDOが必要なのか、それともアナログ電源に直接接続することが可能なのかということです。なお、ADP121を選択したのは、コストを抑えられるからです。

結論および電源設計における推奨事項

最も影響を受けやすい電源レールであるVPOS_PLLに対しては、低コストのLDOであるADP151を使うことで、高性能で低ノイズのLDOであるADP7104と同じレベルの位相ノイズ性能を達成することができました（図11）。これに対し、スイッチング・レギュレータであるADP2370を使用すると性能は低下しました（図12）。図13に示すように、スイッチング・レギュレータを使用すると、周波数軸で見た出力にノイズの隆起が現れます。VPOS_PLLは、総合的な位相ノイズ性能を低下させることなく、最大15 μ Vrmsまでのノイズに耐えられます。しかし、スイッチング・レギュレータによってこの端子に給電するのは不適切です。なお、より性能が高くノイズの少ないLDOを使用しても、より高い効果を得ることはできませんでした。

他の電源レールについては、スイッチング・レギュレータまたはLDOを使用することで、図14に示すように良好な位相ノイズ性能を得ることができました。5Vの電源端子であるVMPXとVPRFは一まとめにして（つまりは外部配線でショートさせて）、単一電源で給電することも可能です。同様に、3.3Vの電源端子であるVPOS_LO1、VPOS_LO2、VPOS_VCOも一まとめにし、単一電源で給電することができます。VPOS_DIGには専用のLDOは不要であり、3.3Vのアナログ電源に接続しても問題ありません。

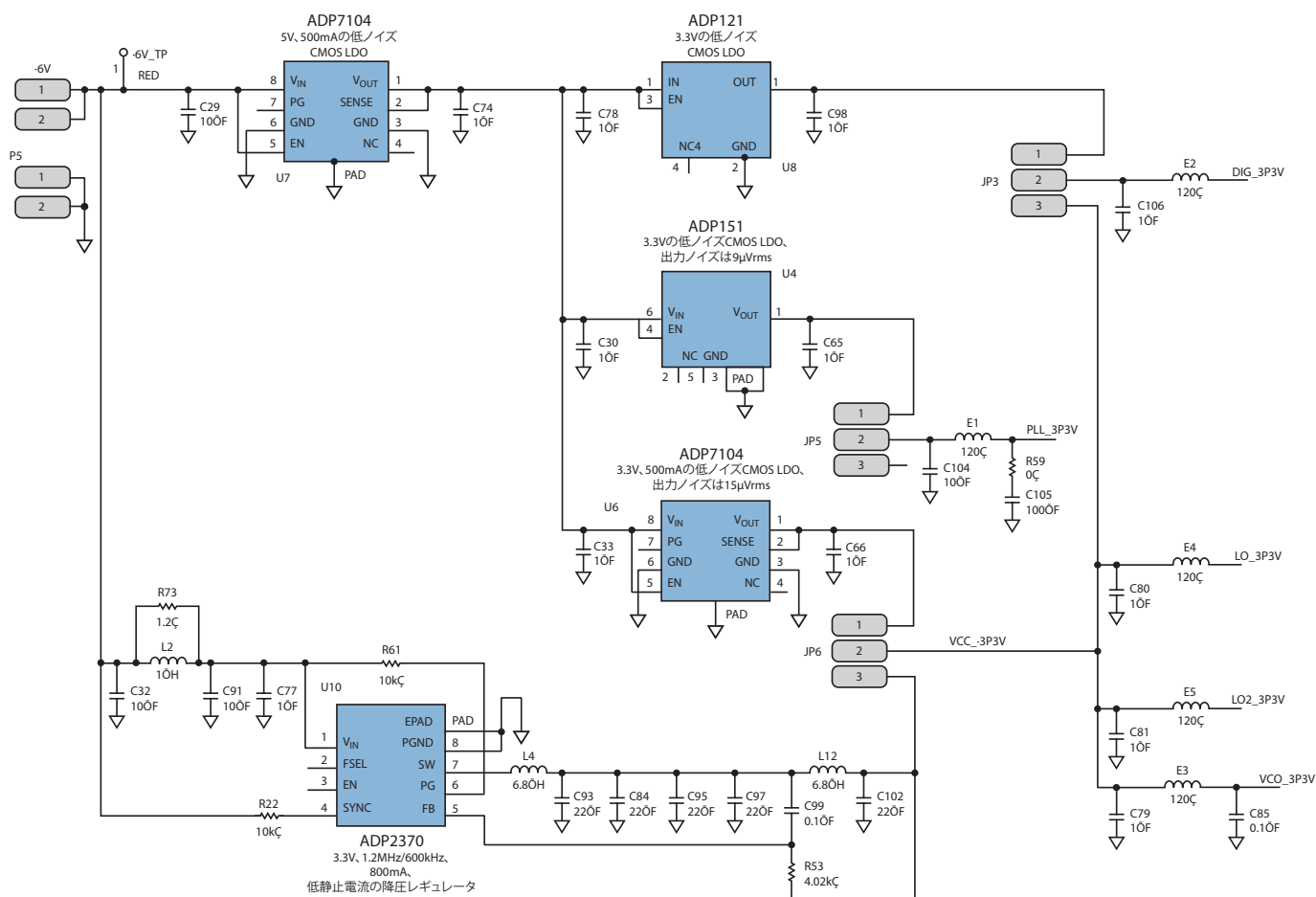


図10. 3.3Vを生成する電源回路

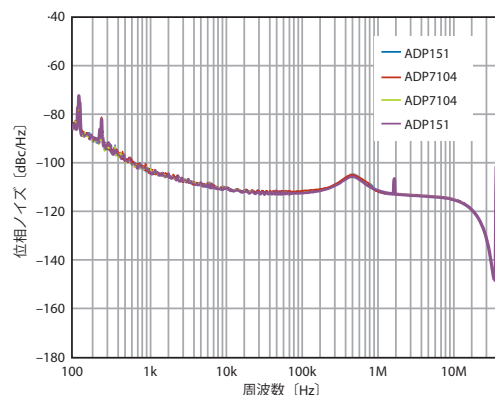


図11. ADP151とADP7104を使用した場合の総合的な位相ノイズ

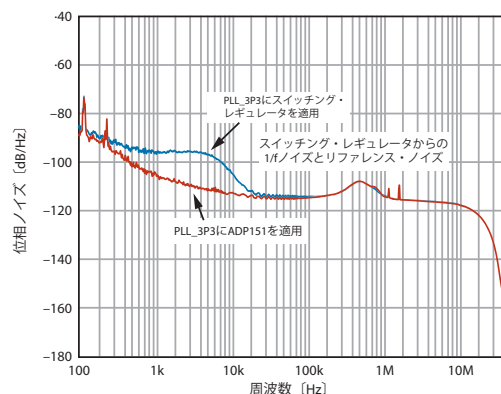


図12. ADP151とADP2370を使用した場合の総合的な位相ノイズ

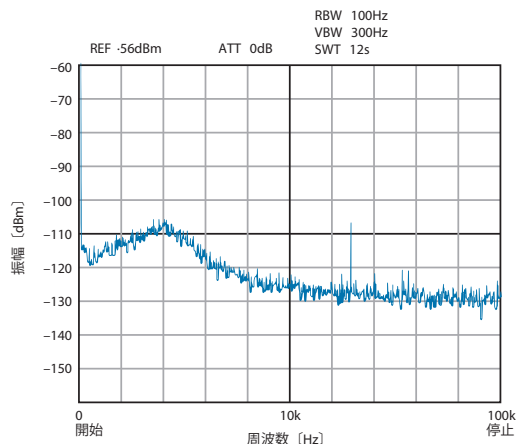


図13. ADP2370の出力スペクトル

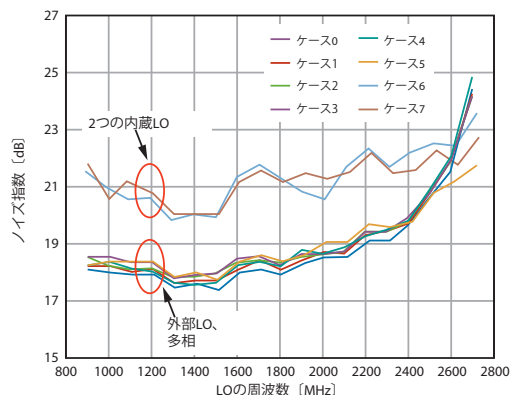


図14. スイッチング・レギュレータ、LDOを使用した場合のノイズ性能

図15に示したのは、電源電圧が6Vの場合に推奨される電源回路です。ADP7104を5.0V出力、3.3V出力で使用しています。電源電圧と必要な供給電圧の値が近いので、この回路ではLDOのみを使用しています。効率は許容範囲内なので、フィルタ用の部品やスイッチング・レギュレータを追加するためのコストは生じません。

一方、図16に示したのは、電源電圧が12Vの場合に推奨される電源回路です。2個のスイッチング・レギュレータと1個のLDOを使用しています。電源電圧は必要な供給電圧よりもかなり高いので、効率を高めるためにスイッチング・レギュレータを使用しました。影響を受けやすいVPOS_PLL以外のすべての電源端子には、スイッチング・レギュレータで給電することができます。VPOS_PLLに対しては、ADP7104またはADP151を使用します。

関連資料

CN0147参考回路「位相ノイズ低減のための、フラクショナルN PLLと電圧制御発振器（VCO）にローノイズLDOレギュレータを使った電源供給の検討」Analog Devices, 2010

Collins, Ian「Integrated PLLs and VCOs [Part 2]」Radio-Electronics.com, Nov 2010

変調器/復調器

リニア・レギュレータ

スイッチング・レギュレータ

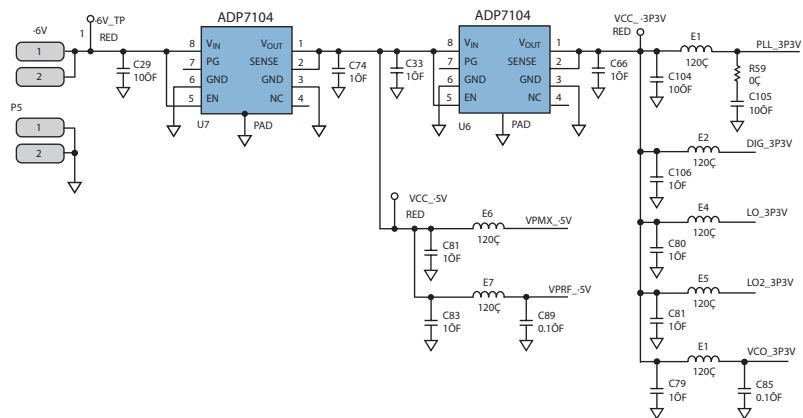


図15. 6Vの生成に適した電源回路

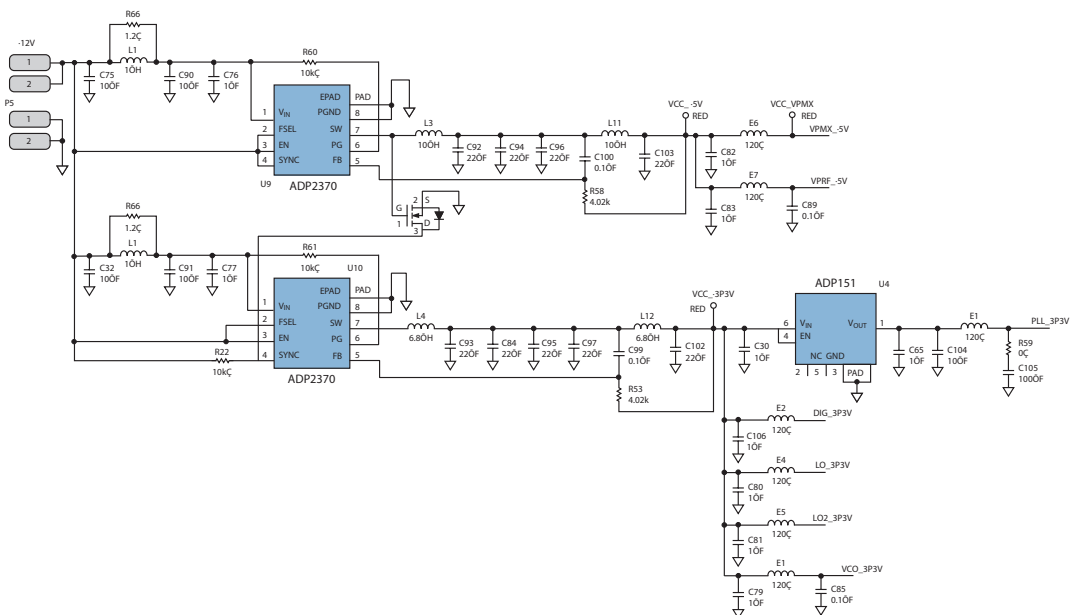


図16. 12Vの生成に適した電源回路



著者：

Qui Luu (qui.luu@analog.com) は、2000年6月からADIでRFアプリケーション・エンジニアを務めています。2000年にマサチューセッツ州ウースターのウースター工科大学で電気工学学士、2005年にマサチューセッツ州ボストンのノースイースタン大学で電気工学修士の学位を取得しています。



Qui Luu

この著者が執筆した他の技術文書

組成分析のためにRF信号をビット・データに変換、位相/振幅のデータを高精度で取得する

Analog Dialogue 48-10