

インターリーブADCの“謎”を解き明かす

著者：Gabriele Manganaro/Dave Robertson

タイム・インターリーブ方式は、同一のA/Dコンバータ(ADC)を複数使用することで、1個のADCでは対応できないより高いサンプル・レートを実現する手法です¹。図1に、タイム・インターリーブ(以下、IL)方式の概念図を示しました。このように、IL方式では同一のADCをM個使用して並列型のアレイを構成し、時間多重を実現します。アレイ内の個々のADCは f_s/M という低いレートでサンプリング(および変換)を実行します。サンプル・レートは同一ですが、各クロックの位相はずれており、異なるタイミングでサンプリングが行われます。これにより、この回路全体として見れば、 f_s (サンプリング周期 $T_s=1/f_s$)という高い実効サンプル・レートを得ることができます。例えば、分解能が10ビットでサンプル・レートが100MSPS(メガサンプル/秒)のADCを4個使用したとします。これらをIL方式で使用すれば、分解能が10ビットでサンプル・レートが400MSPSの1個のADCを実現できます。

ILの原理をもう少し詳しく説明します。図1において、アナログ入力 $V_{IN}(t)$ はM個のADCによってサンプリングされ、デジタル・データに変換されます。その後、これらのデータは順次統合され、デジタル出力データ列である D_{OUT} が得られます。もう少し詳しく説明すると、まずADC₁が $V_{IN}(t_0)$ をサンプリングし、nビットのデジタル値への変換を開始します。その T_s 秒後、ADC₂が $V_{IN}(t_0+T_s)$ をサンプリングし、nビットのデジタル値へと変換を開始します。さらに T_s 秒後、ADC₃が $V_{IN}(t_0+2T_s)$ をサンプリングしてデジタル値に変換するということが継続して行われます。その後、ADC_Mが $V_{IN}(t_0+(M-1) \times T_s)$ のサンプリングを終了すると、ADC₁が $V_{IN}(t_0+M \times T_s)$ をサンプリングし、次のサンプリング周期が始まります。このような処理が繰り返されます。

各ADCのnビットの出力データは、サンプリングされたのと同じ順で出力されます。各ADCから出力されたデジタル・データは図1の右側にあるマルチプレクサによって順番に収集されます。つまり、再構成されたデータ

出力として、 $D_{OUT}(t_0+L)$ 、 $D_{OUT}(t_0+L+T_s)$ 、 $D_{OUT}(t_0+L+2T_s)$ 、……が得られます。ここで、Lは各ADCによる変換時間です。この再構成されたデータ出力は、サンプル・レートが f_s のnビットのデータ列になります。一般に「チャンネル」と呼ばれる個々のADCは、 f_s/M でサンプリングを行うnビット分解能のADCですが、ブロック全体としては、 f_s でサンプリングを行うnビット分解能のADCが1つ存在するのと同じことになります。このブロック全体を、(各チャンネルと区別して)タイム・インターリーブADC(以下、IL ADC)と呼びます。この処理では、入力といったん細かくスライスされ、アレイ内の各ADCにより別々に処理されて、出力時に連続したデータに再構成されると表現することができます。結果として、入力 V_{IN} を高いデータ・レートでサンプリングしたデータ列 D_{OUT} が得られます。

ILは強力な手法です。しかし、実用上の問題がないわけではありません。各チャンネルから出力されたM系統のデータ・ストリームはデジタル領域で統合されます。ILが抱える問題は、例えば、出力データから元の入力信号 V_{IN} を再構成したときなどに顕在化します。実は、 D_{OUT} のスペクトルを見る(FFTを実施して周波数軸で振幅をプロットする)と、 V_{IN} をA/D変換してデジタル表現にする際に発生する歪み(ADCの基本性能に依存して生じる)のほかに、「インターリーブ・スプリアス(ILスプリアス)」と呼ばれる成分が付加されることがわかります。ILスプリアスは、高調波(2次、3次など)のように多項式で表されるタイプの歪みではありません。また、量子化ノイズや微分非直線性(DNL)誤差のような性質のものでもありません。ILノイズは時間領域の固定パターン・ノイズの形で現れます。チャンネルにおけるアナログ領域の要因によって引き起こされ、IL処理によってスライス/変換された信号で変調されて、最終的にデジタル出力 D_{OUT} に現れます。

¹ここではADCについて述べているが、D/Aコンバータ(DAC)のタイム・インターリーブも同じような原理で実現される。

²ここで問題になるのはゲイン誤差のミスマッチであり、誤差の絶対値ではない点に注意が必要である。2つのチャンネルのゲイン(誤差を含む)が同じである場合は $G_1=G_2$ になる。この場合、2つのチャンネルでは信号が等しく増幅されるので、2つのデータ・ストリームの振幅が交互に変化することはない(変調は起きない)。この状態で1つの D_{OUT} のデータ・ストリームとして再統合されるので、ゲイン・スプリアスは発生しない。

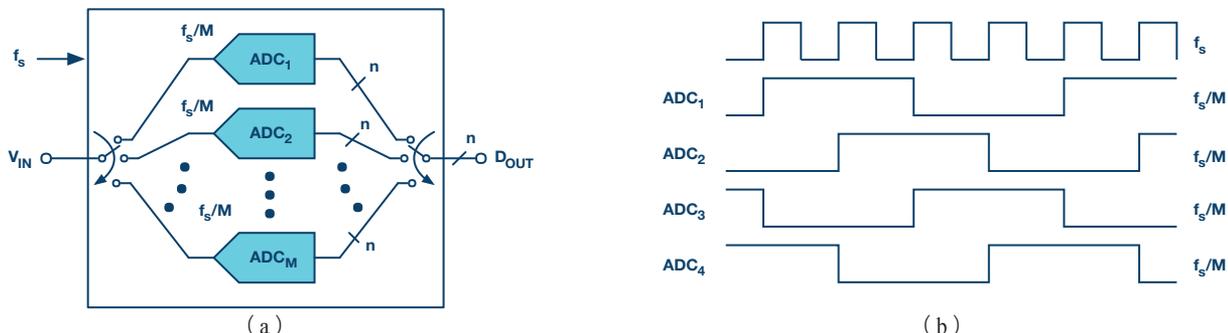


図1. ILを適用するM個のnビットADCのアレイ(a)。各ADCのサンプル・レートは f_s/M 、IL ADCとしてのサンプル・レートは f_s になる。M=4の場合のサンプリング・クロックの例を(b)に示した。

何が起きるのかを理解するために、簡単な例を見ていただきます。入力 V_{IN} が周波数 f_{IN} の正弦波である2相IL ADCの例を考えます。ADC₁のゲインは G_1 、ADC₂のゲインは G_2 とは異なり、 G_2 であると仮定しましょう（ゲイン誤差の値がそれぞれのADCで異なるため）。この2相IL ADCでは、ADC₁とADC₂が交互に V_{IN} をサンプリングします。ADC₁が偶数番目のサンプル（サンプリングされたデータ）を出力し、ADC₂が奇数番目のサンプルを出力するとします。この場合、 D_{OUT} の偶数番目のデータはすべて G_1 で決まる振幅に対応しており、奇数番目のデータはすべて G_2 で決まる振幅に対応しています。このため D_{OUT} には、多項式で表される歪みを伴う V_{IN} の成分だけでなく、周波数が $f_s/2$ の矩形波で V_{IN} を振幅変調したかのように、 G_1 倍と G_2 倍されたデータが交互に現れます。これによって、 D_{OUT} のスペクトルを見ると、周波数が $f_s/2 - f_{IN}$ の位置に「ゲイン・スプリアス」が現れるということです。残念ながら、入力 f_{IN} に依存するこのスプリアスの周波数は、IL ADCの第1ナイキスト・ゾーン（ $f_s/2$ 以下）に位置します。また、他のナイキスト・ゾーンにもエイリアスが発生します。このILスプリアスのパワー/振幅は、2つのゲイン G_1 と G_2 の差に依存します。つまり、ゲイン誤差のミスマッチに依存するという事です²。なお、このスプリアスの振幅は、最終的には入力である V_{IN} の振幅によって決まります。

入力が単純な正弦波ではなく、現実のアプリケーションのように、全体的に帯域制限された信号である場合、ゲイン・スプリアスは単純なトーンにはなりません。そうではなく、ナイキスト・ゾーン内に現れる帯域制限された入力信号を拡大/縮小したイメージになります。これでは、ILによって帯域を増大できるというメリットが少なからず損なわれてしまいます。

先ほどの例ではチャンネル間のゲイン誤差のミスマッチを取り上げましたが、ILスプリアスは他の要因によっても発生します。オフセットのミスマッチ（各チャンネルのオフセットの差）は固定周波数のトーンである「オフセット・スプリアス」を発生させます。そのパワーはオフセットの差に比例します³。一部のチャンネルにおいて、本来の順番とは異なるタイミングでサンプリングが行われた場合、サンプリング・タイム・スキューが発生します。これは、ゲイン・スプリアスとまったく同じ周波数に「タイミング・スプリアス」を発生させます。その振幅もゲイン・スプリアス⁴と同じレベルまで上昇し、パワーは f_{IN} や入力振幅が増大すれば、それに連れて増大します。個々のチャンネル間に生じる帯域幅のミスマッチも、 f_{IN} に依存する周波数において、より大きなスプリアス成分を発生させます。タイミング・スプリアスのように、スプリアスのパワーは入力振幅ではなく f_{IN} に依存してかなり大きくなる可能性があります。すべての場合において、出力スペクトルの劣化の程度は各チャンネルのオフセットやゲイン、タイミング、帯域幅の絶対値ではなく、チャンネル間のミスマッチ/差によって決まります。

ILの技術は数十年前から存在していました。しかし、従来はILスプリアスを十分に抑えることができなかつたので、その適用範囲は低分解能のADCのみに制限されていました。しかし、その後、チャンネル間のミスマッチを校正（キャリブレーション）したり、残余ILスプリアス成分を抑制したりする技術が大きく進歩しました。それによって、現在では、分解能が12/14/16ビットで、完全に集積された高速のIL ADCが実現されています。

ここで、IL方式の種類について触れておきます。一般に2チャンネルのILは「ピンポン（ping pong）」方式と呼ばれています。また、例えば3~4チャンネルの少チャンネルのILと、5チャンネル以上（多くの場合、8チャンネル以上）の多チャンネルのILは、それぞれ「lightly interleaved」と「highly interleaved」と呼んで区別することができます。

ピンポン方式（2相）のIL

図2（a）のブロック図に示すように、2チャンネルのILによって実効サンプル・レートを2倍にするのがピンポン方式です。この方式はシンプルなものですが、有用かつ興味深い特徴を備えています。この構成では、IL ADCの第1ナイキスト・ゾーン内で、DC、 $f_s/2$ 、 $f_s/2 - f_{IN}$ の位置にILスプリアスが現れます。ここでは、入力信号 V_{IN} が、図2（b）に示すように第1ナイキスト・ゾーンに含まれる f_{IN} を中心とした帯域の狭い信号であるとして、この場合、ILスプリアスは、DCでのオフセット・スプリアス、 $f_s/2$ でのオフセット・ミスマッチ・スプリアス、入力の拡大/縮小コピーのように見える $f_s/2 - f_{IN}$ を中心としたゲイン・スプリアスおよびタイミング・スプリアス・イメージによって構成されます。

入力信号 $V_{IN}(f)$ が、図2（b）に示すように、 $0 \sim f_s/4$ の中に収まっていれば、入力信号をA/D変換した後のデータの周波数成分とILスプリアスが重なることはありません。これは望ましい状態ですが、この条件を満たすようにすると、残念ながらナイキスト・ゾーンの半分以下の周波数信号しかデジタル化できないことになってしまいます。消費電力は1チャンネルの場合の2倍以上になるのにもかかわらず、クロック周波数が $f_s/2$ の1チャンネルのADCを使用するのと同じ帯域にしか対応できません。ただ、ナイキスト・ゾーンのいちばん周波数が高い部分にあるILスプリアス・イメージは、A/D変換後にデジタル・フィルタによって除去できます。したがって、アナログ領域での補正は必要ありません。

ピンポン方式の利点としては、ADCのクロックが f_s なので、デジタル出力のダイナミック・レンジでは3dBのプロセス・ゲインが得られる点が挙げられます。また、クロックが $f_s/2$ のADCを1個使用する場合と比較すると、ピンポン方式のADCではアンチエイリアシング（折返し誤差防止）フィルタとして減衰特性が緩やかなものを使うことができます。

³一般に、MチャンネルのILでは、オフセット・スプリアスは $f_{OS} = (k/M)f_s$ （ $k=0, 1, 2, \dots$ ）で発生する。（Manganaro, 2011年）

⁴一般に、MチャンネルのILでは、ゲイン・スプリアスとタイミング・スキュー・イメージは、 $f_{GS} = \pm f_{IN} + (k/M)f_s$ （ $k=0, 1, 2, \dots$ ）で発生する。（Manganaro, 2011年）

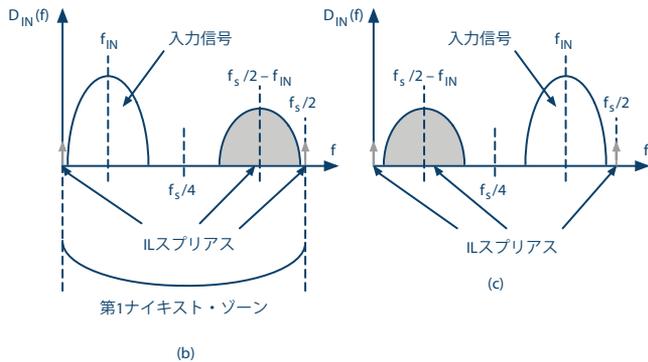
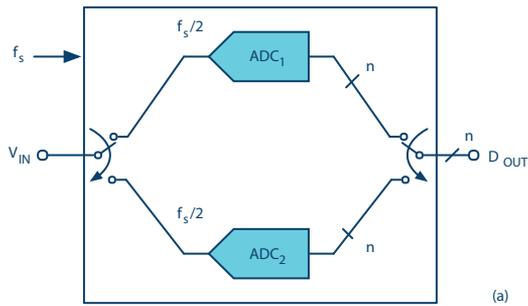


図2. ピンポン方式の概念図 (a)、入力が $f_s/4$ 未満の狭帯域信号である場合の出力スペクトル (b)、入力信号が $f_s/4$ とナイキスト周波数 $f_s/2$ の間にある場合の出力スペクトル (c)

図2 (c) に示すように、第1ナイキスト・ゾーンの周波数の高い側に帯域の狭い信号がある場合も、ILスプリアス・イメージがナイキスト・ゾーンの下半分に現れるので、同じように考慮する必要があります。繰り返しのようになりますが、ゲイン・スプリアスとタイミング・スプリアスはA/D変換後にデジタル・フィルタによって除去することが可能です。

入力信号の周波数が $f_s/4$ をまたがると、入力信号とILスプリアスの周波数が重なり、入力信号のスペクトルはILイメージによって損なわれてしまいます。この場合、所望の入力信号の再現は不可能なので、ピンポン方式は使用できないということになります。もちろん、チャンネル間のマッチングが十分にとれていて、ILスプリアスの成分がアプリケーションにおいて許容できるほど小さい場合や、キャリブレーションが適用され、ILイメージを発生させる要因が可能な限り排除されている場合にはピンポン方式を使用しても構いません。

まとめると、チャンネル間にミスマッチがある場合でも、適切な周波数計画（上述したような問題を回避できるように、使用する周波数について検討した結果）を立てることとデジタル・フィルタの働きによって、ピンポン方式でも狭帯域の信号をA/D変換後に再現することは可能です。ADCの消費電力は、 $f_s/2$ でサンプリングする単一のADCを使用する場合と比べて約2倍になります。しかし、ピンポン方式を採用すれば3dBのプロセス・ゲインが得られるとともに、アンチエイリアシングの要件を緩和することができます。

ここで、チャンネルのミスマッチを補正する手段を適用せずにピンポン方式を使用した場合の実例を示します。この例では、アナログ・デバイゼスの「AD9680」を使用します。同ICは分解能が14ビットでサンプル・レートが1GSPSのデュアルADCです。2個のADCが1つの正弦波を交互にサンプリングし、その結果を統合します。それにより、2GSPSの1本の出力データ・ストリームが得られます。図3は、このようなピンポン方式のIL ADCの出力スペクトルです。これを見ると、第1ナイキスト・ゾーン（DC～1GHz）において、 $f_{IN}=400\text{MHz}$ の左側に大きなトーンがあることがわかります。これが入力信号に対応するトーンです。これ以外にも、 $f_s/2 - f_{IN} = 2\text{GHz} / 2 - 400\text{MHz} = 600\text{MHz}$ でゲインとタイミングのミスマッチに起因する大きなスプリアスが生じています。さらに、2つのチャンネル固有の歪みや、他の要因によるトーンも数多く見られますが、それらはすべて-90dB以下に収まっています。

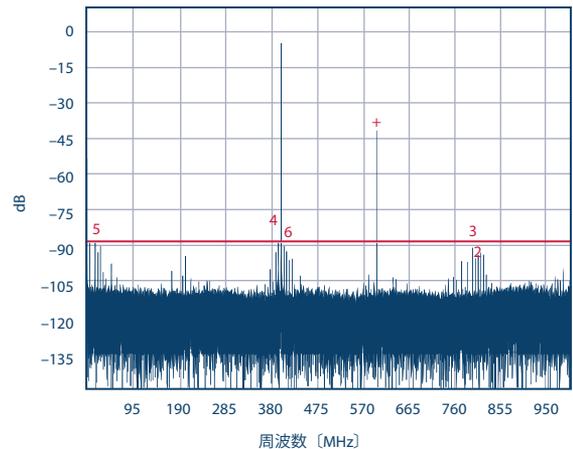


図3. AD9680をピンポン方式で使用した場合の出力スペクトル。2個のADCには、1GSPSでサンプリングするためのクロックを供給する。両クロックは位相が 180° 異なっている。これにより、2GSPSのサンプル・レートを実現できる。

高次のインターリーブ

3チャンネル以上を使うIL方式では、先述したような周波数計画はそれほど実用的でも魅力的でもありません。ILスプリアスの位置をナイキスト・ゾーンの一部に収めることはできないからです。例として、図4 (a) に示すような4相のIL ADCを考えてみます。この例では、オフセットのミスマッチによるトーンがDC、 $f_s/4$ 、 $f_s/2$ の位置に発生します。また、ゲイン・スプリアスとタイミング・インターリーブ・イメージが $f_s/4 - f_{IN}$ 、 $f_s/4 + f_{IN}$ 、 $f_s/2 - f_{IN}$ の位置に発生します。IL ADCの出力スペクトルの例を図4 (b) に示しました。入力が $f_s/8$ の帯域内に収まっていない限り、 f_{IN} がどこにあってもILスプリアスと重なることがわかります。なお、入力信号の帯域が非常に狭い場合には、広帯域に対応するIL ADCによってA/D変換を行うべきではありません。

このような場合、ナイキスト・ゾーンの全体にわたりクリーンなスペクトルを得るには、ILスプリアスのパワーを最小限に抑える必要があります。これを実現するためには、チャンネル間のミスマッチを補償するキャリブレーションを適用します。ミスマッチに補正を適用すればILスプリアスのパワーが減少します。そうすると、SFDRとS/N比が改善されます。

補償（キャリブレーション）の方法は、ミスマッチの測定精度と最終的な補正の精度によって制限されます。またキャリブレーションによる効果を上回るレベルで残余スプリアスを除去する方法もあります。それは、各チャンネルで入力をサンプリングする順番を断続的/ランダムにシャッフルする方法（以下、ランダム化）です。この方法により、ミスマッチを補償し切れていないために発生する影響は、固定パターンのノイズではなく擬似ランダム・ノイズに変わります。ILトーンと不要な周期的パターンが擬似ランダム・ノイズ成分のように変化することです。この擬似ランダム・ノイズはADCの量子化ノイズによって形成されるノイズフロアに埋もれて消失します。もし、そこまでいかなかったとしても、不要なスプリアス・イメージとトーンは分散されます。この手法を適用した場合、ILスプリアスの成分に関連するパワーはノイズフロアのパワーに加算されます。歪みは改善されますが、ノイズに加算されるILスプリアスのパワーの大きさによってS/N比は劣化することがあります。一方、SNDR（信号/ノイズ+歪み、SINAD）は歪みとノイズを組み合わせただけなので、本質的には変化しません。ランダム化によって、ILによる影響が、コンポーネント（歪み）から他の部分（ノイズ）に移されるだけです。

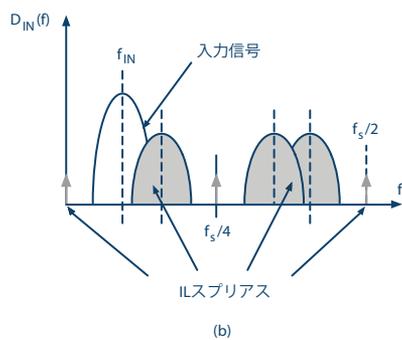
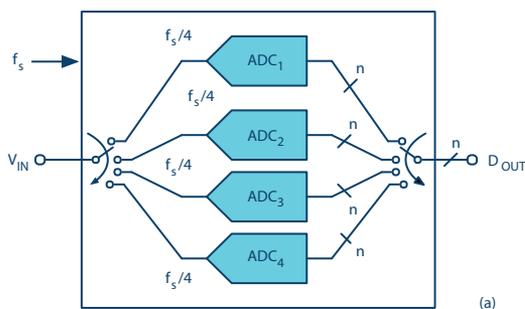
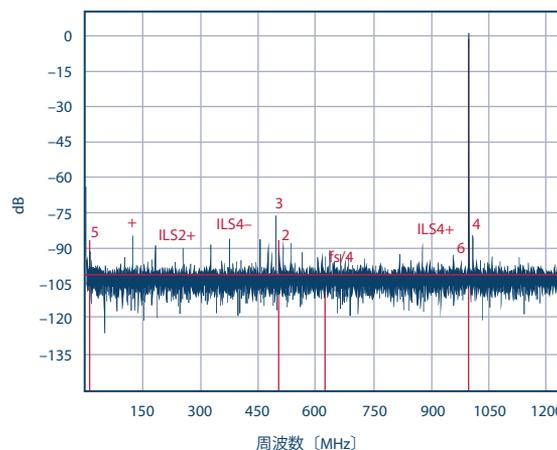


図4. 4相IL ADCの概念図 (a)、ILスプリアスが現れている第1ナイキスト・ゾーンの出カスペクトル (b)

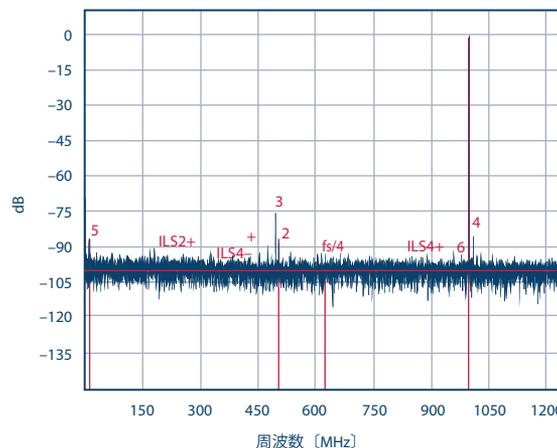
IL ADCの例をいくつか見てみましょう。「AD9625」は分解能が12ビットでサンプル・レートが2.5GSPSの3相IL ADCです。ILスプリアスを最小限に抑えるためには、3つのチャンネル間のミスマッチを校正します。入力が約1GHzのときの出力スペクトルの例を図5 (a) に示しました。このスペクトルから、1GHz付近の入力トーンのほかに、500MHzの付近に各チャンネルの2次/3次高調波歪みが発生しています（各ADCの基本性能に応じて発生する）。また、基本周波数の付近には4次高調波歪みも確認できます。ここで、IL ADCの特性に影響を及ぼすミスマッチを校正することで、実質的にILスプリアスのパワーを最小限に抑えることができます。その結果、小

さな残余スプリアス・トーンがスペクトル全体で見られるようになります。

この残余スプリアス成分をさらに削減するためには、ランダム化を適用します。校正済みの第4のチャンネルを加え、3つのチャンネルのうち1つをその第4のチャンネルに周期的に切り替えて、順番はランダムな状態で3相インターリーブを行います。この処理は、ときどき4本目のスキットルズ（木柱）に交換しながら3本のスキットルズを空中で回す曲芸師に例えることができます。それによって、残余ILスプリアスのパワーがノイズフロアの全体に分散されます。図5 (b) に示すように、ランダム化を適用するとILスプリアスはほぼ消滅します。ただ、ノイズのパワーがわずかに増加し、S/N比は2dB低下します。また、歪みのトーンはかなり減衰していますが、2次、3次、4次の高調波はILスプリアスではないため、ランダム化の効果は及ばないことに注意してください。



(a)



(b)

図5. AD9625の出力スペクトル。約1GHzの入力トーンを2.5GSPSでサンプリングした結果を示している。(a)は通常の3相ILによる結果であり、S/N比は60dBFS、SFDRは72dBcとなっている。これらの値は、ほぼ500MHz付近の3次高調波に依存して決まっている。ただ、ILスプリアスはスペクトル全域に生じていることがわかる。(b)は3相ILにランダム化を適用した結果である。S/N比は58dBFS、SFDRは72dBcであり、これらの値もほぼ3次高調波に依存して決まっている。しかし、ノイズフロアの全体にパワーを分散することによって、すべてのILスプリアスが減衰していることがわかる。

図6に、別のIL ADCに対してランダム化を適用した場合の例を示しました。この例では分解能が16ビット、サンプル・レートが310MSPSの4相IL ADC「AD9652」を使用しています。図6は、4チャンネルを決められた順に切り替えた結果であり、チャンネルのミスマッチを低減するためのキャリブレーションも行っていない。このスペクトルを見ると、予想どおりの周波数にILスプリアスがはっきりと現れています。スプリアスのパワーは、2次、3次の高調波よりもかなり大きく、SFDRはわずか57dBcとなっています。

しかし、チャンネル間のミスマッチを低減するために前もって校正しておけば、ILスプリアスのパワーは図7に示すように大幅に低減されます。前の例と同様に、各チャンネルの高調波歪みに変化はありませんが、ILスプリアスのパワーはチャンネル間のミスマッチが校正されることによって大幅に削減されます。

さらに、図7の条件下におけるスペクトル純度は、ランダム化を適用することによって大幅に改善できます(図8)。この例では、ランダム化において独自の手法を適用しています。4つのチャンネルの順番を断続的に変更することによって、追加(5つ目)のチャンネルを使用することなくスプリアスのパワーを削減しています。図8を見ると、ランダム化を適用することにより、スペクトル上には高調波歪みだけが残ることがわかります。

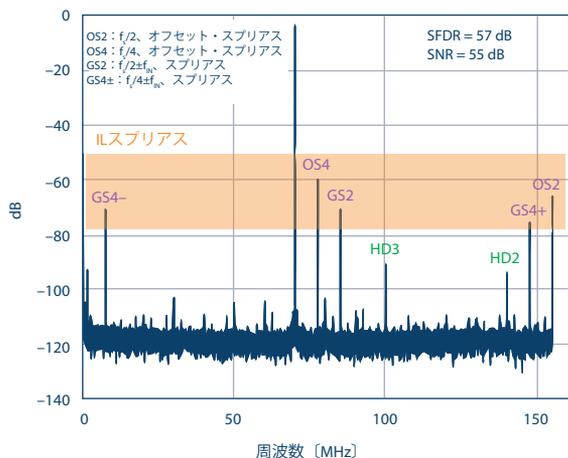


図6. AD9652の出力スペクトル。クロック周波数 f_s は310MHz、入力正弦波の周波数 f_{IN} は約70MHz。キャリブレーションもランダム化も適用していない。2次高調波(HD2)と、3次高調波(HD3)のエイリアスが、それぞれ140MHz付近と100MHz付近に現れている。またILスプリアスも発生している。オフセットに起因するトーンがDC、 $f_s/2$ (OS2)、 $f_s/4$ (OS4)に生じている。さらに、 $f_s/2-f_{IN}$ (GS2)、 $f_s/4+f_{IN}$ (GS4+)、 $f_s/4-f_{IN}$ (GS4-)にゲイン・スプリアス/タイミング・スプリアスが確認できる。スプリアス成分の一部がノイズのパワーであると見なされているため、このグラフではS/N比の値が悪化している。

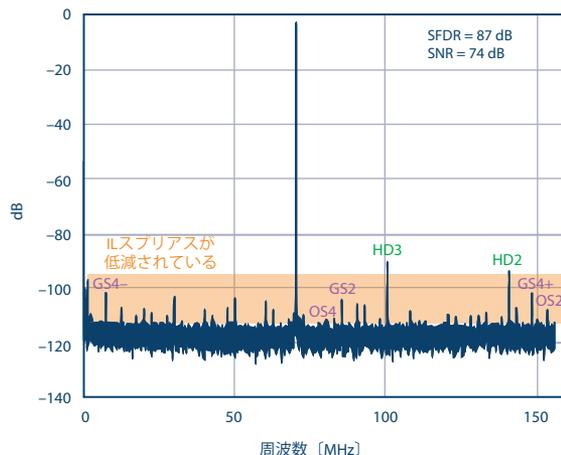


図7. AD9652の出力スペクトルであり、入力とクロック周波数の条件は図6の例と同じである。ただし、4つのチャンネル間のミスマッチを補償するためにキャリブレーションを適用している。図6と比較すると、2次、3次高調波に変化はない。しかし、ILスプリアスのパワーは削減されている。SFDRは30dB向上し、57dBcから87dBcに改善されている。

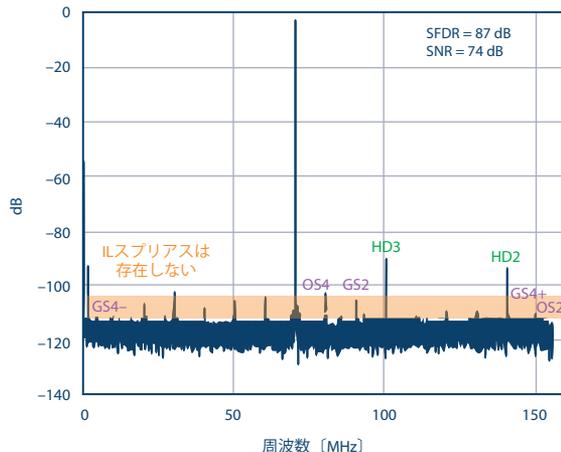


図8. キャリブレーションを実施したうえで(図7の状態)、さらにランダム化も適用した場合の出力スペクトル。ランダム化によって、残余ILスプリアスのパワーがノイズフロア全体に分散し、ピークがなくなっている。ADCの基本性能で決まる高調波歪みだけが残っているように見える。キャリブレーションを実施した後は、スプリアスのパワーを分散した効果は小さいため、S/N比の値はほとんど変わらない。

まとめ

ILは、ADCの帯域を増大させる強力な手法です。ミスマッチの補償や、ランダム化による残余スプリアス成分の除去といった最近の技術の進歩により、分解能が12/14/16ビットで非常に高速なIL ADCが実現されています。

多くの通信アプリケーションがそうであるように、入力信号の帯域が制限される場合には、ピンポン方式のIL手法を使用し、綿密な周波数計画を立てることで、不要なILスプリアスの発生場所と信号帯域を分離することができます。この場合、スプリアスの成分はデジタル・フィ

ルタで除去できます。この方式では、サンプル・レートが半分の通常のADCにより同じスプリアス・フリーの入力帯域を得る場合と比べて約2倍の電力を消費します。その一方で、プロセス・ゲインによってダイナミック・レンジが3dB向上します。また、高いILサンプル・レートによって、ADCの前段のアンチエイリアシング・フィルタとルーフィング・フィルタのロールオフ率を緩和することができます。

広帯域の入力信号に対応しなければならない場合、上記のようなアプローチはとることができません。その場合には、高次のIL ADCが適しています。高次のIL ADCを使用する場合には、キャリブレーションとランダム化を適用することによって、ILによる歪みとスプリアスの成分の補償/キャンセルを行うことが可能です。

謝辞

実験結果の一部を取得/提供していただいたSiddharth Devarajan氏、Prawal Shrestha氏、Antony DeSimone氏、Ahmed Ali氏、Umesh Jayamohan氏、Scott Bardsley氏に感謝します。

関連資料

Ian Beavers 「[Gigasample ADCs Run Fast to Solve New Challenges](#)」 Analog Devices, 2014年

William Black, David Hodges 「[Time Interleaved Converter Arrays](#)」 IEEE Journal of Solid-State Circuit, Vol. SC-15, No. 6, 1980年

Duncan Bosworth 「[GPS Data Converters to the Rescue for Electronics Surveillance and Warfare Systems](#)」 Analog Devices, 2014年

Jonas Elbornsson, JFredrik Gustafsson, Jan-Erik Eklund 「[Analysis of Mismatch Effects in a Randomly Interleaved A/D Converter System](#)」 IEEE Transactions on Circuits and Systems, Vol. 52, No. 3, 2005年

Jonathan Harris 「[Further into the Alphabet with Interleaved ADCs](#)」 EDN Network, 2013年

Jonathan Harris 「[The ABCs of Interleaved ADCs](#)」 EDN Network, 2013年

Gabriele Manganaro 「[Advanced Data Converters](#)」 Cambridge, UK: Cambridge University Press, 2011年



著者:

Gabriele Manganaro (gabriele.manganaro@analog.com) は、イタリアのカターニア大学で電子工学の博士号を取得しています。1994年にSTMicroelectronics社とテキサスA&M大学で研究を始めました。Texas Instruments社、Engim社、National Semiconductor社では設計担当ディレクターとしてデータ・コンバータICの設計に従事していました。2010年から、ADIで高速コンバータのエンジニアリング・ディレクターを務めています。また、ISSCCのデータ・コンバータ技術分科会の委員を7年連続で務めました。さらに「IEEE Transactions on Circuits and Systems-Part I (IEEE回路/システム会議 Part 1)」の編集者、副編集長を経て、最終的には編集長を務めました。60本の論文、3冊の書籍を執筆/共同執筆したほか、13件の特許を所有し、現在も別の特許を出願中です。2003年よりIEEEのシニア・メンバーであり、2009年よりIETのフェローとして活動しています。



Gabriele Manganaro

David H. Robertson (david.robertson@analog.com) は、1985年よりADIのデータ・コンバータ部門に所属し、相補型バイポーラ/BiCMOS/CMOSプロセスの高速DAC/ADCを幅広く担当してきました。プロダクト・エンジニア、設計エンジニア、プロダクト・ライン・ディレクターとして、米国、アイルランド、韓国、日本、中国の製品開発チームで業務に携わりました。現在は、ADIの高速コンバータ部門のプロダクト/テクノロジー・ディレクターを務めています。

コンバータとミックスド・シグナル回路に関する特許を15件所有しています。また、ISSCCで「ベスト・パネル」に選ばれた2つのイブニング・パネル・セッションに参加したほか、「IEEE Journal of Solid-State Circuits 1997 Best Paper Award」を受賞した論文の共著者でもあります。2000年~2008年にはISSCCテクニカル・プログラム委員会の委員を務め、2002年~2008年にはアナログ&データ・コンバータ分科会で議長を務めました。



David H. Robertson