

高精度回路でも使いやすくなった 新しいゼロドリフト・アンプ

著者: Vicky Wong、楠田義憲

ゼロドリフト・アンプは、その名の通り、オフセット電圧ドリフトがほぼゼロのアンプです。このアンプは、オートゼロ技術やチョッピング技術、もしくはその両方を使用して、時間や温度の変化に伴うDC誤差を継続的に自動補正します。これによって、マイクロボルト・レベルのオフセットを実現し、オフセット・ドリフトを極めて小さい値にすることが可能になります。したがって、高ゲイン、高精度のシグナル・コンディショニング回路に最適です。たとえば、センサー（温度、圧力、ロードセルなど）は一般に出力電圧が小さいので、微小なセンサー出力を新たな誤差を加えずに増幅するアンプが求められます。極めて低いオフセット電圧とドリフト、高い同相ノイズ除去比、高い電源電圧変動除去比、そして1/fノイズの低減を目標に設計されたゼロドリフト・アンプは、センシングなど、高いレベルの分解能が要求され、かつ長い製品寿命を実現するための理想的な選択肢です。

ゼロドリフト・アンプの基本的アーキテクチャ

図1はユニティ・ゲインで組まれた、基本的なチョッパアンプの回路です。DCゲイン・パスは、入力チョッピング・スイッチ・ネットワーク（CHOP_{IN}）、1次トランスコンダクタンス・アンプ（G_{m1}）、出力チョッピング・スイッチ・ネットワーク（CHOP_{OUT}）、2次トランスコンダクタンス・アンプ（G_{m2}）、周波数補償コンデンサ（C1とC2）で構成されています。CHOPとCHOP'はクロック・ジェネレータによって制御され、アンプの不要なDCオフセット電圧（V_{OS}）を補正します。

図2は、この回路のタイミング・チャートと出力電圧（V_{OUT}）です。CHOPクロック信号がハイの場合（Aフェーズ）、アンプG_{m1}の差動入力と出力は、反転されずに信号パスに接続されます。このため、V_{OS}の分だけ出力電圧V_{OUT}は正側に現れます。CHOP'クロック信号がハイの場合（Bフェーズ）、G_{m1}の入力および出力は反転されて信号パスに接続され、V_{OS}の分だけ出力電圧は負側に現れます。G_{m1}の正および負の出力電圧により、出力電圧は±V_{OS}に等しくなります。このチョッピングの時間領域における考え方は、周波数領域での変調に似ています。言葉を変えると、G_{m1}のオフセット電圧は、CHOP_{OUT}によってチョッピング周波数までアップ変調されます。一方、入力信号は、CHOP_{IN}とCHOP_{OUT}によって2回チョッピングされます。つまり入力信号に対しては、チョッピング周波数までアップ変調された後、元の周波数にダウン変調されることと同じです。結果として、入力信号は反転なしで出力されます。

G_{m1}からの正負の出力電圧（±V_{OS}）は、V_{OUT}ではリップルとして現れます（図2）。さらに、CHOPおよびCHOP'クロックは、スイッチ回路の寄生容量を通じて差動入力ピンに結合されます。クロック信号が変化すると、差動入力ピンに電荷が注入されます。こうしたチャージ・インジェクションは、有限の入力ソース・インピーダンスを通じて出力電圧のグリッチとして現れます。このグリッチの大きさや形状は、入力ソース・インピーダンスの大きさとマッチングおよび差動入力ピンのチャージ・インジェクションに依存します。こうした出力のリップルとグリッチはスイッチング・アーチファクトを発生させ、結果としてチョッピング周波数およびその整

数倍された周波数でのノイズ・スペクトルの増加として現れます。また、スイッチング・アーチファクトの大きさと周波数は、それぞれのゼロドリフト・アンプごとに、また、ユニットごとに異なります。本稿では、「チョッピング周波数」と「スイッチング周波数」を同じ意味で使用しています。

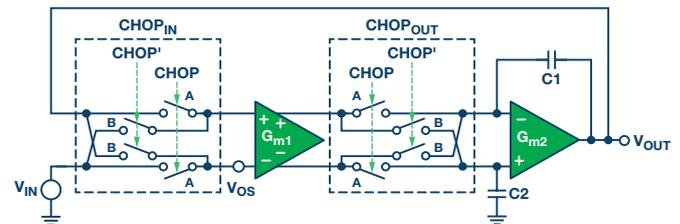


図1. チョッピング・アーキテクチャ

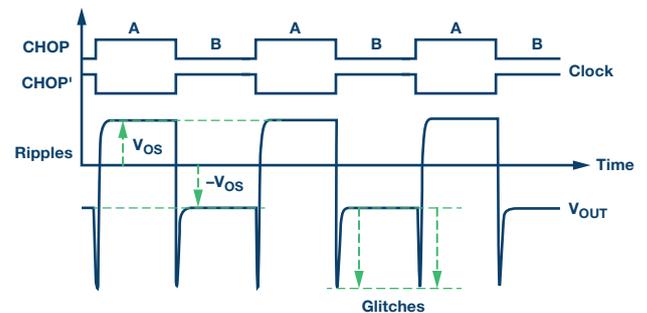


図2. チョッピングのタイミング図

データシートのスイッチング・アーチファクト

これまでゼロドリフト・アンプというと、ノイズが広い帯域にわたって非常に大きく、またスイッチング周波数が数キロ〜数十キロヘルツと低いものが一般的でした。そのため、対象となる信号の帯域はスイッチング周波数よりも低い帯域に限定され、結果としてゼロドリフト・アンプが使われるアプリケーションはDCから100Hz未満に限られていました。高い帯域幅において高精度かつ低ドリフトが求められるアプリケーションでは、スイッチング周波数の高いゼロドリフト・アンプを使うことが重要です。実際のところ、スイッチング周波数は、ゼロドリフト・アンプの性能指数と見なされることもあります。デザイン・アーキテクチャの進歩とともに、近年のゼロドリフト・アンプは、従来よりはるかに高い周波数でスイッチング・アーチファクトが小さくなるように設計されています。たとえば高電圧デュアル・ゼロドリフト・アンプのADA4522-2は、4.8MHzでオフセット電圧をチョッピングすることに加えて、特許取得のオフセットおよびリップル補正ループ回路を使用して、スイッチング・アーチファクトを最小限に抑えています。この補正ループ回路は800kHzで動作し、オフセット電圧±V_{OS}を除去する役割を果たします（図2を参照）。±V_{OS}を元の値の1%に減少させた場合、スイッチング・アーチファクトは40dB改善されます。これによって、目標とするシステム・レベルの精度を実現しようとする設計者の負担が軽減されます。

スイッチング・アーチファクトを検出する最も簡単な方法は、アンプの電圧ノイズ密度スペクトルを観察することです。図3は、ADA4522-2の入力換算電圧ノイズ密度スペクトルのグラフです。チャンネルBでは、スイッチング周波数である800kHzでノイズ・スペクトルが増加しています。このノイズ・スペクトルの増加は、前述のように、チャージ・インジェクションのミスマッチによる副産物です。ミスマッチは部品ごとに、あるいはチャンネルごとに異なるので、ノイズ・スパイクの大きさはそれぞれ異なり、すべてのユニットにノイズ・スパイクが見られるわけではありません。一例として、同じユニットのチャンネルAでは、800kHzのスイッチング周波数でノイズ・スパイクは発生していません。スイッチング周波数も、オンチップ・クロック発振器の周波数変動のために、ユニットごとに最大で10%~20%程度、異なることがあります。

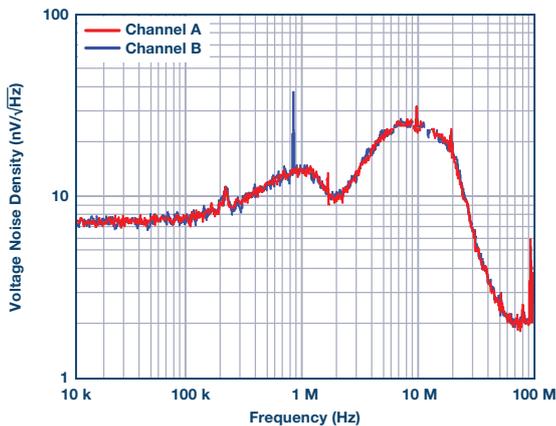


図3. ADA4522-2の電圧ノイズ密度

ゼロドリフト・アンプのノイズ比較

最先端の高電圧ゼロドリフト・アンプ3種類の入力換算電圧ノイズ密度を図4に示します。テストに使用した3種類のゼロドリフト・アンプのいずれにも、何らかのスイッチング・アーチファクトが見られ、一部のスイッチング・アーチファクトは、その整数倍周波数にも現れています。これらのスイッチング・アーチファクトはかなりの大きさとなることがあり、その場合は回路設計に誤差を発生させる恐れがあります。したがって、アーチファクトが回路に与える影響を理解し、その影響を最小限に抑える方法を探ることが重要です。アンプのクロード・ループ周波数がスイッチング周波数より高い場合は、このノイズ・スペクトルの増加が全帯域幅にわたって積分されて、出力に反映されます。それだけでなく、この入力換算電圧ノイズは、アンプのノイズ・ゲインによって増幅されます。たとえば、アンプがゲイン100に設定されているとすると、有効出力換算電圧ノイズ密度も100倍に増加します。

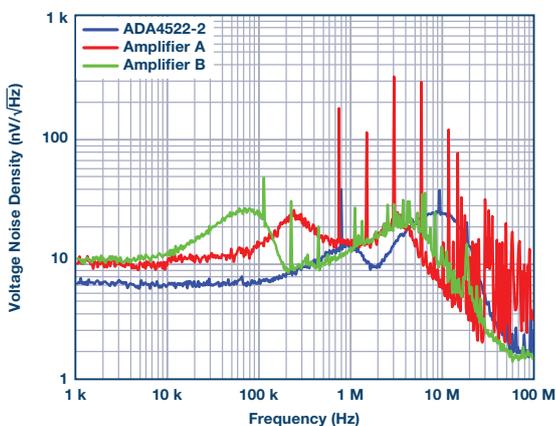


図4. 各種ゼロドリフト・アンプの電圧ノイズ密度

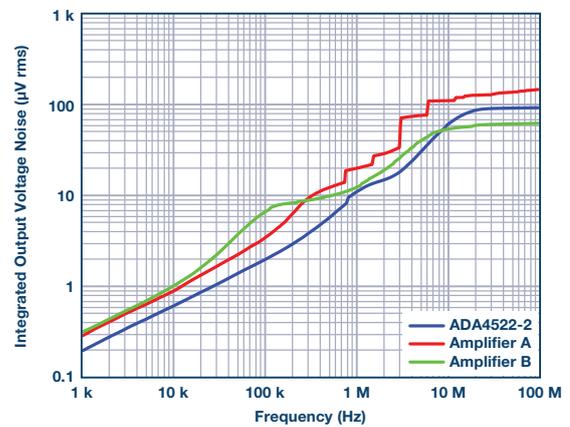


図5. 合計出力電圧ノイズ

アンプの出力に現れるRMSノイズの合計は、アンプの帯域幅に依存します。出力電圧ノイズは使用可能な帯域幅に応じてロールオフします。したがって、大きなゲイン、あるいは高い帯域幅になるほど、出力アンプ・ノイズの振幅も大きくなります。合計出力電圧ノイズの周波数特性のグラフを図5に示します。このグラフは、周波数の点から合計ノイズを理解するのに役立ちます。一例として、アンプの帯域幅がフィルタリングによって100kHzに制限されている場合、アンプ本来の電圧ノイズによる合計出力ノイズはグラフから読み取ることができ、その値は次のようになります。

表1. 合計出力ノイズ

アンプ	出力ノイズ (µV rms)	ピークtoピーク出力ノイズ (µV p-p)
ADA4522-2	1.91	12.61
アンプA	3.33	21.98
アンプB	6.40	42.24

RMS電圧からピークtoピーク電圧への変換に用いる公倍数（クレスト・ファクタ）を使用したピークtoピーク・ノイズの予測値を、表1の第3列に示します。5VシステムにおけるADA4522-2のピークtoピーク分解能は18.6ビットで、アンプBのピークtoピーク分解能は16.8ビットです。合計出力ノイズは常に小さくすることが望まれます。それによってS/N比が増加し、システム全体の分解能を上げることができるからです。

図5では、ノイズ・スパイク周波数でノイズが階段状に増加していることにも注目してください。ノイズ・スパイク（ノイズ・エネルギーの増大を伴う）は、幅が狭くても合計出力ノイズを大幅に増加させます。

時間領域のスイッチング・アーチファクト

多くの場合、周波数領域の電圧ノイズ密度スペクトルには、明確なスイッチング・アーチファクトが認められます。スイッチング・アーチファクトの時間軸での挙動は、非反転ピンを接地してアンプをバッファ構成にし、オシロスコープで出力を直接モニタするという方法で理解することができます。2種類のゼロドリフト・アンプの出力を図6に示します。アンプAには、さまざまな振幅の出力電圧スパイクが見られます。このスパイクは0.66µsごとに繰り返されています。これは、図4の1.51MHzに見られるノイズ・スパイクに一致します。一方、ADA4522-2には、時間領域のスイッチング・アーチファクトは見られません（青線）。言葉を変えると、ADA4522-2

のノイズ・スパイクは測定システムのノイズ・フロア未満であり、検出できません。したがって設計者は、ノイズ・スパイクが問題となることはないという確信を持って、ADCドライブなどのアプリケーションにADA4522-2を使用することができます。

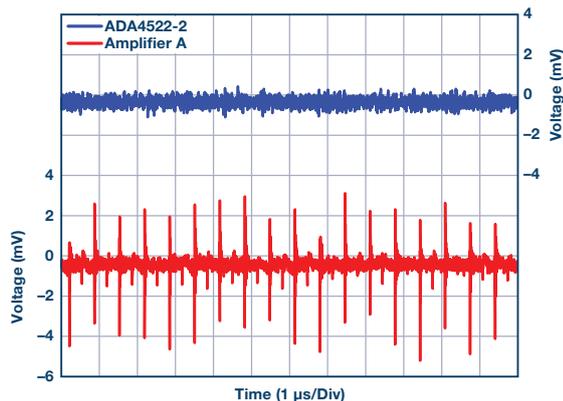


図6. 時間領域の出力電圧ノイズ

スイッチング・アーチファクトを軽減するためのフィルタ

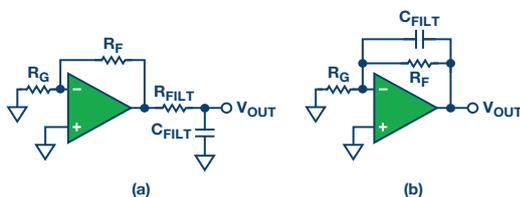


図7. フィルタを組み込んだゼロドリフト・アンプ

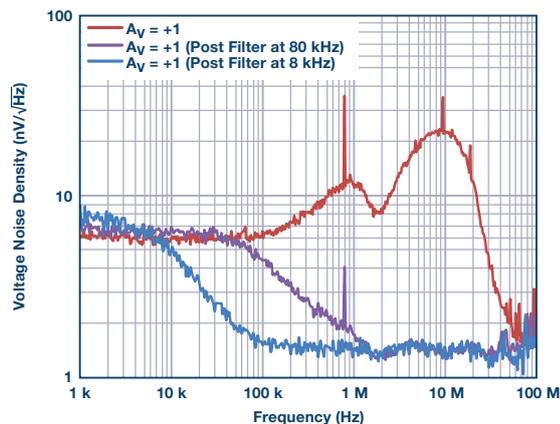


図8. ユニティ・ゲイン・ゼロドリフト・アンプの電圧ノイズ密度 (ポスト・フィルタ使用時)

スイッチング・アーチファクトの影響を減らすために実装できる方法は複数あります。これらの方法は、いずれも最終的にはアンプの帯域幅を制限する結果となり、帯域幅はスイッチング周波数より狭くなります。フィルタの使用は、ノイズ・スパイクを抑制する効果的な方法です。最も簡単な設計は、アンプの出力に抵抗-コンデンサ (RC) のネットワークを接続して、ローパス・フィルタを形成することです (図7(a))。スイッチング周波数より1~2ディケード低い周波数に合わせて設計したポスト・フィルタを組み込んだ、ゼロドリフト・アンプの電圧ノイズ密度を図8に示します。800kHzにおけるノイズ・スパイクは、 $36\text{nV}/\sqrt{\text{Hz}}$ (ポスト・フィルタなし) から $4.1\text{nV}/\sqrt{\text{Hz}}$ (80kHzのポスト・フィルタあり) に減少します。これは、アンプの低い周波数の広帯域ノイズ・レベルより低い値です。ポスト・フィルタをスイッチング周波数より2ディケード低い周波数に合わせて (8kHzのポスト・フィルタあり)、ノ

イズ・スパイクはもはや見えなくなり、ADA4522-2は通常のアンプと同様の挙動を示します。

一部のアプリケーションでは、アンプ出力にRCネットワークを組み込めないことがあります。ポスト・フィルタの抵抗に流れるアンプの出力電流は電圧オフセットを発生させ、それによって出力誤差が生じます。この場合は、帰還ループと並列に帰還コンデンサを置くことによって、ノイズ・スパイクを除去するという方法を取ることができます (図7(b))。図9はゲイン10に設定したアンプの出力電圧ノイズ密度を示したグラフで、フィルタなしのアンプと、スイッチング周波数より10ディケード低い周波数のポスト・フィルタ組み込んだ場合と帰還フィルタを組み込んだ場合とを比較したものです。ローパス・フィルタとしてポスト・フィルタを構成したほうが帰還コンデンサを使用するよりも効果的であることがわかります。

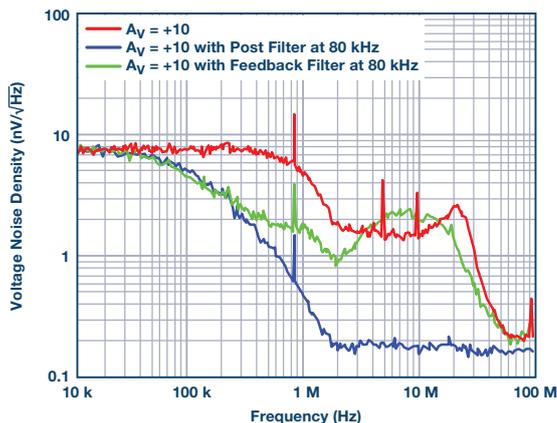


図9. フィルタによるスイッチング・アーチファクトの減少

高ゲイン構成のゼロドリフト・アンプの使用が有効

ゼロドリフト・アンプは数多くの設計に用いられていますが、システム内のスイッチング・アーチファクトには注意が向けられてきませんでした。その理由のひとつは、アンプの構成によるものと思われます。ゼロドリフト・アンプはドリフトもオフセットも小さいため、低い振幅レベルのセンサー出力を高いゲイン (たとえば100~1000) でシグナル・コンディショニングするために最も多く使われます。高いゲイン設定でアンプを使用することは、アンプにローパス・フィルタを組み込むのと同じ効果があります。ゲインが増大すると帯域幅が減少するからです。高いゲインが、どのようにスイッチング・アーチファクトの影響を軽減するかを図10に示します。クロードループ・ゲインが100の場合、ノイズ・プロット上にスイッチング・アーチファクトはほとんど見られません。

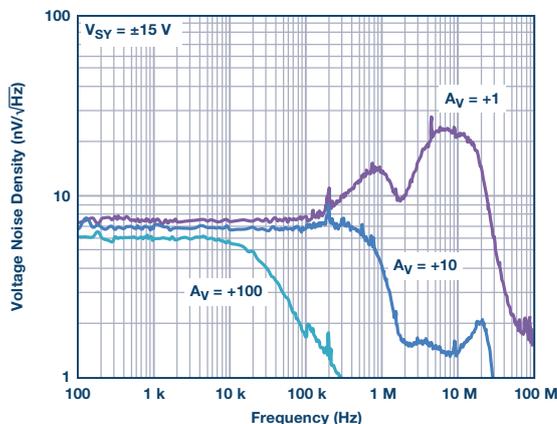


図10. アンプ帯域幅ロールオフとゲインの関係

ゼロドリフト・アンプとしてのADA4522-2の利点

アナログ・デバイセズの新しいゼロドリフト・オペアンプ ADA4522-2は、従来のアンプより高いスイッチング周波数を実現し、なおかつスイッチング・アーチファクトを最小限に抑えるために、特許取得の革新的な回路トポロジを採用しています。3MHzのユニティ・ゲイン帯域幅、800kHzおよび4.8MHzのスイッチング周波数です。ゲイン設定を40にすれば、十分にスイッチング・アーチファクトを除去できるので、外付けのローパス・フィルタも不要になります。22nV/°Cの低いオフセット電圧ドリフト、 $5.8\text{nV}/\sqrt{\text{Hz}}$ の低ノイズ（ゲイン100の場合）、最大150pAの低い入力バイアス電流、高い同相ノイズ除去比と電源電圧変動除去比を持つこのデバイスは、計量器、電流検出、温度センサーのフロント・エンド、ロードセルやブリッジのトランスデューサのほか、ドリフトが重視される数多くのアプリケーションを含む高精度アプリケーションに理想的な選択肢となっています。

結論

ゼロドリフト・アンプは、オフセット電圧が非常に低いのが特長で、低レベルの信号を高精度で増幅することが求められるアプリケーションに最適です。ゼロドリフト・アンプを使う際のポイントを以下にまとめます。

すべてのゼロドリフト・アンプにはある程度のスイッチング・アーチファクトが見られます。これを検出するための最も一般的な手段が、電圧ノイズ密度プロットです。

スイッチング・アーチファクトの大きさはユニットごとに異なります。

スイッチング周波数は、ユニットごとに最大20%ほど異なることがあります。

スイッチング・アーチファクトは、周波数領域と時間領域で検出できます。アプリケーションによっては、アーチファクトにより誤差が生じることがあります。

ゼロドリフト・アンプは高いゲイン設定で使われることが多く、この場合は帯域幅が狭くなるので、多くの場合、スイッチング・アーチファクトが問題となることはありません。

出力誤差を小さくするには、スイッチング・アーチファクトを軽減することが重要です。スイッチング周波数の前でアンプ帯域幅をロールオフさせてアーチファクトを軽減するために、ローパス・フィルタ（RCポスト・フィルタまたは帰還コンデンサ）を使用します。

高いスイッチング周波数はフィルタに関する条件をシンプルにし、アーチファクトのない広い帯域幅を実現します。

謝辞

本稿作成にあたってはEmman Adrados氏の協力を得ました。ここに感謝申し上げます。

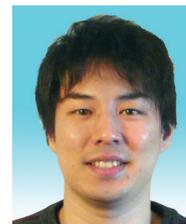


Vicky Wong (vicky.wong@analog.com) は、アナログ・デバイセズのアプリケーション・エンジニアです。2008年にアナログ・デバイセズに入社し、高精度アンプと電圧リファレンスを担当しています。イリノイ大学アーバナ・シャンペーン校で電気工学学士号と電気工学修士号を取得しました。



Vicky Wong

楠田義憲 (yoshinori.kusuda@analog.com) は、カリフォルニア州サンノゼのリニアおよび高精度技術グループに勤務するIC設計エンジニアで、主に高精度CMOSアンプとスイッチド・キャパシタの設計に従事しています。東京工業大学で2002年に電気工学学士号を、2004年に電気工学修士号を取得しました。



楠田義憲