

ADC向けのオンライン評価ツール「Virtual Eval」の活用法

著者：Tom MacLeod/Jason Cockrell

概要

3杯目のコーヒーを机に置き、あなたはため息とともに東になった仕様書を手に取りました。この日、あなたは最先端の要件を満たす次世代プラットフォームを開発するという課題を突き付けられました。そのプロジェクトでは、不当とも言えるような厳しい予算しか許されず、信じがたいスケジュールで開発を完了しなければなりません。それでも、あなたは笑みを浮かべながら、すべての問題をクリアすべく取り組みを進めることになるでしょう。このプロジェクトを成功に導くには、最適なベンダーを選択しなければなりません。非常に難易度の高い目標を達成するためには、中核となる製品だけでなく、質の高いサポートを提供してくれるベンダーが必要になるからです。

そうした期待に応えるために、アナログ・デバイセズ(ADI)は「Analog Filter Wizard」やA/Dコンバータ用のモデリング・ツールといったサポート用のソフトウェアを提供してきました。そして、ADIは次のステップとして製品評価用の包括的なオンライン・ツール「Virtual Eval」を開発しました。Virtual Evalは詳細なソフトウェア・モデルを採用しており、重要な部品を実際に購入することなく、その特性をシミュレーションすることができます。多忙な技術者であっても、さまざまな動作条件やデバイスの特性を設定し、個々の使用条件に応じた確認が行えます。このオンライン・ツールを使って技術者が製品の設定を行うと、その内容がADIのサーバに送られ、シミュレーションが実施されます。数秒後には、ウェブ・ブラウザのウィンドウ上にグラフや性能のマトリクスとしてシミュレーション結果が表示されます。

Virtual Evalを利用すれば、設計上のさまざまな問題を解決することができます。そのため、より短期間での製品開発が可能になります。本稿では、設計時に生じる数多くの問題の中から2つの例を取り上げ、Virtual Evalの活用方法を紹介します。1つ目の例としては、データ・アキュイジションを取り上げます。この例では、スループットとノイズ性能を考慮し、高精度のADCを適切に選択する必要があります。2つ目の例は、無線レシーバにおいて、最低限のダイナミック・レンジにより、システム全体の電力を低く抑えつつ、対象とする周波数信号をデジタル・データに変換するというものです。どちらの例においても、Virtual Evalでオンライン・シミュレーションを行うことにより、自信を持って設計上の判断を行えるようになります。

【問題1】

大量の仕様書を読んでいると、少しずつ主要な要件が判明していきます。この例では以下のような要件があることがわかりました。

- 4チャンネルを使い、入力範囲が $\pm 75\text{mV}$ のアナログ信号に対するデータ・アキュイジションを実施する
- 必要な精度は18ビット以上

- 50Hzにおいて-40dB以下の減衰量
- セトリング・タイムは50ms以下に抑えればよいが、短いほど望ましい

先に解答を示してしまいますが、この例にはADIの「AD7193」が最適です。従来は、データシートに記載された仕様を参照し、個々のアプリケーションやフィルタなどに関する条件の下で性能を確認して製品を選択していました。しかし、この方法は多くの労力を要します。加えて、データシートでは、顧客が使用するかもしれないあらゆる周波数や各種条件の組み合わせを網羅することはできません。本当に必要なのは、個々のアプリケーションに応じたシミュレーションによって製品の性能を把握できるようにすることです。つまり、Virtual Evalのような対話型のツールこそが重要なのです。

Virtual Evalでは、最初に製品の選択画面が表示されます。

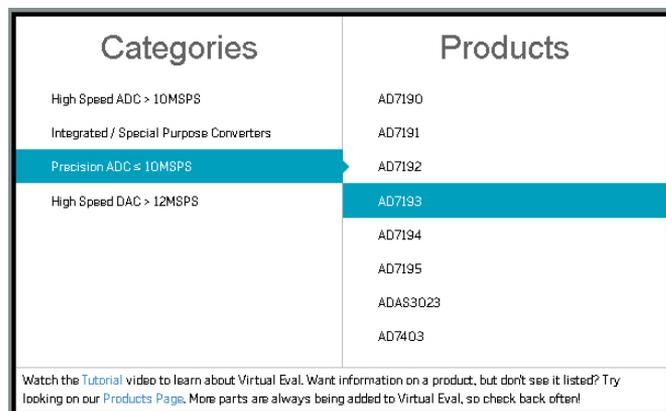


図1. 製品の選択画面 (AD7193を選択している)

「Precision ADC \leq 10MSPS」を選択し、「AD7193」をクリックします。それにより、評価用のセッションがロードされます。

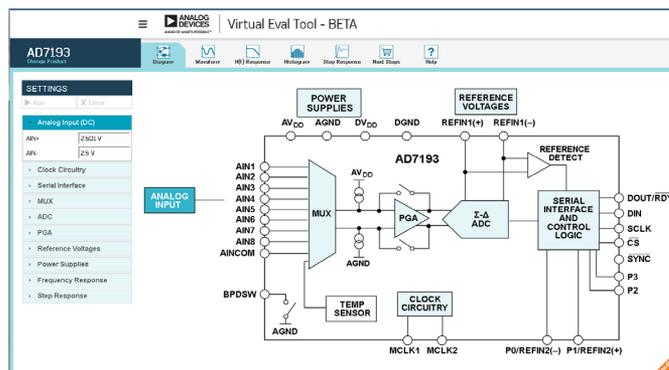


図2. AD7193の機能ブロック図

すると、「Functional Block Diagram (機能ブロック図)」ビューに、AD7193の機能ブロック図が表示されます。この図では、いくつかの内部コンポーネントをクリックできるようになっています。また、それらのコンポーネントに関する設定を行うためのメニューが画面の左側に表示されています。ここでは「Reference Voltages (リファレンス電圧)」を選択し、 V_{REF} の値が2.5Vであることを確認してみましょう。続いて具体的な設定を行うために「PGA」を選択します。そして、PGAのゲインを「128」から「32」に変更し、アナログ入力範囲が $\pm 78.125\text{mV}$ ($\pm 2.5\text{V}/32$) になるようにします。この値は振幅の仕様に対応して設定しています。最後に「SETTINGS (設定)」カラムの「Run (実行)」ボタンをクリックします。これにより、リモート・サーバが一連のシミュレーションを実行し、その結果として得られた性能の値をVirtual Evalのクライアントに送信します。

結果を分析するために、画面上部にあるタブを使って「Waveform (波形)」ビューに切り替えます。



図3. 「Waveform」ビュー

「RESULTS (結果)」カラムを見ると、ノイズや消費電力など、シミュレーションによって算出された特性値が表示されています。ピークtoピークの分解能は18.531ビットなので仕様を満たしています。しかし、セトリング・タイムは80.103msなので仕様を満たしていません。

高精度のADCでは、セトリング・タイムはフィルタ構成の関数になります。そこで「H(f) Response (フィルタの応答)」ビューに切り替えると、この製品が備えるフィルタの特性を確認することができます。

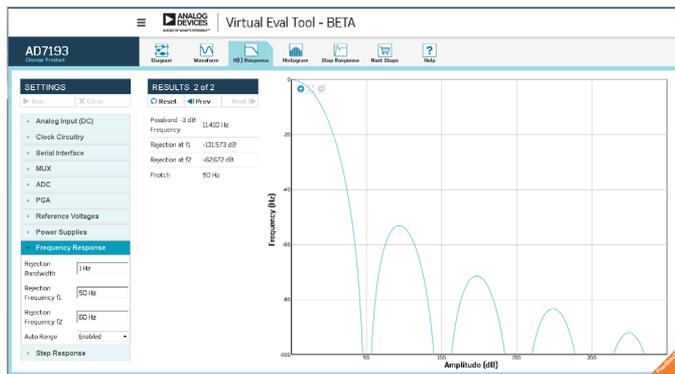


図4. 「H(f) Response」ビュー

仕様では「50Hzにおいて-40dB以下の減衰量」が求められていますが、実際の減衰量は-131dBです。これは必要以上の性能だと言えるでしょう。そこで、この特性と引き換えにセトリング・タイムを改善することにします。そのために「SETTINGS」カラムの中の「ADC」を選択し、「FS」の値を「96」から「48」に変更します。50Hzにおけるフィルタの応答にゼロ点が確実にくるようにするために、「Averaging (平均化)」を「1」から「2」に増やします。最後に、「Sinc Order (Sinc関数の次数)」を「4」から「3」に変更し、セトリング・タイムをもう少し抑えます。このような設定変更を行ったうえで再びシミュレーションを実行します。

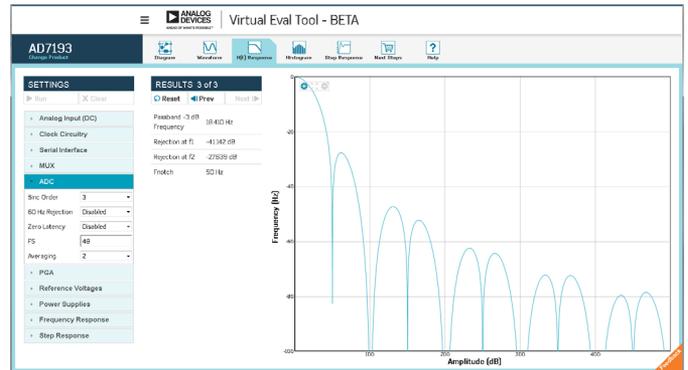


図5. 設定を変更した後の「H(f) Response」ビュー

これにより50Hzでの減衰量が約-41dBになりました。この値でも、仕様を満たすことができます。ADIは各周波数における減衰量を算出するための計算式をデータシートで公開しているわけではありません。そのため、データシートを基にこの特性を検証することはできません。この例のような特定の用途における製品の性能を直接検証するには、対話型のシミュレーションが最適だということです。

当然のことながら、当初からの問題であったセトリング・タイムの確認も必要です。「Waveform」ビューに戻って確認すると、フィルタの特性を変更したことで、セトリング・タイムが40.102msになっていることがわかります。この値であれば仕様を満たしています。

【問題2】

現在、新たなプラットフォームの設計に携わっているとします。そのプラットフォームでは、354MHzの位置で約50MHzの帯域幅を対象とし、72dBのS/N比でデジタル・データへの変換を行う必要があります。ここでは、RF対応のADC「AD9680」を選択したものと話を進めます。AD9680はサンプリング・レートが1GS/SPS (ギガサンプル/秒) のデジタル・ダウンコンバータICであり、柔軟性の高いシリアル・インターフェースとしてJESD204Bをサポートしています。データシートは非常に詳細に記載されていますが、先述したとおり、すべての条件における特性を網羅することはできません。しかし、Virtual Evalを使用すれば個々の条件に応じて特性を評価することができます。そこで、AD9680の製品ページからVirtual Evalを開きます。

表示された製品の選択画面で「High Speed ADC > 10MSPS」を選択し、「AD9680」をクリックします。

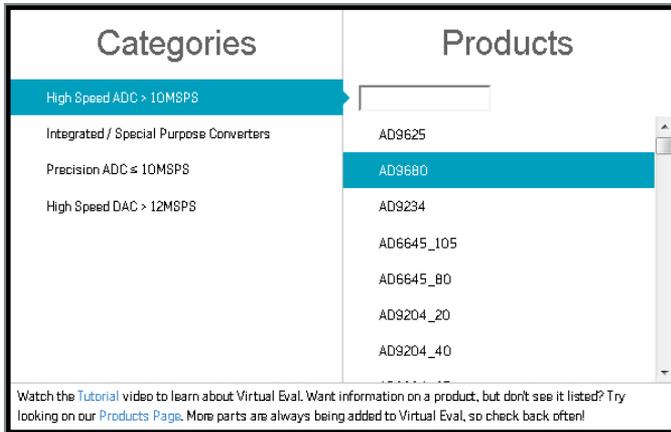


図6. 製品の選択画面（AD9680を選択している）

すると「Functional Block Diagram」から始まるVirtual Evalのデフォルトのセッションが表示されます。

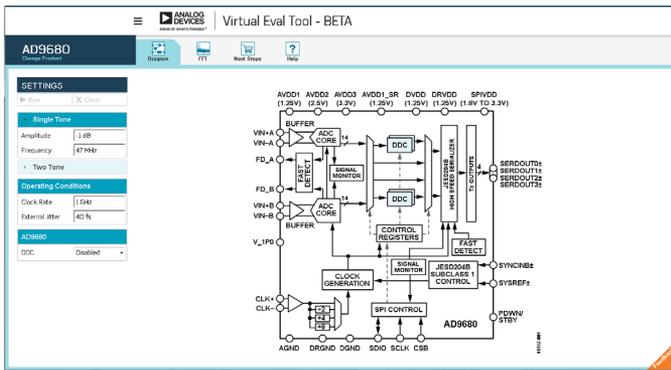


図7. AD9680の機能ブロック図

機能ブロック図を見ると、DDC（デジタル・ダウン・コンバータ）とJESD204Bインターフェースを内蔵していることが確認できます。これらを備えていることが、プラットフォームに求められる要件の1つです。「Single Tone（シングル・トーン）」の「Frequency（周波数）」で入力周波数として「354MHz」を設定し、「Run」ボタンをクリックします。

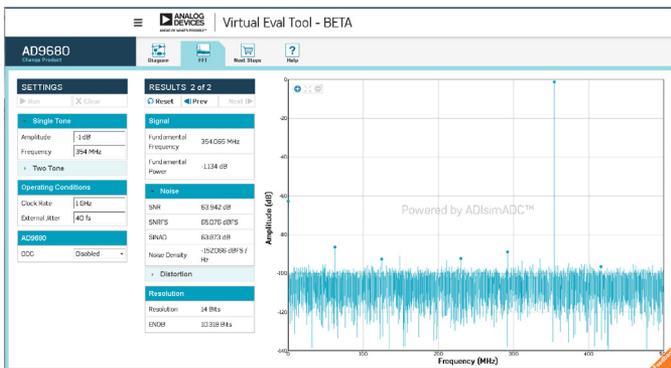


図8. DDCがディスエーブルの場合の周波数解析結果（入力トーンは354MHz）

Virtual Evalを使えば、シミュレーションと周波数解析を実行できます。この例では性能の指標の中でもS/N比が重

要な意味を持ちます。図8の結果を見るとS/N比は63.9dBとなっています。これでは不十分なので改善を試みます。「DDC」を「Disabled（ディスエーブル）」から「Enabled（イネーブル）」に切り替えると、性能の改善に有用なデジタル信号処理のオプションが表示されます。

ここでは、スペクトルがほぼ中心の位置になるように「NCO Frequency（数値制御発振器の周波数）」を「354MHz」に設定します。また、「C2R（複素数から実数に変更）」を「Enabled」に変更します。実数値に変更することによって、送信されるデータの量が半分になり、ADCとFPGAの間のI/Oで消費される電力が減少します。再び「Run」ボタンをクリックし、新たなシミュレーション結果を確認します。

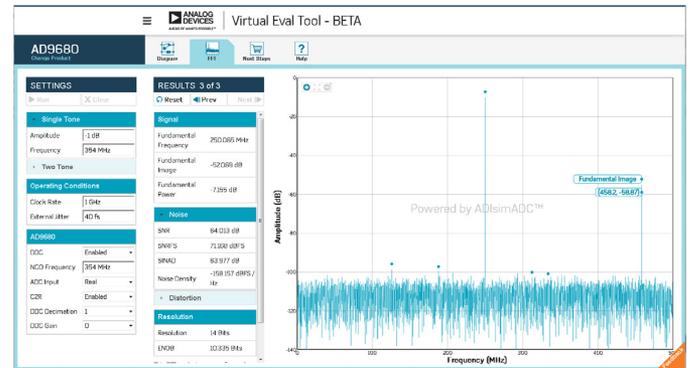


図9. DDCがイネーブルの場合の周波数解析結果（入力トーンは354MHz）

入力トーンは想定どおり中央に位置しています。しかし、グラフの右端付近に基本波の大きな折り返しイメージが現れています。幸い、仕様で求められているのは、このシミュレーションでデジタル・データに変換された500MHzよりも大幅に狭い50MHzの帯域幅を満たすことです。そこで、ここでの解決策は、対象となる周波数帯域幅を縮小するとともに、S/N比を改善して、折り返しイメージを除去することです。そのために、「SETTINGS」カラムにおいて「DDC Decimation（DDCにおけるデシメーション）」を「1」から「8」に変更し、再び「Run」ボタンをクリックします。そうすると、帯域幅は62.5MHz（500MHz/8）に縮小されます。

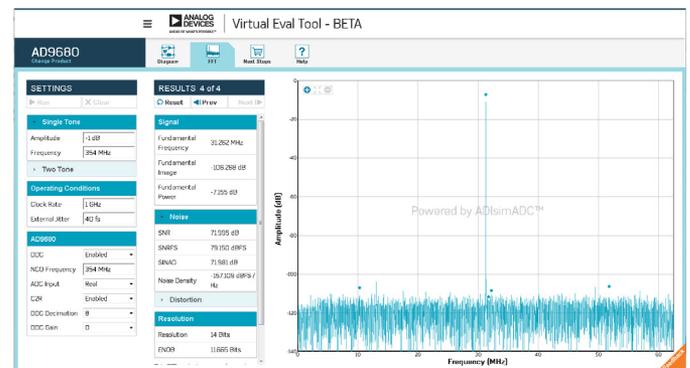


図10. DDCをイネーブルとし、デシメーションの設定を変更した場合の周波数解析結果（入力トーンは354MHz）

図10を見ると、折り返しイメージはデジタル的に除去され、S/N比は72dBに改善しています。ADCによるデジタル・データへの変換は62.5MHzの帯域幅を対象としてい

るので、ADCとFPGAの間のデータ・リンクはほぼ最適な状態にあります。

まとめ

Virtual Evalを使えば、製品の設定を仮想的に行ってオンライン・シミュレーションを行うことができます。それにより、迅速かつ低リスクで製品の評価を実施できます。Virtual Evalは、このような高い利便性を提供します。複雑な製品の機能設定をグラフィカルに行えるので、個々の動作条件の下で各製品が要件を満たすかどうかを容易に見極めることができます。製品を評価するためのほかの手法では、ウェブ・ブラウザをベースとするVirtual Evalと同じレベルの詳細度や対話性を得ることはできません。

本稿で紹介したのは、Virtual Evalが提供する機能の一部にすぎません。現在利用可能な**ベータ版のサイト**では、多くの機能や製品が頻繁に追加されています。現在進行中の開発プロジェクトで、ぜひVirtual Evalを試してみてください。その際にお気づきの点があれば、右下のFeedbackタブからご意見をお寄せください。Virtual Evalの開発と拡張は今後も続きます。ADIは、このようなオンライン・シミュレーションが、開発プロセスにおける製品評価の工程で中心的な存在になることを期待しています。



著者：

Jason Cockrell (jason.cockrell@analog.com) は、米ノースカロライナ州グリーンズボロにあるADIのApplications and Technologyグループに所属するソフトウェア技術者です。2013年にノースカロライナ州立大学で応用数学とコンピュータ・サイエンスの学士号を取得してADIに入社しました。現在は製品評価用のオンライン・ツールであるVirtual Evalの開発を担当しています。



Jason Cockrell

Tom MacLeod (tom.macleod@analog.com) は、米ノースカロライナ州グリーンズボロにあるADIのApplications and Technologyグループに所属するアルゴリズム設計者です。2002年に米ノースカロライナ州立大学で電気工学の学士号を取得しました。モデリングや、信号処理、先進的なアルゴリズム開発を含む電気工学のさまざまな分野で13年以上の経験を積み重ねています。



Tom MacLeod