

GSPSレベルのADCが、マルチバンド・レシーバの新時代を切り拓く【Part1】

著者：Umesh Jayamohan

はじめに

A/Dコンバータ（ADC）は、かなり以前から無線通信システムを構成するレシーバの設計に欠かせない要素となっています。通信技術の進化に伴い、より少ないコストでより高いデータレートを利用したいという消費者の要求は強まるばかりです。そうしたサービスを提供する通信事業者は、1つの課題に直面しています。データレートを高めるには、帯域幅を広げなければなりません。それには、アナログ信号をデジタル処理が可能なデータに変換するためのADCとして、より高速なものが必要になります。つまり、変換レートがGSPS（ギガサンプル/秒）のレベルのADC（以下、GSPS ADC）を使用しなければならないということです。なお、この種のADCは、RFサンプリングADCとしても広く知られています。GSPS ADCを使用するという事は、膨大な量のデータが生成されるということを意味します。DSPチップを使用して、それらのデータを高速に処理しなければならないため、レシーバの稼働コストは間違いなく増加します。

この問題は、巧妙に設計されたGSPS ADCを活用することによって解決できます。GSPS ADCには、ムーアの法則に基づいて進歩する半導体の処理能力が適用されています。FPGAよりも電力効率と面積効率に優れたカスタムのデジタル信号処理ブロックが実装されているのです。これを活用すればデータレートが下がり、より低コストのFPGAを使用できるようになります。これは、通信事業者にとって願ってもない解決策です。GSPS ADCを使う場合、高い周波数でサンプリングを行い、内蔵するデジタル・ダウン・コンバータ（DDC）によって高速にデータを処理することができます。その結果得られたデータを、管理が可能な（低い）データレートで安価なFPGA（または旧世代のASIC）に転送し、その後のベースバンド処理を行うことができます。

DDCを備えるGSPS ADCを使用することには、より柔軟性が高く小型でコスト効率の良い方法によって、デュアルバンドの無線システムを実装できるという利点もあります。デュアルバンドの無線システムはかなり以前から存在します。ただ、従来の基地局システムは、各バンドに1つずつ独立した2つの無線パスを設けるかたちで設計/実装されていました。本稿では、GSPS ADCを使用し、広く使われている2つの独立した周波数帯に対してA/D変換を行い、得られたデータにデジタル処理を施すマルチバンド対応の無線レシーバを実現する方法について説明します。GSPS ADCとしては、アナログ・デバイセズ（ADI）の「[AD9680](#)」などを例にとります。この記事のPart1となる本稿では、ブロック図のレベルで実装方法を示します。そのうえで、デュアルバンドの無線システムでGSPS ADCを使用するメリットについて説明します。Part2では、TDD LTE（Time Division Duplex Long Term Evolution）のバンド34とバンド39（それぞれバンドAとバンドFとも呼ばれる）の実装とデータ解析について、ADCの性能を表す解析結果を使って説明します。

従来のデュアルバンド・レシーバ

従来、基地局の設計者らは、デュアルバンドの無線システムに対する需要に応え、求められるシステム・レベルの性能を達成するために、最も実装しやすい方法を採用していました。つまり、同じ無線回路を2つ用意し、それぞれを各バンド用にチューニングするという方法です。その場合、顧客が選択した2つのバンド用にチューニングされた2つの独立した無線ハードウェア回路が必要になります。

例えば、TDD LTEのバンド34（バンドA：2010MHz～2025MHz）とバンド39（バンドF：1880MHz～1920MHz）¹に対応する無線レシーバが必要な場合、2つのレシーバ回路の設計を行います。図1に、TDD LTEの周波数プランを示しました。

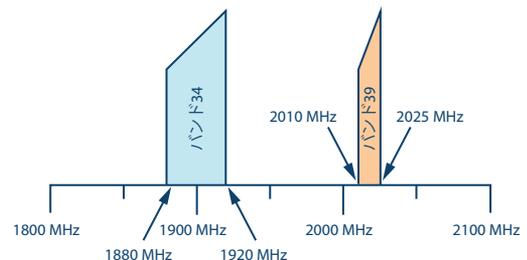


図1. TDD LTEの周波数プランにおけるバンド34とバンド39

これらのバンドに対応するレシーバを実現するために、従来は各バンドに1つずつ、2つの独立したレシーバを設計していました。つまり、図2のブロック図のような設計を行っていたということです²。

図2は、従来のデュアルバンド・レシーバの実現方法を示したものです。ご覧のように、1つのシステムに実質的に2つのレシーバを搭載することになります。そのため、この実装にはかなりのコストがかかります。それぞれのバンドに対応するために、すべての処理要素が2つずつ用意されているからです。FPGAのリソースについても同様です。各バンド用にすべての処理要素が2つずつ存在するため、FPGAのリソースも2つ分消費することになります。結果として、システムのコスト、複雑さ、消費電力が増加します。ここで、FPGAに対するインターフェースに注目してみます。すると、2つのADCからのデータ・ストリームに対応するために、FPGAのリソースを2倍消費してしまふことがわかります。図3は、デュアルバンド・レシーバにおいて、FPGAに対するI/Oリソースの要件がどのようになるのかを表しています。LVDS（Low Voltage Differential Signaling）とJESD204Bのそれぞれについて、ADCとのインターフェースの概要を示しています。LVDSを使う場合、データレートは低く抑えられますが、FPGAにおいて必要なI/O数が多くなります。一方、JESD204Bを使う場合、FPGAのI/O数は少なく済みますが、各レーンのデータレートは高くなります。そのため、より高価なFPGAが必要になるかもしれません。

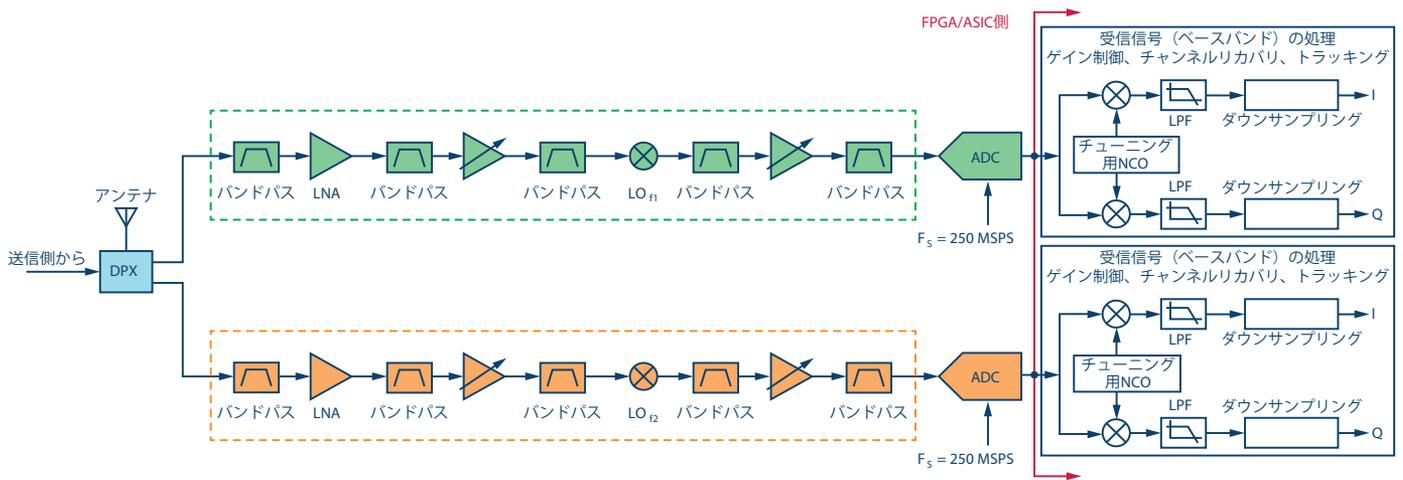


図2. 従来のデュアルバンド・レシーバ

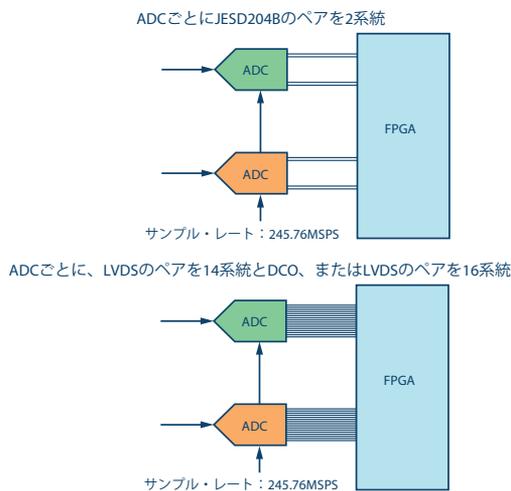


図3. 従来型のデュアルバンド・レシーバにおけるFPGAのインターフェース

ロセス技術のメリットを活用することができます。すなわち、FPGAより格段に少ない消費電力で高速にデータを処理できるデジタル処理ブロックを集積することが可能です。GSPS ADCの中心にあるのは、GHzレベルの速度でサンプリングを行う広帯域幅のアナログ回路です。この回路の後段に、多くのデジタル信号処理回路が続きます。それらの回路（DDC）によって、各バンドの信号を抽出することができます。図4は、GSPS ADCの構成要素をデュアルバンド・レシーバ用に設定した場合のブロック図です。DDCは、信号処理を行うだけでなく、JESD204Bのレーンにおけるデータレートを引き下げる役割も果たします。

デジタル信号処理ブロックを追加することにより、1つのGSPS ADCで2つのバンドの処理を行えるようになります。これは、通信事業者にとっては願ってもない解決策です。GSPS ADCを使えば、高い周波数でサンプリングを行い、内蔵するDDCによって高速にデータを処理することができます。その結果得られたデータを、管理が可能な（低い）データレートで安価なFPGA（または旧世代のASIC）に転送し、その後のベースバンド処理を行うことができます。GSPS ADCを使えばフロントエンドの帯域幅が広がるため、広い周波数範囲（例えば2つの無線バンドを包含する）を対象として信号を取得し、デジタル変換を行って信号処理を施すことができます。

GSPS ADCを用いたデュアルバンド・レシーバ

GSPS ADCを使用すれば、システム設計に柔軟性が得られます。GSPS ADCでは、ディープ・サブミクロン・プ

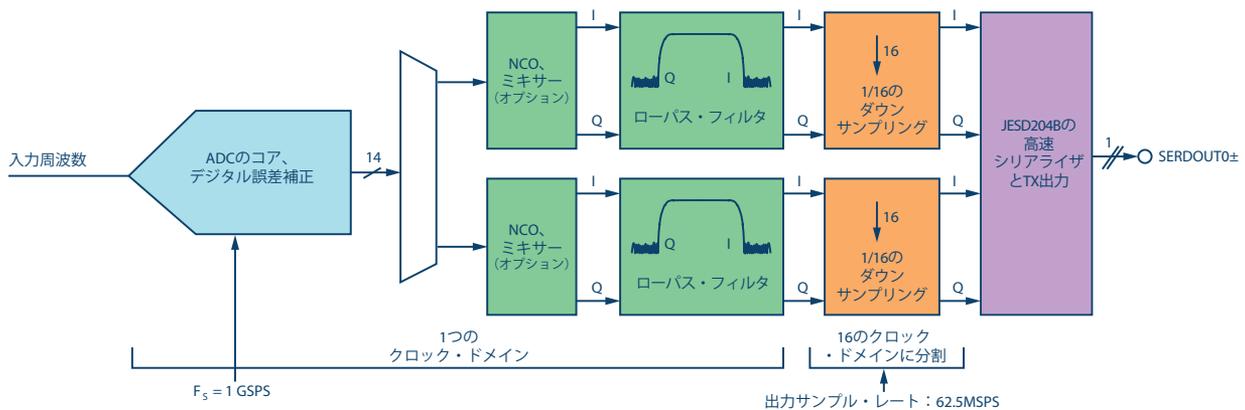


図4. GSPS ADCが内蔵するDDCのブロック図

図5に示したのは、GSPS ADCと内蔵DDCによってバンド抽出を行うデュアルバンド・レシーバのブロック図です。図2のブロック図と比較するとわかるように、GSPS ADCを採用したデュアルバンド・レシーバでは、実装が大幅に簡素化されます。この回路では、RF信号が、数百MHzという幅の広いIF信号にミックスダウンされず。従来のデュアルバンド・レシーバでは、その幅は数十MHzでした。バンドパス・フィルタ（BPF）と可変ゲイン・アンプ（VGA）の段はオプションであり、求められるシステム性能のレベルに応じて挿入（または省略）することができます。

以下では、デュアルバンドの無線システムでGSPS ADCを使用するメリットについて説明します。

フロントエンドの設計が簡素化

GSPS ADCを使用するデュアルバンドの無線システムでは、フロントエンド回路が大幅に簡素化されます。まず、（各バンドに1つずつで）2つ必要だったフロントエンド回路が1つだけで済みます。これによって、システムで使用する回路基板の部品点数が大幅に削減されます。また、アンチエイリアシング・フィルタ（AAF）の要件が緩和されます。このAAFは、IF対応の2つのADCを使用していた従来の回路ではBPFに相当し、GSPS ADCを使用する回路ではローパス・フィルタ（LPF）に相当します。要件が緩和されるのは、GSPS ADCによって入力信号をオーバーサンプリングできるからです^{3, 4}。オーバーサンプリングを実行するため、DDCではデシメーションとフィルタリングの処理を行います。周波数プランにおいて、2次高調波と3次高調波が帯域外となるなら、AAFの要件は緩和されます。

消費電力の削減、サイズの縮小

図2を見ると、従来の方法では、LNA、ミキサー、IF対応のADCがそれぞれ2個ずつ必要でした。これに対し、図5のGSPS ADCを使用する回路では、フロントエンドは1つで済むため、システム・レベルの消費電力が大幅に削減されます。また、フロントエンドの設計が簡素化されるので、システムのサイズを縮小することができます。

FPGAの利用効率が向上

GSPS ADCを使用してデュアルバンドの無線システムを実装する場合、DDCによって個々のバンドの抽出を行います。DDCはデータをデシメーションするので、出力サンプル・レートが低下します。これにより、JESD204B対応のインターフェースに対して柔軟性の高い構成を実現することが可能になります。例えば、デュアルADCを

1GSPSで動作させ、フル帯域幅モードでサンプリングを行うとします。この場合、4レーンのライン・レートは、レーン当たり10Gbps（ギガビット/秒）という計算になります。アナログ・デバイセズが提供するJESD204B準拠のADCでは、ライン・レートは次のようにして計算できます。

$$[\text{レーンのライン・レート}] = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L}$$

この式において、各変数の意味は以下のとおりです。

M：ADCの数（この例では2）

N'：ADCのサンプル当たりのビット数（この例では16）

10/8：8b/10b方式のオーバーヘッド

F_{OUT}：出力サンプル・レート（サンプリング周波数をデシメーション・レシオで割った値。この例では、フル帯域幅の場合でデシメーション・レシオは1）

L：JESD204Bのレーン数（この例では4）

例えば、同じデュアルADCを使って計4つのDDCで1/8のデシメーションを行う場合、レーン数に基づいて多くの構成に対応することができます。出力サンプル・レートは、125MSPS（1GSPS/8）となります。さまざまな構成の例を表1に示しました。

表1

DDCの構成	M	L	ライン・レート [Gbps/レーン]
実数	4	1	10
実数	4	2	5
複素数	8	2	10
複素数	8	4	5

このように高い柔軟性で構成を行えることから、高価でライン・レートの高いFPGAを、より高いI/Oレーン占有率で使用することができます。あるいは、ライン・レートに制約がある既存のFPGA/ASICを使用することも可能です。システム設計者は、こうした選択を柔軟に行えるようになります。

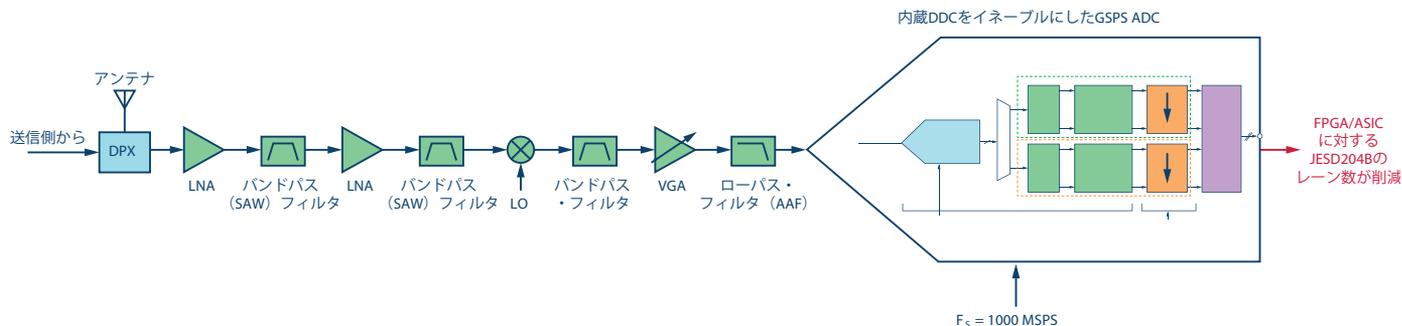


図5. GSPS ADCと内蔵DDCによってバンド抽出を行うデュアルバンド・レシーバ

まとめ

ディープ・サブミクロンの半導体製造プロセスを適用したGSPS ADCが登場したことから、無線アーキテクチャについての議論や設計は新たなフェーズに移行しました。広帯域幅のサンプリング回路とDDCを搭載するGSPS ADCは、消費者からのより高度な要求に応じ、無線アーキテクチャについて再考/再定義するための柔軟な手段を提供します。GSPS ADCを採用することで消費電力と占有面積も減少するので、無線機器の所有コストも低下します。JESD204Bに準拠するインターフェースを備える現行世代のADCは、柔軟な出力オプションに対応します。そのため、システム設計者は、高価でライン・レートの高いFPGAやデジタル回路を使用する方法以外の選択肢を検討することが可能になります。

本稿のPart2では、TDD LTEのバンド34、バンド39を対象とした事例と、AD9680⁵を使って構成したマルチバンド・レシーバの解析結果について解説します。

参考文献

- ¹ [E-UTRA Bands](#)
- ² Walt Kester「[The Data Conversion Handbook \(データ変換ハンドブック\)](#)」Analog Devices 2005年
- ³ Umesh Jayamohan「[Not Your Grandfather's ADC: RF Sampling ADCs Offer Advantages in Systems Design](#) (大きく進化したADC：RFサンプリングADCがシステム設計に及ぼすメリット)」Analog Devices 2015年
- ⁴ [Oversampling](#)
- ⁵ [AD9680](#) Analog Devices



著者：

Umesh Jayamohan (umesh.jayamohan@analog.com) は、米ノースカロライナ州グリーンズボロにある高速コンバータ・グループに所属するアプリケーション・エンジニアです。アナログ・デバイスには2010年に入社しました。1998年にインドのケララ大学で学士号を取得し、2002年にアリゾナ州立大学で修士号を取得しています。



Umesh Jayamohan

この著者が執筆した他の技術文書

[RAQ129](#)

[私のdBを食べたのは誰？](#)