

ADCの性能を引き出す容量性PGA

著者：Miguel Usach Merino/Gerard Mora-Puchalt

概要

アナログ・デバイセス（ADI）が開発した容量性のプログラマブル・ゲイン・アンプ（PGA）は、アナログ入力信号のコモン・モード電圧除去比が優れているといった点で、従来の抵抗性PGAを上回る性能を備えています。アナログ・デバイセスはこの技術に関する特許を取得済みです。

本稿では、このPGAの中核をなす容量性のチョッパ・アンプの動作について説明します。そのうえで、このアーキテクチャが、センサーからの小振幅の信号を電源レール近くまで増幅したいケースに非常に適している理由を示します。小振幅のセンサーの実例として、温度測定に使用するRTD（測温抵抗体）や熱電対、歪み測定に使われるホイートストン・ブリッジなどを取り上げます。

$\Sigma\Delta$ 変調型のA/Dコンバータ（以下、 $\Sigma\Delta$ 型ADC）では、高いダイナミック・レンジが得られるため、応答性が低く帯域幅が狭いセンサー（歪みゲージやサーミスタなど）を使うアプリケーションに広く採用されています。 $\Sigma\Delta$ 型ADCのダイナミック・レンジが高いのは、他のアーキテクチャよりもノイズを小さく抑えられるからです。

$\Sigma\Delta$ 型ADCの動作は、オーバーサンプリングとノイズ・シェーピングという2つの技術に基づいています。ADCによって入力信号をサンプリングする際には、量子化ノイズが発生します。このノイズは、サンプリング周波数には依存せず、ナイキスト周波数（サンプリング周波数の1/2の周波数）までの帯域全体に分散して発生します。そのため、ナイキスト定理で示されている最小周波数（対象とする入力信号の最大周波数の2倍）よりもはるかに高い周波数でサンプリングを行えば、対象帯域内の量子化ノイズは最小周波数でサンプリングした場合よりも低下します。

図1に、異なるサンプリング周波数に対する量子化ノイズ密度の関係を示しました。

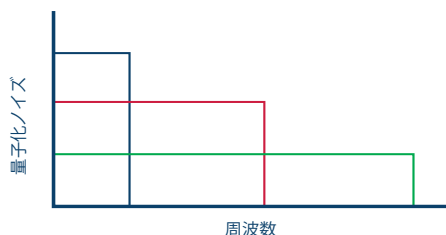


図1. サンプリング周波数と周波数軸上で見た量子化ノイズ密度の関係

一般に、オーバーサンプリング比を2倍にするごとにダイナミック・レンジは3dB向上します（量子化ノイズがホワイト・ノイズであると仮定）。 $\Sigma\Delta$ 型ADCの基本性能を決めるもう1つの要因はノイズ・シェーピングです。ノイズ・シェーピングでは、本来は周波数軸に対してフラットに現れるノイズに対し、図2に示すような変調をかけます。それにより、対象帯域内の量子化ノイズをさらに低下させることができます。

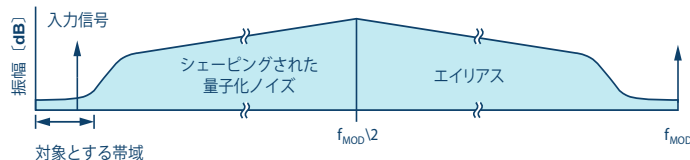


図2. $\Sigma\Delta$ 型ADCにおけるノイズ・シェーピングの効果

さらに、 $\Sigma\Delta$ 型ADCの多くは、対象とする帯域外の量子化ノイズを除去するためのデジタル・フィルタ（ローパス・フィルタ）を内蔵しています。それにより、卓越したダイナミック・レンジ性能が得られます（図3）。

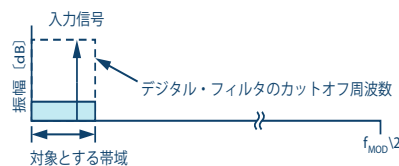


図3. デジタル・フィルタを通過後の量子化ノイズ

入力バッファ

オーバーサンプリングの欠点の1つは、 $\Sigma\Delta$ モジュレータを駆動するための入力バッファの要件が、より低いサンプリング周波数で動作する他のアーキテクチャと比べて厳しくなる可能性があることです。サンプリング周波数が高いとアキュジション時間が短くなるため、より帯域幅の広いバッファが必要になります。最近の $\Sigma\Delta$ 型ADCでは、できるだけ簡単に使用できるようにするために、入力バッファがチップに集積されています。

また、センサーを使用するシステムで正確な測定を行うには、センサー素子向けに、非常に高い入力インピーダンスと高い精度を提供することが不可欠です。そのため、入力バッファの要件はさらに厳しくなります。

入力バッファを集積する場合、別の課題が浮上します。 $\Sigma\Delta$ モジュレータでは、低い周波数におけるノイズは非常に低く抑えられます。しかし、入力バッファなどのコンポーネントを追加すると熱ノイズが増加します。さらに重要なのは、低い周波数においてフリッカ・ノイズが増加することです（図4）。

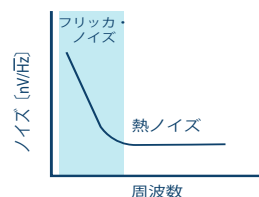


図4. フリッカ・ノイズの影響

また、入力バッファのオフセットにより、システムにおける全体的な誤差が増大する可能性があります。オフセットはシステムに対するキャリブレーションによって補正することができます。しかし、オフセットのドリフトが比較的大きい場合には、そのキャリブレーションは実用的ではないかもしれません。動作温度が変化する度に、バッファのオフセットに及ぶ影響を補正するために、再度システムのキャリブレーションを行わなければならないからです。

例えば、オフセット・ドリフトが $500\text{nV}/^\circ\text{C}$ の場合、温度が 10°C 上昇するとオフセットは $5\mu\text{V}$ 変化します。これは、リファレンス電圧が $\pm 2.5\text{V}$ で分解能が24ビットのADCの場合、16.8LSB（約4ビット）に相当する変化です。

これらの問題を解決するための一般的な方法は、バッファの入力と出力をチョッピングすることです（図5）。

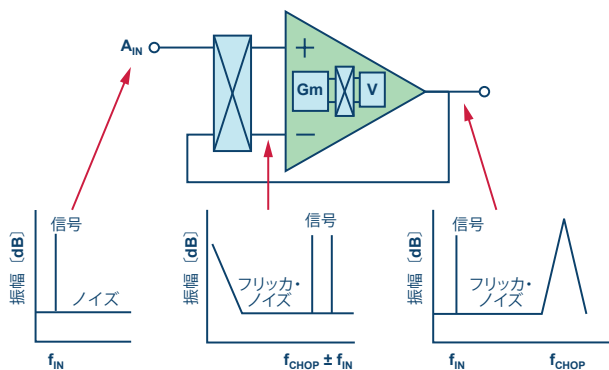


図5. チョッパ・アンプ

バッファの入力をチョッピングすると、入力周波数はより高い周波数へと変調されます。バッファのオフセットとフリッカ・ノイズはチョッピングによる影響を受けず、元の低周波にとどまります。

出力のデチョッパ回路は、入力周波数をベースバンドに復調します。それと同時に、バッファによって追加されたオフセットとフリッカ・ノイズを、ADCが内蔵するローパス・フィルタによって除去することが可能な高い周波数へと変調します。

場合によっては、入力バッファとして、抵抗ベースの計装アンプ（抵抗性PGA）が使われることがあります。それにより、センサーからの小振幅の信号をモジュレータの入力範囲いっぱいに増幅することで、ダイナミック・レンジを最大限に活用することができます。ちなみに、各種センサーが高い入力インピーダンスを必要とすることから、抵抗ベースの計装アンプは差動型の抵抗性アンプよりも好まれます。図6に示すように、抵抗性PGAにも図5の回路と同様のチョッピング機構が適用されます。

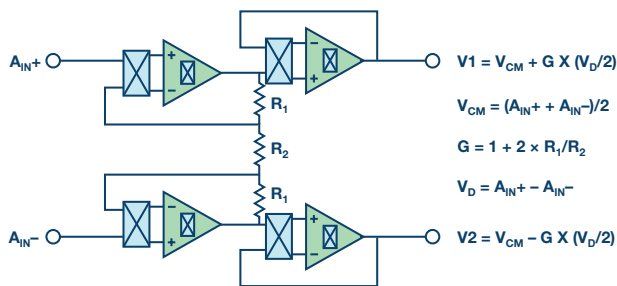


図6. 抵抗性PGAの構成

抵抗性PGAでは、2段目のバッファをカスケード構成にしなければならない可能性があります。オペアンプの帯域幅が、モジュレータを直接駆動するのに十分ではないケースがあるためです。その場合でも、消費電流は少なく抑えなければなりません。このことから抵抗の値が決まり、それに基づいてオペアンプの帯域幅が決まります。

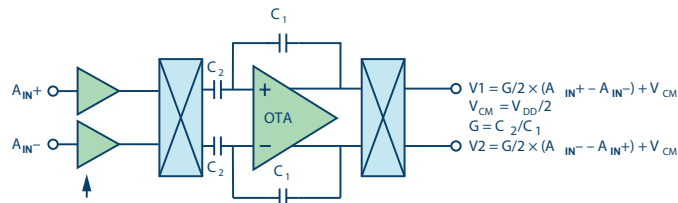
この構成のアンプ回路における最大の制約事項は、特にゲインが1以上になるとコモン・モード電圧が制限されることです。図6に示すように、抵抗性PGAには入力信号に依存するフローティングのコモン・モードがあるためです。

また、抵抗性の回路のミスマッチやドリフトも、高い精度が求められる各種仕様に影響を及ぼす可能性があります。そのため、これらは全体的な誤差を見積もる際の懸念事項になります。

このような制約を回避するために、アナログ・デバイゼスの最近の $\Sigma\Delta$ 型ADCは容量性PGAを採用しています。

容量性PGAにおける増幅の原理は、抵抗性PGAと似ています。図7に示すように、ゲインはコンデンサの容量比で決まります。

DC信号を増幅するための容量性PGAの入力部には、チョッピング機構が設けられます。入力されたDC信号はチョッピング周波数で変調され、容量性アンプによって増幅されます。その信号は、出力部のデチョッピング機構によってDCに復調されます。また、オペアンプのオフセットとフリッカ・ノイズはチョッピング周波数で変調され、後段のローパス・フィルタによって除去されます。



プリチャージ用のバッファは、チョッピング機構による入力電流を最小限に抑えるために短時間だけ接続される

図7. 容量性PGAの構成
（簡素化するために一部のブロックは省略）

この容量性アーキテクチャには、抵抗性アーキテクチャと比較して以下のようなメリットがあります。

まず、ノイズ源が少ないため、ノイズと消費電力のトレードオフの面で優れています。必要なオペアンプの数が少ないことに加え、コンデンサは抵抗とは異なりノイズ源にはなりません。

コンデンサには、抵抗に勝るさまざまな利点があります。ノイズが生じないだけでなく自己発熱も起きません。そのため、一般的にマッチングと温度ドリフトの面で優れています。結果として、オフセット、ゲイン誤差、ドリフトの各仕様において抵抗を使うよりも有利になります。

コンデンサは、入力コモン・モードをシグナル・チェーンの他のコモン・モードから分離する役割を果たします。その結果、CMRR、PSRR、THDの各性能が向上します。

容量性PGAの最も注目すべき利点は、入力コモン・モード範囲をレールtoレールよりも拡大できることです。これにより、センサーのコモン・モード電圧を正電源と負電源の間のほぼ任意の値にバイアスすることができます。

表1. 抵抗性PGAと容量性PGAの比較。ホイートストン・ブリッジにおける標準的な電源電圧とゲインを想定している

PGA	抵抗性PGA	容量性PGA
ホイートストン・ブリッジの最大電源電圧	3.3 V	6 V
歪みゲージの差動感度	3.3 mV	6 mV
ダイナミック・レンジの改善量 [dB]		5.2 dB

この容量性アーキテクチャには、入力インピーダンスが非常に高い（入力インピーダンスがコンデンサであるため）という計装アンプとしての利点があります。同時に、ゲインを実現するための素子として、抵抗ではなくコンデンサを使用することの利点も兼ね備えています。そのため、信号の振幅についてだけでなくノイズ効率の面から見てもアンプのダイナミック・レンジが向上します。

先述したように、抵抗性PGAにはコモン・モードについての制約があります。これに対処するための一般的な方法は、電源レールを引き上げるかシフトさせることです。あるいは、センサーからの信号について、コモン・モードの中心をシフトするというも行われます。ただし、それによって消費電力は増加し、電源の設計は複雑になります。また、追加の外部部品が必要になるためコストも増加します。

用途の例

ホイートストン・ブリッジにおいて、コモン・モード電圧は電源電圧に比例し、各レッグに接続されているインピーダンスによって値が決まります。歪み計測のアプリケーションでは、歪みを検知するために線形特性を利用できるという理由からホイートストン・ブリッジが用いられます。図8に、タイプIIのハーフブリッジ回路を示しました。

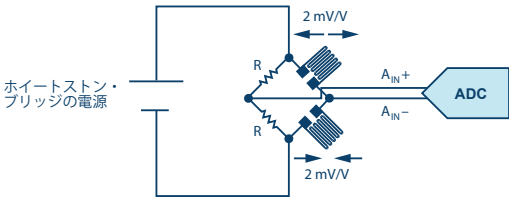


図8. ホイートストン回路を利用した歪み計測回路

歪みゲージの感度は一般的に2mV/V程度です。ホイートストン・ブリッジの電源電圧が高いほど、高い感度を得られます。歪みゲージのダイナミック・レンジを高め、最大限のS/N比を得るために、ADCの電源電圧より高い値をブリッジに印加するという方法もあります。

先述したように、抵抗性PGAの場合、コモン・モードについての制約があります。そのため、最大限のダイナミック・レンジを得るためには、ADCとブリッジの電源電圧を等しくする必要があります。それに対し、容量性PGAには入力コモン・モードの制約はありません。したがって、ADCの電源電圧の2倍近くの値をブリッジに印加することも可能です。

仮に、ADCの電源電圧として、標準的なレベルである3.3Vを使用するとします。その場合に、ゲインも同一という条件で容量性PGAと抵抗性PGAを比較すると、表1に示すような性能の差が生じます。ご覧のように、容量性PGAの方が優れた性能を得ることができます。

ADCからある程度の距離を置いてブリッジが接続される場合、グラウンド間の電位差が問題になる可能性があります。それによってコモン・モード電圧にずれが生じ、ブリッジに対するADCの入力コモン・モードのバランスが崩れることがあります。結果として、抵抗性PGAの最大許容ゲインが低下することになります。

容量性PGAで抵抗性PGAと同等の性能を得るために、より高い電源電圧をブリッジに印加するケースがあります。例えば、±3.3Vのバイポーラ電源をブリッジに適用すると、システムが複雑になって消費電力は増加するものの、歪みゲージの感度は高くなります。

容量性PGAが有用な別の用途としては、RTDや熱電対を使用した温度測定があります。

RTDとしては、Pt100などがよく使われます。図9に示すように、RTDによって、熱電対の冷接点を直接または間接的に検知して温度を測定することができます。

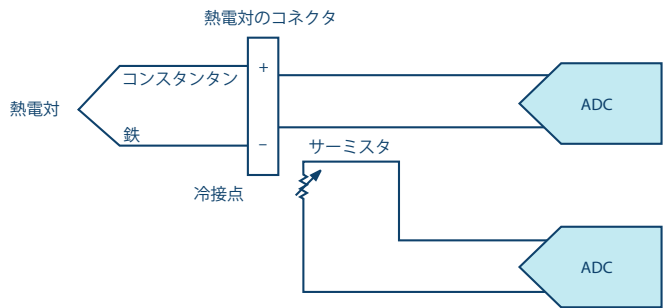


図9. 熱電対の一般的な使用法

Pt100としては複数の結線方式の製品が提供されています。最もよく使われていてコスト効率が高いのは3線式の製品です。

図10に示したのは、リード線による誤差を抑えつつ温度を測定するための一般的な方法です。この例で使っている「AD7124-8」は、容量性PGAを内蔵するΣΔ型ADCです。同ICが内蔵する電流源により、RTDの2つのリード線を同じ電流値で駆動します。それにより、2本のリード線に、値が等しく、リード線の抵抗値に比例するオフセット誤差が生じます。

リード線の抵抗値が小さく、AD7174-8によって供給する電流も少ないことから、自己発熱は最小限に抑えられます。また、抵抗RL3に生じる電圧は負の電源電圧の近くにとどまります。この場合、抵抗性PGAを使用していたら、最大許容ゲインは大きく低下します。入力コモン・モード電圧も電源電圧に非常に近い値になるためです。一方、容量性PGAではコモン・モード電圧が内部的に電源電圧の中間に設定されます。そのため、より高いゲイン設定が可能になり、全体的なダイナミック・レンジが高まります。

表2. 抵抗性PGAと容量性PGAの比較。4線式のRTDを使用したレシオメトリック測定を行う場合の例

PGA	抵抗性PGA	容量性PGA
Pt100の出力電圧	$500\ \mu\text{A} \times 313.7 = 156.85\ \text{mV}$	$500\ \mu\text{A} \times 313.7 = 156.85\ \text{mV}$
VREF	1.65 V	2.5 V
PGAの最大ゲイン	$1.65\ \text{V} / 156.85\ \text{mV} \approx 11$	$2.5\ \text{V} / 156.85\ \text{mV} \approx 16$
性能の改善量 [dB]		3.6

この構成では、ハードウェアの接続がかなり少なくなり、システムの複雑さが大きく緩和されます。3本目のケーブルを、ADCを実装したプリント回路基板に戻す必要がなく、RTDの近くのグラウンドに接続することができるからです。

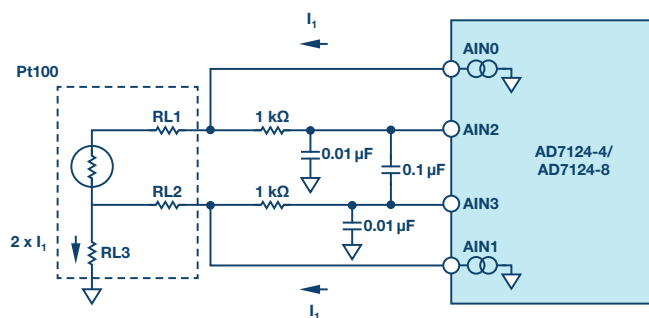


図10. 3線式のRTDによる測定

温度の測定精度を上げるには、4線式のRTDを利用する方法が有効です。その場合、電流源は1つだけ使用します。図11に示すように、電流源による精度が低下しないよう、高精度抵抗によってADCのリファレンス電圧を生成するレシオメトリック測定が行えます。

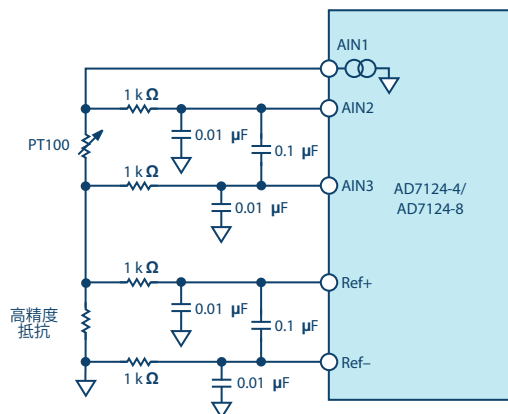


図11. 4線式のRTDによるレシオメトリック測定

高精度抵抗の値は、RTDの両端に加わる最大電圧が、リファレンス電圧をPGAのゲインで割った値に等しくなるように選択します。

3.3Vの電源電圧を使用する場合、抵抗性PGAでは高精度抵抗に生成される電圧を約1.65Vにする必要があります。そうしなければ、コモン・モード電圧によってPGAの最大ゲインが制限されてしまうからです。つまり、増幅後の信号は最大で1.65Vとする必要があります。一方、容量性PGAには入力コモン・モードの制約はありません。したがって、RTDのコモン・モード信号を電源電圧の近くに設定することができます。そうすることで、高精度抵抗によって生成するADC用のリファレンス電圧をできるだけ大きくすることが可能になります。結果として、最も高いゲインを選択し、最大限のダイナミック・レンジを得ることができます。

表2に、抵抗性PGAと容量性PGAの最大ゲインを概算した結果を示しました。Pt100の自己発熱を抑えるために、電流源で生成する電流の最大値を500μAとしています。最大温度が600℃、VREFの最大値を2.5Vとし、クラスBのRTDを使用するケースを想定しています。

まとめ

容量性PGAには、抵抗性PGAに勝るいくつかの重要な利点があります。コンデンサはゲインを設定するための素子として、温度に対する安定性とマッチング特性の面で本質的に優れています。そのため、ノイズ、コモン・モード除去、オフセット、ゲイン誤差、温度ドリフトといった重要な性能を向上できます。

もう1つの重要なメリットは、入力コモン・モード電圧をアンプ内部のコモン・モード電圧から分離できることです。この特徴は、増幅する対象となる入力信号のコモン・モード電圧が電源レールの近くにある場合には不可欠です。抵抗性PGAのゲインは、そのコモン・モードの制約によって著しく抑えられます。この問題を回避するには、電源レールを引き上げるか、入力信号を電源レールの中間に再バイアスするための外部部品が必要になります。容量性PGAであれば、この問題に容易に対処できるということです。

容量性PGAを内蔵する最新のΣΔ型ADCとしては、AD7124-8のほかに「AD7190」、「AD7124-4」、「AD7779」などがあります。



著者：

Miguel Usach Merino (miguel.usach@analog.com) は、2008年にアナログ・デバイセズに入社しました。スペインのバレンシアでリニア/高精度技術グループのアプリケーション・エンジニアとして業務に携わっています。バレンシア大学で電子工学の学位を取得しています。



Miguel Usach Merino

この著者が執筆した
他の技術文書

[ICのパワーオン・リセットとパワーダウン](#)

[Analog Dialogue 49-03](#)

Gerard Mora-Puchalt (gerard.mora-puchalt@analog.com) は、2005年にバレンシア工科大学で通信工学の修士号を取得しました。2005年には、アナログ・デバイセズのDACアプリケーション・グループで最終年度の課題に取り組み、卒業後の2006年に入社して温度センサーの設計評価チームに配属されました。2007年に高精度コンバータ・グループに異動してからは、アナログ設計エンジニアとして業務に携わっています。スペインのバレンシアを拠点としています。



Gerard Mora-Puchalt