

デジタル・ダウンコンバータを理解する【Part1】

著者： Jonathan Harris

通常、無線システムのアーキテクチャにはダウンコンバート段が含まれています。このダウンコンバート段は、ベースバンド処理のためにRFやマイクロ波の周波数帯を中間周波数に変換する役割を果たします。通信、航空宇宙/防衛、計測といった分野にかかわらず、対象とする低周波の信号はRF帯やマイクロ波帯の信号に一旦変換されます。それを元に戻すためにダウンコンバート段が必要になるということです。このようなシナリオに対応するためのソリューションの1つが、図1に示すようないくつかのダウンコンバート段を使う方法です。ただ、最近では図2に示すような効率の良いソリューションもよく使われるようになりました。これは、デジタル・ダウンコンバータ（DDC）を内蔵するRF対応のA/Dコンバータ（ADC）を使用するというものです。

DDCを備えるRF対応のADCを使用すれば、RF帯の信号をベースバンド帯の信号に直接変換することができます。つまり、アナログのダウンコンバート段を追加する必要がなくなります。ADCがGHz帯の信号を処理する能力を有しているなら、アナログ領域において複数回ダウンコンバートを実施する必要性が軽減されます。また、DDCを使えば、スペクトルに含まれる情報を維持しつつデシメーション・フィルタの処理を行うことが可能です。それにより、帯域内のダイナミック・レンジ（S/N比）が向上するというメリットも得られます。このテーマについては、「[Not Your Grandfather's ADC](#)」と「[Gigasample ADCs Promise Direct RF Conversion](#)」という記事で詳しく説明されています。これらの記事では、アナログ・デバイセズ（ADI）のADC「[AD9680](#)」と「[AD9625](#)」が備えるDDCを取り上げています。

本稿では、主にAD9680（および「[AD9690](#)」、[AD9691](#)」、[AD9684](#)」）が備えるDDCに注目しま

す。DDCの機能そのものと、DDCを備えるADCの出力スペクトルの解析方法を理解するために、AD9680-500を例にとります。また、本稿では、説明を補うために、アナログ・デバイセズのウェブ・サイトで提供されている「[Frequency Folding Tool](#)」を利用することにします。AD9680のようなDDCを内蔵するRF対応のADCでは、出力スペクトルの解析における最初のステップとして、ADCの折返しの影響について考えます。シンプルながらも強力なツールであるFrequency Folding Toolを使えば、その影響について容易に理解することができます。

ここでは、入力クロックの周波数（サンプリング周波数）が368.64MHz、アナログ入力信号の周波数が270MHzという条件でAD9680-500を動作させるケースを考えます。それにあたっては、まずAD9680のデジタル処理ブロックのセットアップについて理解することが重要です。図3にAD9680が備えるDDCのブロック図を示しました。ここでは、このDDCを以下のように設定します。

- 入力：実信号
- 出力：複素信号
- NCO（数値制御型発振器）のチューニング周波数（発振周波数）：98MHz
- HB1（ハーフバンド・フィルタ1）の設定：イネーブル
- 6dBのゲインの設定：イネーブル
- 複素/実変換ブロック（複素信号を実信号に変換する）：ディスエーブル

DDCにおいては、入力トーン（入力信号）が、NCOブロック（周波数をシフトする）、デシメーション・ブロック、ゲイン・ブロック（オプション）、複素/実変換ブロック（オプション）を順に通過します。このような信号の流れについて理解することが重要です。

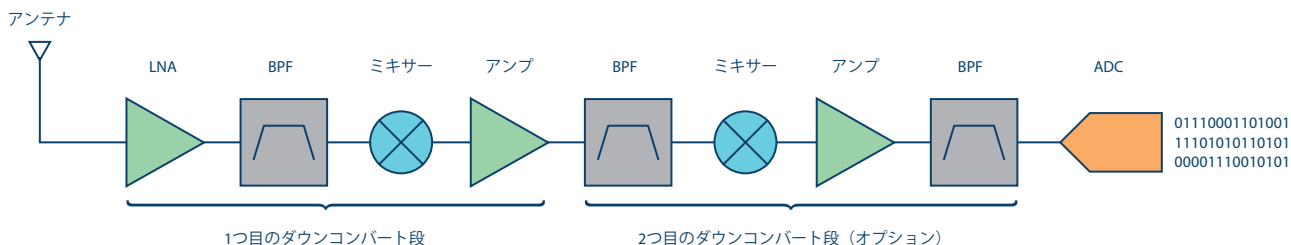


図1. 一般的なレシーバのアナログ・シグナル・チェーン。ダウンコンバート段は複数使われることがある

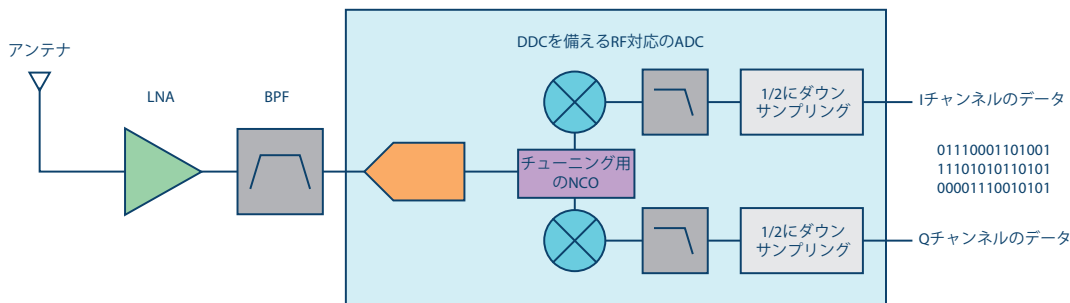


図2. DDCを備えるRF対応のADCを使用したレシーバのシグナル・チェーン

AD9680全体の処理フローについて、マクロな視点から理解することも重要です。入力されたアナログ信号は、ADCのコア・ブロック、DDCブロック、JESD204B対応のシリアルライザで順次処理され、JESD204B対応のシリアル出力レーンから出力されます。図4に示したAD9680のブロック図で、この流れを確認してください。

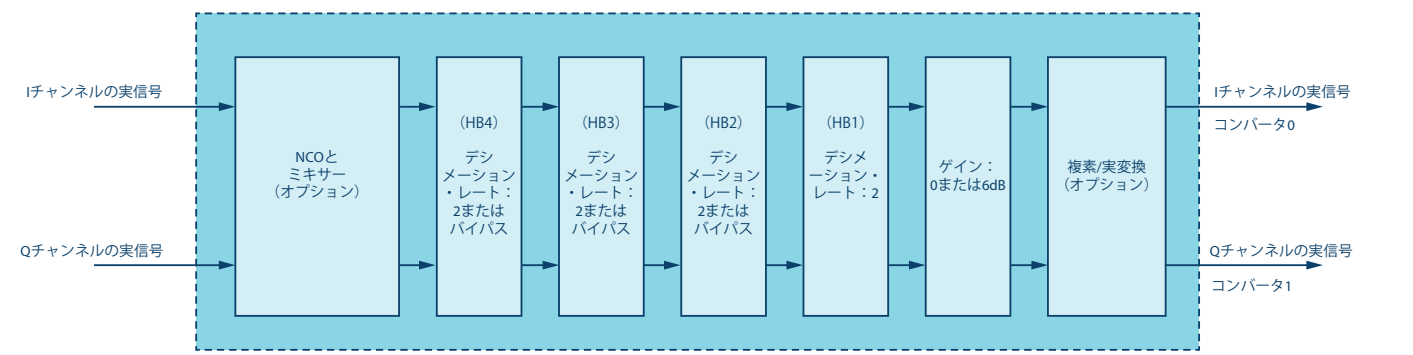


図3. AD9680が備えるDDCの信号処理ブロック

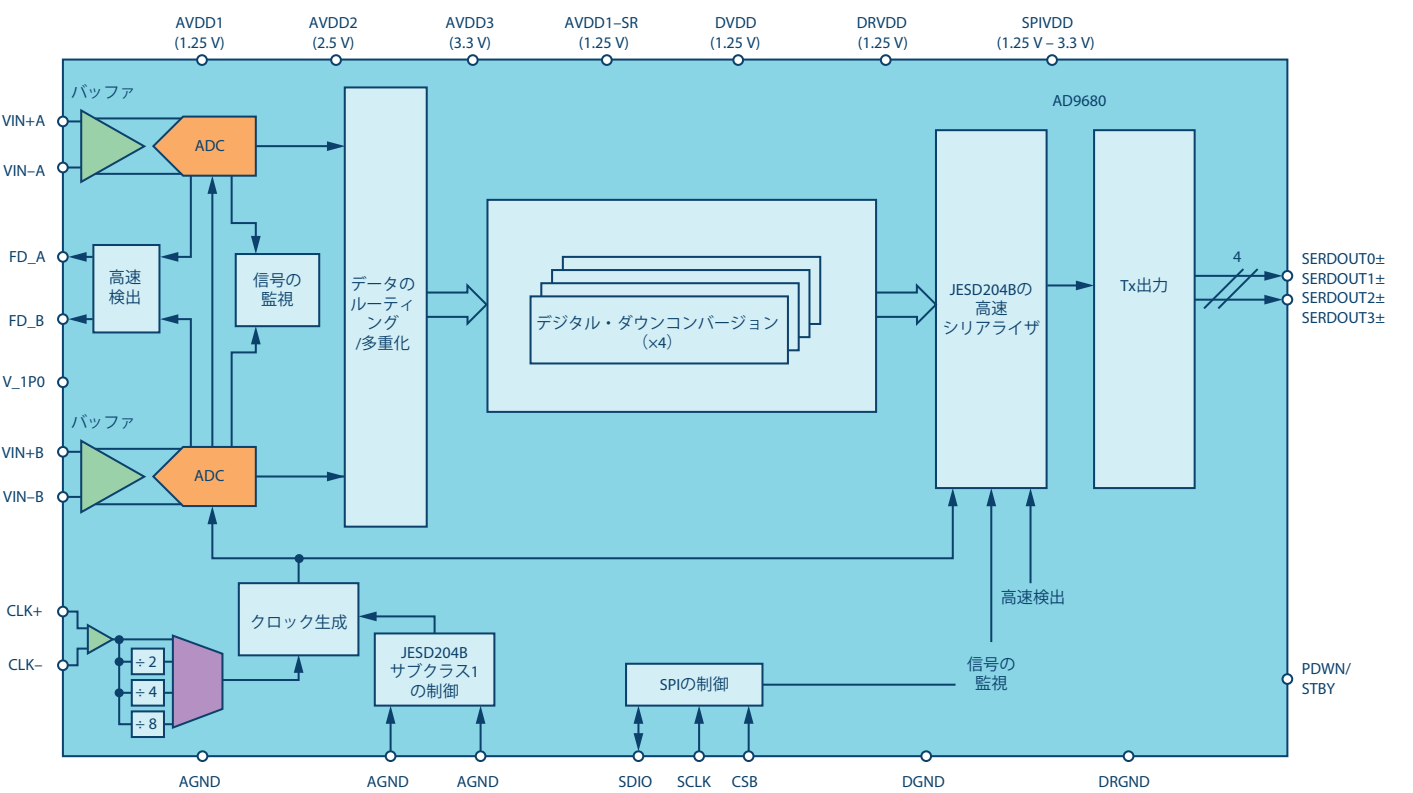


図4. AD9680のブロック図

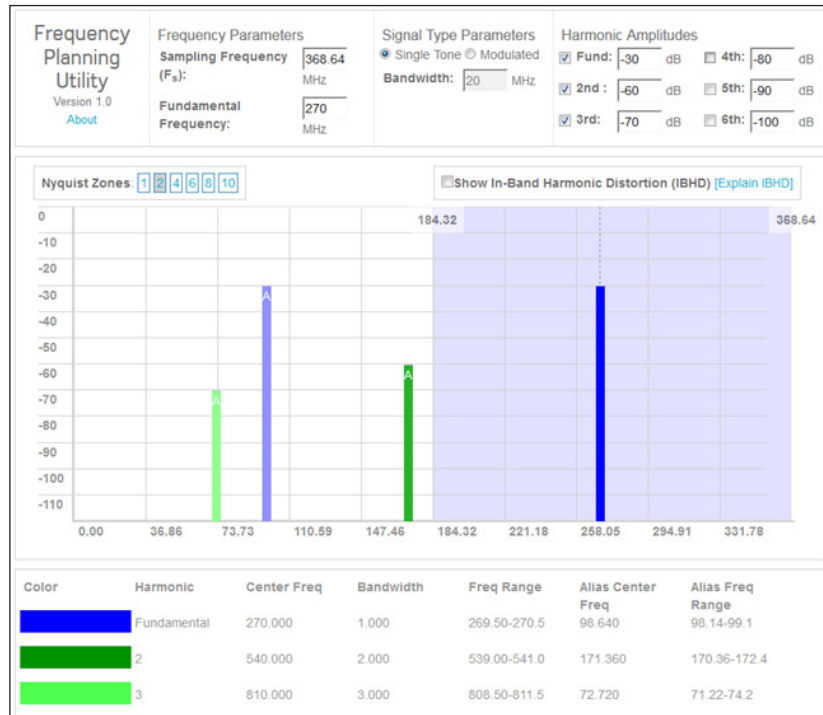


図5. Frequency Folding Toolによって表示したADCの出力スペクトル

クロック周波数（サンプリング周波数）が368.64MHz、アナログ入力信号の周波数が270MHzのとき、第1ナイキスト・ゾーン内の98.64MHzの位置に入力信号の折返しが生じます。また、入力信号の2次高調波は第1ナイキスト・ゾーン内の171.36MHzに、3次高調波は72.72MHzに折り返されます。Frequency Folding Toolを使えば、この状況を図5のように表示することができます。

図5は、AD9680におけるADCコア・ブロックの出力（DDCに入力される前）の状態を表しています。その出力が最初に通る処理ブロックはNCOブロックです。ここで、信号のスペクトルは周波数領域で見て左側に98MHzシフトされます（チューニング周波数を98MHzに設定しているからです）。NCOブロックでは入力を98.64MHzから0.64MHzに、2次高調波を73.36MHzに、3次高調波を-25.28MHzにシフトします（複素出力を扱っていることに注意してください）。図6は、この状況を「Visual Analog」のFFTプロット機能によって示したものです。

図6を見れば、Frequency Folding Toolで示された周波数が、NCOブロックによってどのようにシフトされたのか確認できます。興味深い点は、なぜそこに存在しているのかわからないトーンがFFT出力に現れていることです。ただ、このトーンは本当に正体不明なものなのでしょうか。NCOブロックは、特定の信号ではなくすべての周波数を一律にシフトします。この例の場合、NCOブロックは入力トーンのエイリアスである98MHzの成分を0.64MHzにシフトします。そして、2次高調波を73.36MHzに、3次高調波を-25.28MHzにシフトします。それとは別に、86.32MHzにシフトされたトーンが問題のスペリアスです。このトーンはどこからきたのでしょうか。ADCのコア・ブロックやDDCで行われる何らかの信号処理によって生まれたのでしょうか。その答えはノーでもあり、イエスでもあります。

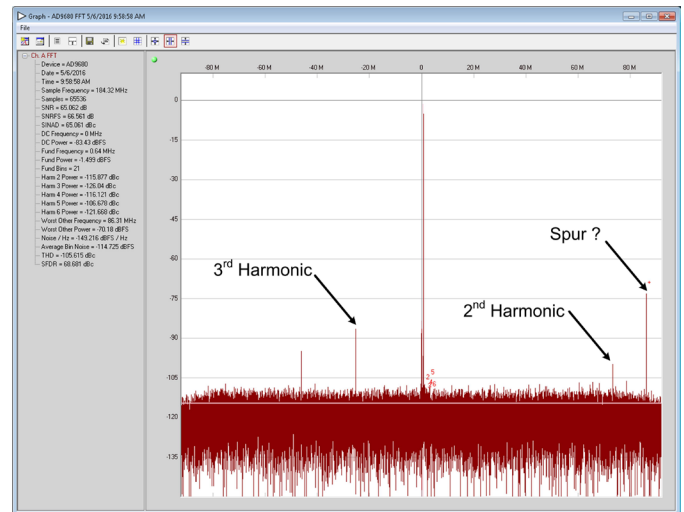


図6. DDCの複素出力のFFT結果。NCOを98MHzに設定するとともに、1/2のデシメーションを行っている

この例のシナリオをもう少し詳しく見ていきましょう。Frequency Folding Toolでは、ADCのDCオフセットについては考慮していません。DCオフセットが存在すれば、DC（0Hz）の位置にトーンが存在するはずです。Frequency Folding Toolで、DCオフセットが存在しない理想的なADCを前提にしているということです。AD9680の実際の出力では、DCオフセットによる0Hzのトーンを-98MHzにシフトします。複素ミキサとデシメーションによって、このDCオフセットのトーンは、実数の周波数領域である第1ナイキスト・ゾーン内に折り返されます。負の周波数領域の第2ナイキスト・ゾーンにシフトされる複素入力信号は、実数の周波数領域の第1ナイキスト・ゾーン内に折り返されます。

この例では、デシメーションがイネーブル、デシメーション・レートが2なので、デシメーション後のナイキスト・ゾーンの幅は92.16MHzになります（サンプル・レートが368.64MHz、デシメーションのサンプル・レートが184.32MHzであるため）。DCオフセットのトーンは-98MHzにシフトされるので、デシメーション後のナイキスト・ゾーンの境界である92.16MHzとの差は5.84MHzになります。このトーンが第1ナイキスト・ゾーン内に折り返されると、実数の周波数領域におけるナイキスト・ゾーンの境界から同じ分だけ離れた86.32MHz（=92.16MHz-5.84MHz）にトーンが現れることになります。これは、まさに図6のFFT結果で正体不明なトーンが現れている位置です。より正しく説明すると、ADCのコア・ブロックによってこの信号が生成され（DCオフセットが原因）、DDCブロックによってそれが少しだけシフトされたということになります。この例では適切な周波数計画を策定できています。このような適切な計画を立てることによって、問題を回避することが可能になります。

ここまで、NCOとデシメーション・レートが2のHB1を使用する例を見てきました。以下では、この例をもう少し拡張してみましょう。DDCのデシメーション・レートをより高くし、NCOによる周波数シフトと組み合わせることで、どのように折返しが現れるのかを見てみます。

ここでは、入力クロックの周波数が491.52MHz、アナログ入力信号の周波数が150.1MHzという条件でAD9680-500を動作させるケースを考えます。AD9680のDDCは以下のように設定します。

- 入力：実信号
- 出力：複素信号
- NCOのチューニング周波数：155MHz

- HB1の設定：イネーブル
- HB2の設定：イネーブル
- 6dBのゲインの設定：イネーブル
- 複素/実変換ブロック：ディスエーブル

HB1とHB2の2つにより、デシメーション・レートは4になります。前掲の図3に示したDDC内の基本構成をご覧ください。この場合も、入力トーンはNCOブロック、デシメーション・ブロック、ゲイン・ブロックを順に通過します。なお、複素/実変換ブロックはバイパスします。

ADCの折返しについて理解するために、ここでもFrequency Folding Toolを利用して、アナログ入力信号とその高調波が周波数領域でどの位置にあるかを確認します。この例では、入力の実信号、サンプル・レートは491.52MSPS（メガサンプル/秒）、デシメーション・レートは4で、出力は複素信号です。Frequency Folding Toolを使用すれば、図7のようにADCの出力が表示されます。

クロック周波数（サンプリング周波数）が491.52MHz、アナログ入力信号の周波数が150.1MHzという条件では、入力信号は第1ナイキスト・ゾーンにあります。入力信号の2次高調波は300.2MHzであり、その折返しは第1ナイキスト・ゾーン内の191.32MHzに現れます。また、3次高調波は450.3MHzであり、その折返しは第1ナイキスト・ゾーン内の41.22MHzに現れます。DDCに入力される前のADCの出力において、信号はこのような状態にあります。

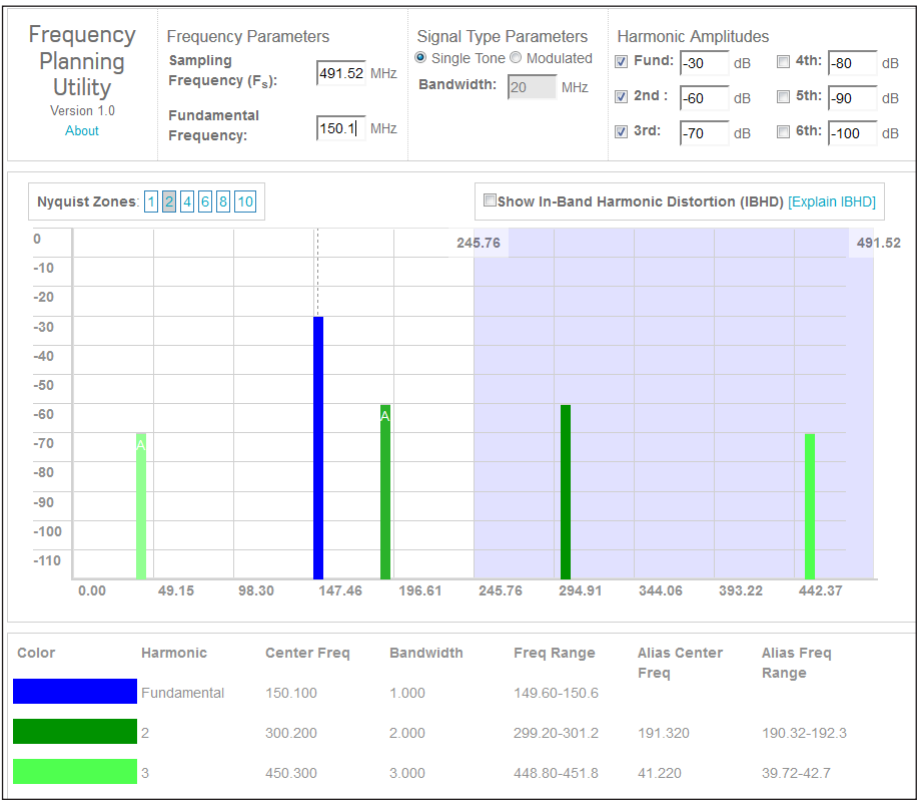


図7. Frequency Folding Toolによって表示したADCの出力スペクトル

この例の場合、DDCのデジタル処理ブロックで信号がどのように処理されるのか見てみましょう。NCOブロックによってどのように信号がシフトされ、デシメーション処理によって信号がどのように折返されるのかを確認してみます。入力サンプル・レートは491.52MSPSですが、図8ではこれを f_s としています。この処理プロセスでは、まずNCOブロックによって周波数軸上では左側に入力信号をシフトします。複素領域（負の周波数領域）で $-f_s/2$ より右側の位置に信号がシフトされた場合、その折返しは第1ナイキスト・ゾーン内に生成されます。次に、1つ目のデシメーション・フィルタであるHB2によって信号は1/2にデシメーションされます。実際にはデシメーションと同時にフィルタ処理も行われますが、説明

を簡素化するために、この図ではフィルタ応答については割愛し、デシメーション処理による結果だけを示しています。1/2にデシメーションされることで、 $f_s/4 \sim f_s/2$ のスペクトルは $-f_s/4 \sim \text{DC}$ の周波数に変換されます。同様に、 $-f_s/2 \sim -f_s/4$ のスペクトルは、 $\text{DC} \sim f_s/4$ の周波数に変換されます。続いて、信号は2つ目のデシメーション・フィルタであるHB1によって1/2にデシメーションされます（トータルで1/4にデシメーションされます）。ここで、 $f_s/8 \sim f_s/4$ のスペクトルは $-f_s/8 \sim \text{DC}$ の周波数に変換されます。同様に、 $-f_s/4 \sim -f_s/8$ のスペクトルは $\text{DC} \sim f_s/8$ の周波数に変換されます。繰り返しますが、図8ではデシメーション処理にのみ注目しており、フィルタの効果は割愛しています。

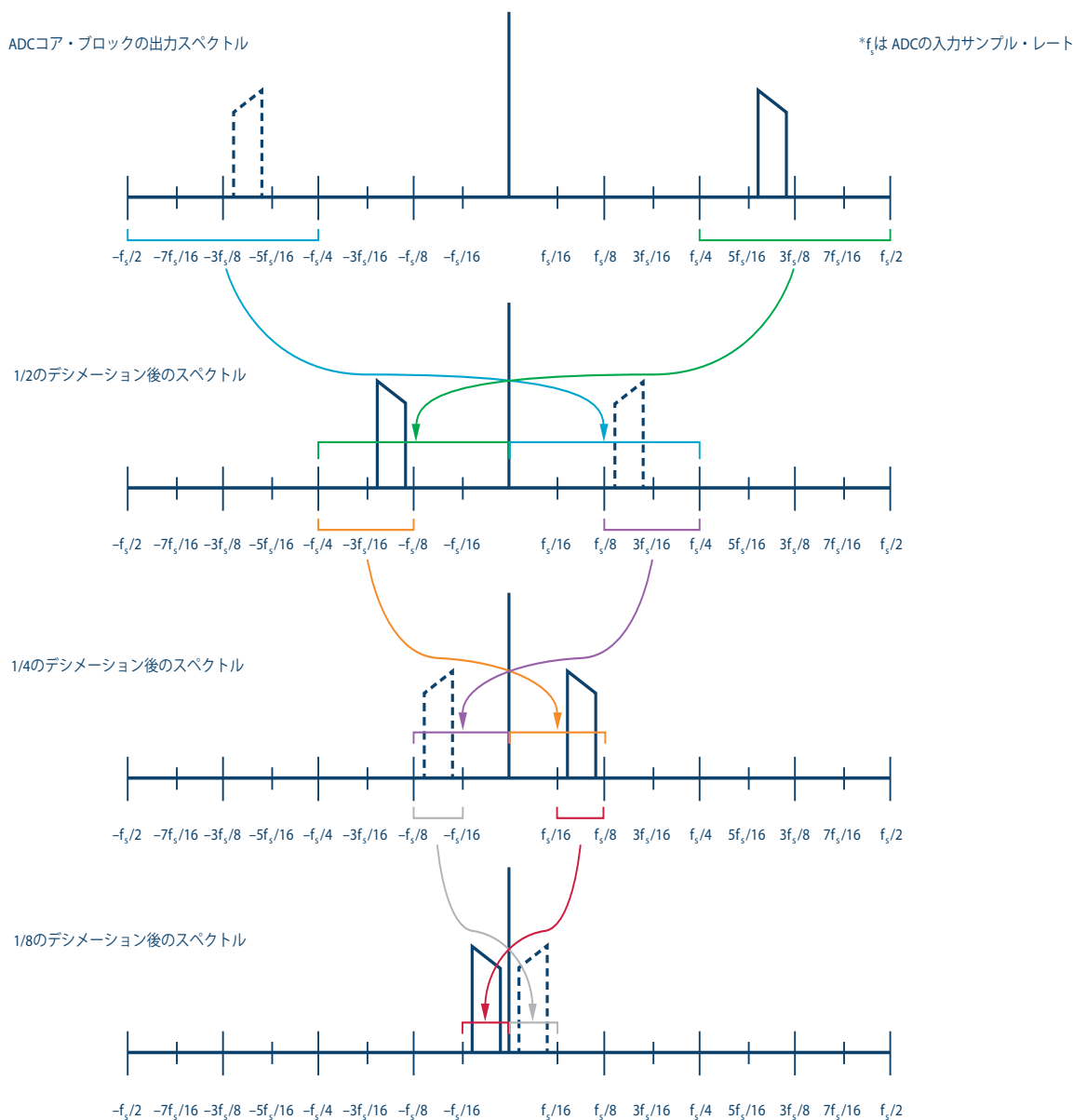


図8. ADCコア・ブロックの出力スペクトルにデシメーション・フィルタを適用した結果（一般的な例）

この例では、入力サンプル・レートが491.52MSPS、入力信号の周波数が150.1MHzです。NCOのチューニング周波数は155MHz（NCOの分解能の関係で、正確には154.94MHz）、デシメーション・レートは4であり、出力サンプル・レートは122.88MSPSとなります。AD9680は複素ミキサ用に構成（コンフィギュレーション）しているので、解析には複素周波数領域を含める必要があります。図9には周波数変換の様子を数多く示していますが、注意深く見ると、シグナル・フローを順に追っていくことができます。各段階でのスペクトルは以下のようになります。

【NCOブロックでシフトした後のスペクトル】

- 基本周波数は150.1MHzから-4.94MHzにシフトする
- 基本周波数の折返しイメージは-150.1MHzからシフトして186.48MHzに現れる
- 2次高調波は191.32MHzから36.38MHzにシフトする
- 3次高調波は41.22MHzから-113.72MHzにシフトする

【1/2にデシメーションした後のスペクトル】

- 基本周波数は-4.94MHzのまま変わらない
- 基本周波数の折返しイメージは-59.28MHzに移動するとともに、HB1によって減衰する
- 2次高調波は36.38MHzのまま変わらない
- 3次高調波はHB2によって大幅に減衰する

【1/4にデシメーションした後のスペクトル】

- 基本周波数は-4.94MHzのまま変わらない
- 基本周波数の折返しイメージは-59.28MHzのまま変わらない
- 2次高調波は36.38MHzのまま変わらない
- 3次高調波はHB1のフィルタ処理により事実上、除去される

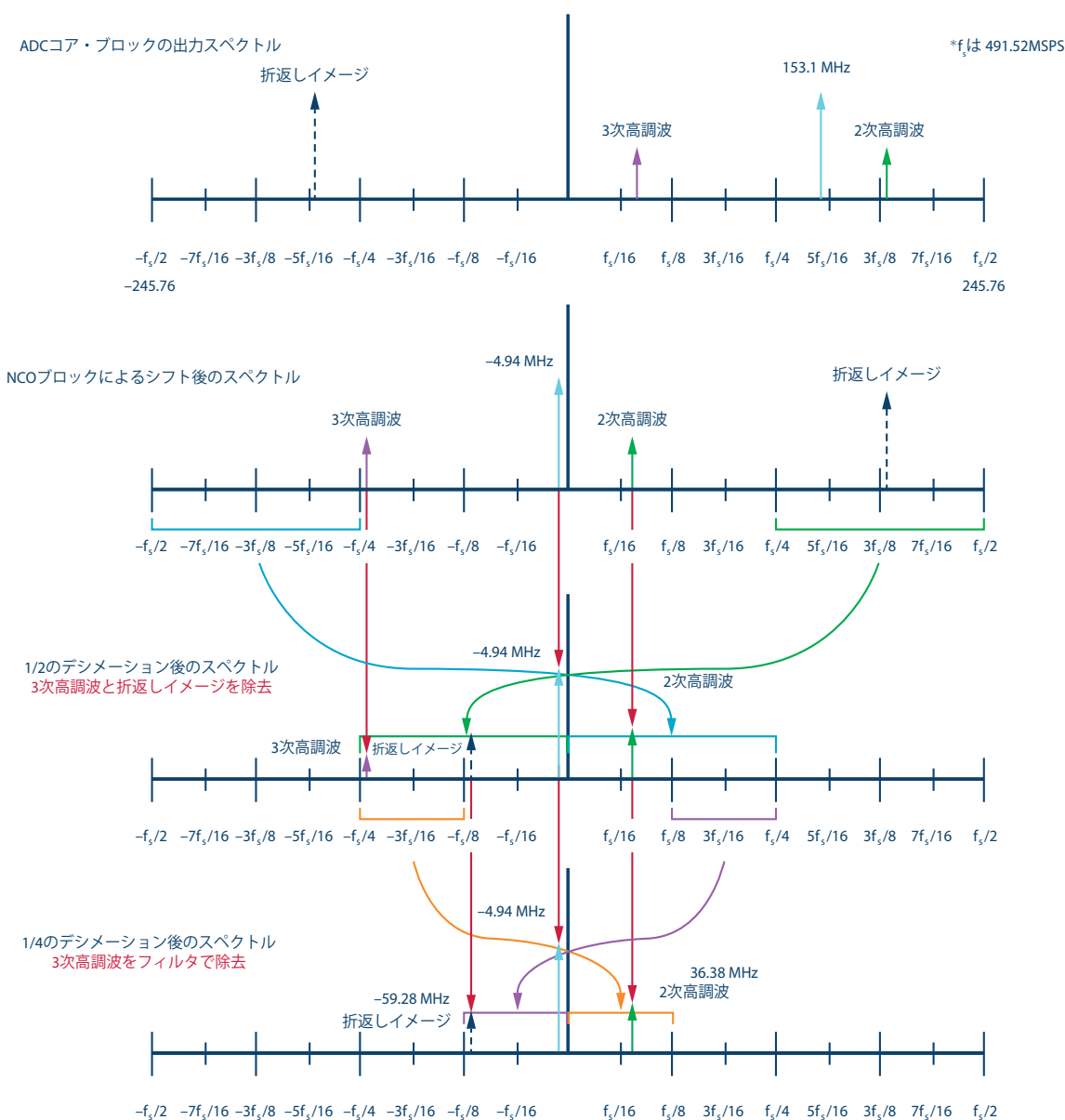


図9. ADCコア・ブロックの出力スペクトルにデシメーション・フィルタを適用した結果（現実的な例）

図10に、AD9680-500による実際の測定結果を示しました。これを見ると、基本周波数は-4.94MHzにあることがわかります。基本周波数の折返しイメージは-59.28MHzにあり、その振幅は-67.112dBFSです。これは折返しイメージが約66dB減衰したという意味になります。2次高調波は36.38MHzに現れています。なお、Visual AnalogはNCOのチューニング周波数とデシメーション・レートを解釈しません。そのため、高調波の表示が適切に行われているわけではないことに注意してください。

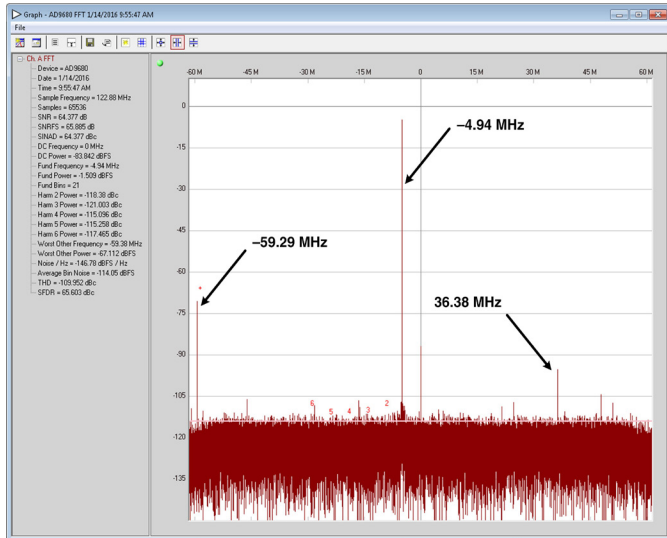


図10. DDCの複素出力のFFT結果。
NCOを155MHzに設定し、1/4のデシメーションを
行っている

この例では、AD9680-500が内蔵するDDCを次のように設定しました。NCOのチューニング周波数が155MHz（正確には154.94MHz）、デシメーション・レートが4、入力が実信号、出力が複素信号という設定です。FFTを実行すれば、この設定における同ADCの出力スペクトルを確認することができます。スペクトルのシフトや変換について理解するためには、順を追ってシグナル・フロー図を確認していくとよいでしょう。また、DDCによってADCの出力スペクトルがどのように変化するのかを理解するために、ぜひ本稿で取り上げた例をじっくりと見直してみてください。AD9680、AD9690、AD9691、AD9684の出力スペクトルを解析する際に参照できるよう、図8をプリント・アウトして手元に置いておくことをお勧めします。筆者は、これらの製品に携わるようになった当初、出力スペクトルに現れる正体不明の周波数成分について数多くの疑問を持っていました。しかし、NCOとデシメーション・フィルタで構成されたシグナル・フローについて本稿で示したような解析を行うことで、正体不明だと思っていたスプリアスが、実際には存在して当然の信号であることを理解することができました。本稿によって理解を深めることで、DDCを内蔵するADCを使用する際、問題に対処できるようになることを願っています。本稿のPart2では、DDCの動作について別の側面から説明を加えるほか、その振る舞いのシミュレーション方法についても検討していきます。また、ADCにおけるデシメーション・フィルタの応答とエイリアシングの関係についても説明します。さらに、「Virtual Eval」を使用し、AD9680が内蔵するDDCの動作とADCの出力スペクトルの関係について、より多くの例を基に解説します。



著者：

Jonathan Harris (jonathan.harris@analog.com) は、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。米ノースカロライナ州グリーンズボロにある航空製品部門に所属しています。RF製品を担当するアプリケーション・エンジニアとして10年以上の業務経験を持ちます。ノースカロライナ大学シャーロット校で学士号、オーバーン大学で修士号を取得しています。休日には家族との時間を大事にするのと同時に、オートバイやフットボール、モバイル・オーディオなども楽しんでます。



Jonathan Harris