

# SiPを採用したデータ・アキュイジション用IC、 高精度のシグナル・チェーンの実装密度を向上

著者：Ryan Curran

Share on   

具体的な用途が何であるにかかわらず、高精度のデータ・アキュイジション・システムに対しては共通のニーズがあります。それは、性能を維持したままシグナル・チェーンの実装密度を高めることです。多くのアプリケーションでは、ADC-per-channelのアプローチへの移行が進んでいます。また、フォーム・ファクタを変更することなく、搭載するチャンネル数を増やそうという動きも加速しています。そのため、データ・アキュイジション用シグナル・チェーンの設計者の多くは、チャンネル密度に対して大きな関心を寄せています。さらに、高精度のICの使い勝手を改善し、データシートに記載された性能をより容易に実現できるようにしてほしいという要望も高まっています。これらの課題を解決するために、シグナル・チェーン向けのIC製品として、SiP (System in Package) 技術を適用したサブシステムが開発されるケースが増えています。

サブシステムに関する上記の戦略に即し、アナログ・デバイス (ADI) が開発した初のデータ・アキュイジション用デバイス・ファミリーが「ADAQ798x」です。ADAQ798xは分解能が16ビットのA/Dコンバータ (ADC) をベースとしたサブシステム製品です。信号処理/コンディショニングに使用する4つの一般的な回路ブロックをSiP品として統合しており、さまざまなアプリケーションに対応することができます。この製品は最も重要な受動部品も内蔵していることから、SAR (逐次比較型) ADCを利用した従来のシグナル・チェーンにおける設計上の問題の多くが排除されます。それらの受動部品は、ADAQ798xの仕様としてうたわれている性能を満たすためには不可欠な要素です。

SAR ADCが使われている産業、計測、通信、医療などの分野を見てみると、データ・アキュイジション用のシグナル・チェーンを構成する一部の要素は用途にかかわらず共通していることがわかります。逆に、いくつかの部分はそれぞれの用途に特化したものとなっています。また、各シグナル・チェーンにはさまざまな入力ソースやセンサのアレイが使われることもわかります。そのため、入力信号をADCに送出する前に、さまざまなシグナル・コンディショニングが適用されます。多様な入力ソースが存在することから、最大のダイナミック・レンジを得るためには、システムのフルスケールをそれぞれ異なる値に設定しなければなりません。また、リファレンスとしても異なる値が必要になる可能性もあります。マルチチャンネルのアプリケーションでは、フロントエンドにマルチプレクサが配置されます。電力の供給方法はアプリケーションに求められる主要な性能に応じて異なります。しかし、多くのアプリケーションには共通して使用

される部品があります。「ADAQ7980」と「ADAQ7988」は、「全ての能動部品はアナログ・デバイスが提供する」というソリューションの一要素です。高精度/低消費電力の16ビットSAR ADC、ADCの駆動に用いる低消費電力/広帯域幅/高入力インピーダンスのドライバ (ADCドライバ)、低消費電力で安定性の高いリファレンス用のバッファ (リファレンス・バッファ)、高効率な電源管理ブロックを内蔵しています。これらシグナル・チェーン用のコンポーネントが、SiP技術によりデータ・アキュイジション用のサブシステムとして統合されています。

ADAQ798xは、パッケージが5mm×4mmという小型のLGAです。この新たなスタイルのデバイスは、データ・アキュイジション・システムの設計プロセスの簡素化に貢献します。ADAQ798xで採用しているようなレベルでシステムの統合を図れば、設計上の多くの問題が解決されます。それに加え、ADAQ798xは構成が可能なADCドライバを内蔵しているため、高い柔軟性も得られます。例えば、ニーズに応じてゲインやコモン・モードの調整が行えるといった具合です。4種の電源電圧を使用することにより、最高のシステム性能が得られますが、デバイスの性能への影響を最小限に抑えつつ単電源で動作させることも可能です。ADAQ798xは、広範な分野のアプリケーションに対応できるだけの柔軟性を備えています。その一方で、高いレベルでの統合も実現されています。

ADAQ798xを開発するに当たり、アナログ・デバイスは設計上の問題の解決方法を見極めるために、よくある設計ミスについて分析を行いました。その結果、シグナル・チェーンのレベルで生じる設計ミスは、主にSAR ADCのリファレンス入力とアナログ入力という2つの部分に集中していることがわかりました。これらの設計ミスの多くは、A/D変換性能に重大な影響を及ぼす周辺回路に関連するものでした。リファレンスの部分でよくあるミスとしては、リファレンス用のバイパス・コンデンサの配置/レイアウトやサイズが不適切、リファレンス・ソースの駆動能力が不十分、リファレンス・ソースによって生じるノイズのスペクトル密度が過大、といったことが挙げられます。リファレンス部における不適切な設計は、A/D変換で誤差が生じる原因になる可能性があります。また、ADCのアナログ入力部で見られる設計上の一般的な問題としては、ADCドライバの選択を誤る、ADCとドライバの間に配置するフィルタの帯域幅を不適切な値に設定してしまう、フィルタで使用するコンデンサの誘電物質の選択を誤る、といったことが挙げられます。このようなシステム・レベルの設計上の問題が組み合わさると、ADCの変換性能が深刻なレベルまで低下してしまう可能性があります。ADAQ798xの開発中には、これらの問題への対処を目的としてさまざまな選択を行いました。

先述したように、SAR ADCをベースとする変換システムにおいて、データシートに記載された性能を達成するには、設計を行う際にいくつかの事柄について考慮しなければなりません。SAR ADCのリファレンス・ソースとアナログ入力ソースの特性は、変換用のシグナル・チェーンの設計を適切に行ううえで非常に重要です。通常、SAR ADCは、低インピーダンスのリファレンス・ソースと、容量値が大きく、適切に配置されたデカップリング・コンデンサを必要とします。そのバイパス・コンデンサは、SAR方式の変換におけるビット・トライアルの最中にADCが消費した電荷を補充するために使用されます。つまり、同コンデンサはSAR部のアレイに使用されるADCの外部部品だと考えることができます。またADCは、入力を適切にセトリングして求められる分解能を得るために、十分なノイズ性能と帯域幅を備えたアナログ入力ソースを必要とします。図1にADAQ798xのブロック図を示しました。

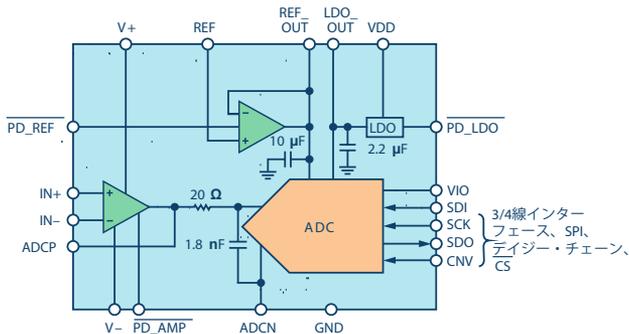


図1. ADAQ798xのブロック図

図1が示すように、ADAQ798xは、リファレンス・バッファとそれに対応する10µFのデカップリング・コンデンサを備えています。このデカップリング・コンデンサは、ADCのリファレンス入力に近接する理想的な位置に配置されています。このように配置する目的は、デカップリング・コンデンサとSAR部のコンデンサ・アレイの間に存在する全ての寄生インピーダンスを低減することです。この経路のインピーダンスは、変換処理の一部として、コンデンサがSARアレイに瞬時に電荷を供給して再分配できるように、できるだけ低くすべきです。同様に、リファレンス・バッファとデカップリング・コンデンサの間の配線抵抗も低く抑えられています。配線の寸法（長さ、太さ）は、変換時にゲイン誤差が生じない程度の電圧降下しか発生せず、リファレンス・バッファを安定に保てる抵抗値になるように決められています。リファレンス信号をバッファリングするために使用するアンプは、ユニティ・ゲインに設定されています。従来、SAR ADCのリファレンス入力部ではスイッチド・キャパシタが負荷になっていましたが、このユニティ・ゲインのアンプにより、外部のリファレンス・ソースに対して高インピーダンスの入力部が提供されることとなります。そのため、ADAQ798xを使用する場合には、低消費電力でバッファを備えていないリファレンスによってリファレンス入力ピン（REF）を駆動することができます。また、高い入力インピーダンスが提供されることから、ユーザーは、プリント回路基板におけるリファレンス入力の位置を柔軟に決めることが可能になります。ADAQ798xは十分に調整されたリファレンス・バッファを内蔵するSiP製品です。これを使用すれば、リファレンス・ソースの配置に関する制約も大きく緩和されます。リファレンス・

バッファのみを内蔵し、リファレンス・ソース自体は内蔵していないことから、ユーザーはリファレンスの値を広い範囲から自由に選択できます。また、リファレンスの値を調整することでADCをフルスケールの電圧で使用できるため、システムのダイナミック・レンジを最大化することが可能になります。

ADAQ798xは、ADCドライバ、ならびにそれとADCの入力部の間に配置するローパス・フィルタも備えています。求められる性能を得るためには、フィルタの帯域幅を適切に選択することが重要です。この帯域幅は、セトリング時間と、高速ADCドライバからの広帯域ノイズに対するフィルタリングの度合いのトレードオフによって決まります。ADCの入力ノードに乱れがあると、ADCのアクイジション時間内に、分解能に対して十分なレベルまでセトリングすることができません。SAR ADCが変換処理を実行している時、ADCの入力部は外部の入力ソースから切り離されます。変換を実行している間には、ADCに対する入力の電位が変動する可能性があります。しかし、変換の終了時には、SAR部のコンデンサ・アレイの電圧は、変換の開始時と本質的に同じになります。ADCがアクイジション（トラック）モードに戻った時、SAR部のコンデンサ・アレイにロードされた電荷はADCの入力部に現れます。その容量は外部のローパス・フィルタのコンデンサと並列に存在していますが、異なります。これらのコンデンサの電圧は異なりますが、全てのコンデンサの電圧におけるバランスをとるように電荷の再分配が行われます。これはADCの入力部で電圧ステップとして現れます。この電圧ステップは、アクイジション時間の中にセトリングされなければなりません。ワースト・ケースの電圧ステップは、ADCがフルスケールで変化した時に生じます。このような状況は、入力が多重化されたシステムで発生する可能性があります。この電圧ステップは、外部のコンデンサの容量とSAR部の容量の比に対応して減衰します。ADAQ798xは、1800pFのコンデンサを使用して構成したローパス・フィルタを内蔵しています。リファレンス電圧が5Vの場合、ADCの入力部に現れる最大電圧ステップは次式で求められます。

$$V_{STEP} = \frac{5 \text{ V} \times C_{SAR}}{C_{EXT} + C_{SAR}} = \frac{5 \text{ V} \times 27 \text{ pF}}{1800 \text{ pF} + 27 \text{ pF}} = 73.9 \text{ mV}$$

この電圧ステップを、290nsの最小アクイジション時間の中にセトリングしなければなりません。そのために必要な時定数は、ステップの大きさとセトリング誤差の比の自然対数をとることで求められます。セトリング誤差の値としては1/2LSBが選ばれます。したがって、時定数の数（number of time constants）は次式で求められます。

$$[\text{時定数の数}] = \ln\left(\frac{V_{STEP}}{V_{half\_LSB}}\right) = \ln\left(\frac{73.9 \text{ mV}}{\frac{5 \text{ V}}{2^{16} + 1}}\right) = 7.57$$

時定数の数がわかっている時、RC（抵抗-コンデンサ）構成のローパス・フィルタの時定数τは次式によって決まります。

$$\tau = \frac{[\text{最小アクイジション時間}]}{[\text{時定数の数}]} = \frac{290 \text{ ns}}{7.57} = 38.3 \text{ ns}$$

このτの値を使用することにより、次式によってフィルタの帯域幅を決定することができます。

$$[\text{RCフィルタの帯域幅}] = \frac{1}{2 \times \pi \times \tau} = \frac{1}{2 \times \pi \times 38.3 \text{ ns}} = 4.15 \text{ MHz}$$

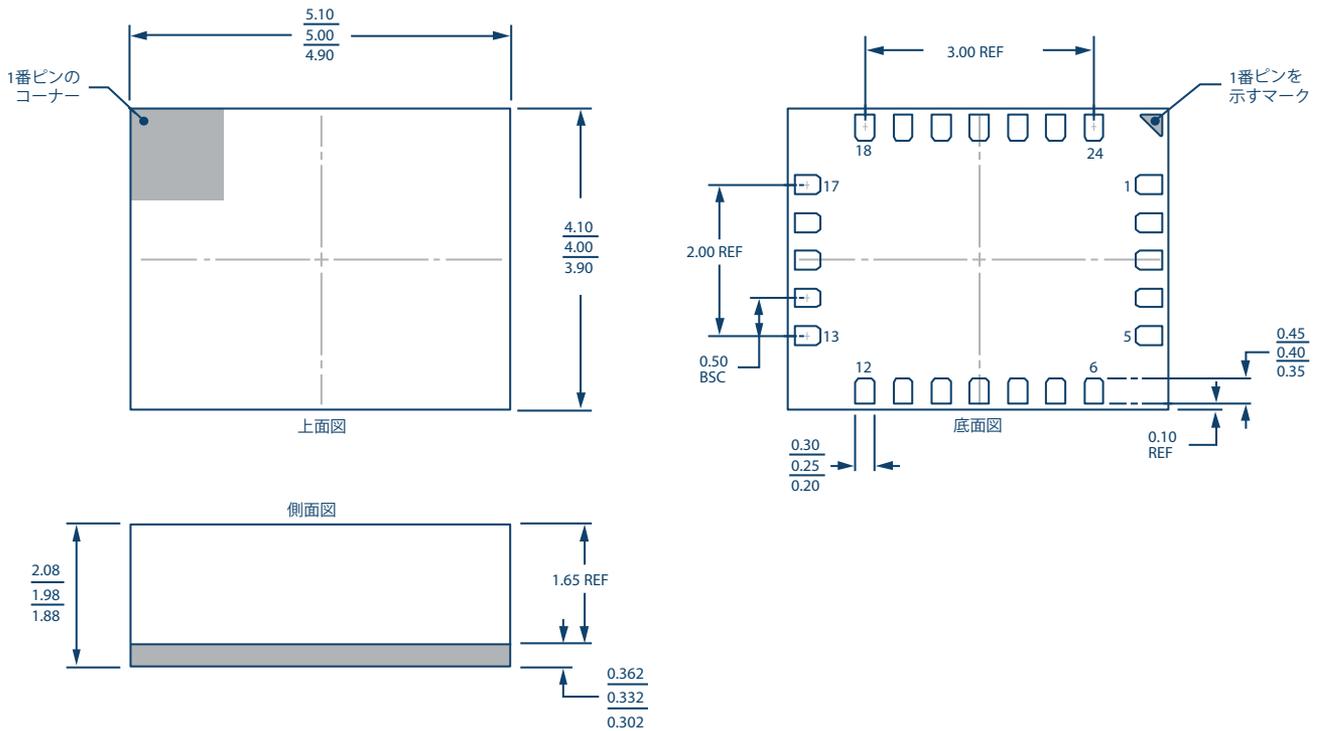


図2. ADAQ798xのパッケージの外形図

多少のマージンを加えつつ、標準的な値の部品を使用するために、ADAQ798xは20Ωの抵抗と1800pFのコンデンサで構成したフィルタを内蔵しています。このフィルタの帯域幅は4.42MHzです。これにより、ADCのエイジション時間の中に、起こりうる最大の電圧ステップをセトリングすることができます。また、計算によって求めたフィルタの帯域幅は、ノイズに対するフィルタ処理とセトリングの間で行ったトレードオフの着地点でもあります。確実にセトリングするために必要で、なおかつ最小に近い帯域幅を選択することにより、受動型ローパス・フィルタによるノイズの削減効果を最大化することができます。

SAR ADCがエイジション・モードに戻る際に発生する電圧ステップは、フィルタのセトリングを制限する要因になります。ただ、フィルタは、1μsの最小変換時間内に、マルチプレクサにおけるフルスケールのステップから変化した実際の電圧を十分にセトリングする能力を備えています。フルスケールのステップを1/2LSBにセトリングするには11.78という時定数の数が必要です。これは、N+1の量子化レベルの自然対数をとることによって求められます。このケースであれば $2^{17}$ 、つまりは131072というコードです。時定数当たり38.3nsで、時定数の数が11.78ということは約450nsになります。これなら、変換時間の1μsと比べて全く問題にはなりません。ここでは、マルチプレクサのチャンネルは変換の開始後に直接切り替えられると仮定しています。

適切な変換が行えるようにシグナル・チェーンの性能を保証するうえでは、ADCドライバの帯域幅も非常に重要な要素となります。ユニティ・ゲインでは、セトリングを制限する要因は電圧ステップです。ADCがエイジション・モードに戻る際に、290ns以内でセトリングする必要があります。したがって、アンプに関しては小信号に対する帯域幅が最も重要な仕様になります。マルチプレクサにおけるフルスケールのステップを最小の変換時

間である1μs内にセトリングするために、ADCドライバの大信号に対する帯域幅は、1μs以内で11.78の時定数の数を達成できるようにしなければなりません。

変換用のシグナル・チェーンに対し、ADCドライバが多くのノイズを加えるようなことがあってはなりません。サブシステム全体のノイズ性能は、ADCのノイズ、ADCドライバのノイズ、リファレンス・バッファのノイズの二乗和（RSS：root-sum-square）として求められます。大きなバイパス・コンデンサによってリファレンス回路の帯域幅が制限されるため、リファレンス・バッファのノイズはRSSの算出時には無視することができます。ユニティ・ゲインに設定されたADCドライバにおけるノイズの目標値は、ADCのノイズの1/3以下になるようにします。具体的には、ADCドライバの仕様は、ノイズ・スペクトル密度が5.2nV/√Hzになるように定められています。システム全体のノイズを求めるには、ADCドライバのノイズ・スペクトル密度を、次式によってμV rmsを単位とする値に変換する必要があります。

$$v_{n,rms} = \left[ \frac{\text{ノイズ}}{\text{ゲイン}} \right] \times e_{n,rms} \times \sqrt{\frac{\pi}{2} \times \frac{[RC\text{フィルタ}]}{\text{の帯域幅}}} = (1) \times \frac{5.2\text{nV}}{\sqrt{\text{Hz}}} \times \sqrt{\frac{\pi}{2} \times 4.42\text{ MHz}}$$

$$v_{n,rms} = 13.7\ \mu\text{V rms}$$

ADCのダイナミック・レンジの仕様は、5Vのリファレンスを使用した場合で92dB（代表値）となっています。ADCのノイズフロアは次式で求められます。

$$[ADCのノイズフロア] = V_{full-scale,rms} \times 10^{-DR/20} = \frac{5}{2\sqrt{2}} \times 10^{-92/20} = 44.4\ \mu\text{V rms}$$

ADCドライバのノイズフロアは13.7μV rmsです。これは目標であるADCのノイズの1/3を下回っています。システム全体のダイナミック・レンジは、ユニティ・ゲインに設定されたADCドライバのノイズが加わることで、92dBから91.6dBに低下します。ADCドライバがシステムのノイズに及ぼす影響は限られています。

そのため、サンプル・レートが低い（つまり、アキュジション時間とセトリング時間が長い）アプリケーションではローパス・フィルタの帯域幅を変更する必要はありません。ユニティ・ゲインのフィルタの帯域幅を狭くすることで期待できる最大の効果は、0.4dBのダイナミック・レンジの損失を取り戻せることです。しかし、帯域幅を狭くするためにフィルタの抵抗を大きくすると、THD性能に悪影響が及ぶ可能性があります。また、ADCドライバによって、より大きな容量性負荷を駆動するのが難しくなるかもしれません。追加のフィルタ処理が必要になった場合には、フィルタ処理によるメリットが得られるようにADCドライバを構成することができます。

ADAQ798xは、2.5V出力、低ノイズ、CMOSプロセスのLDO（低ドロップアウト）レギュレータを内蔵しています。SAR ADC製品の中には、許容誤差の少ない2.5Vの電源を必要とするものがあります。その種の製品を使用する場合、2.5Vの電源レールが存在しないシステムでは、そのADC用に2.5Vを用意する必要があります。これに対し、ADAQ798xはLDOを内蔵しているので、システムの電源構成を大幅に簡素化できます。このLDOへの入力にはADCの電源電圧として供給されます。ADCは実際にはLDOの出力によって動作します。このような構成であることから、ADAQ798xはより広範な電源電圧を利用できることとなります。また、それによりさらなる簡素化がもたらされます。加えて、アンプの正電源をLDOの入力として使用することで、単電源のシステムを構築できます。電源電圧は、性能や消費電力が最適化されるように選択することができます。さらに、ADAQ798xはフル・パワーダウン機能も備えています。電源の構成に柔軟性があることから、ADAQ798xのユーザーはアプリケーションに応じて最適なトレードオフを行うことができます。

ADAQ798xは外形寸法が5mm×4mm×2mmのパッケージを採用しています。4層ラミネートの厚さは0.35mm、モールド・キャップの厚さは1.65mmです。ADAQ798xのオーバーモールド封止パッケージでは、封止成形される一般的なICと同様に、フルモールド・コンパウンドとアンダーフィルが注入されます。ユーザーには、24個のI/Oパッドを備えるラミネートLGAとして提供されます。図2に、ADAQ798xのパッケージの外形図を示しました。一方、図3に示したのは、封止成形やモールド・コンパウ

ンドのない状態のADAQ798xを表すアセンブリ・モデルです。この図は、ADAQ798xがアナログ・デバイセズの能動コンポーネントとオープンな市場で一般的に提供されている受動コンポーネントで構成したものであることを示しています。ラミネートの配線は、インピーダンスを調整し、クロストークの影響を除去するように設計されています。これら全ての設計/組み立て技術を導入した結果、個々のコンポーネントを使用して設計する場合と比べて、プリント回路上の実装面積を最大で50%削減可能な製品を開発することができたのです。

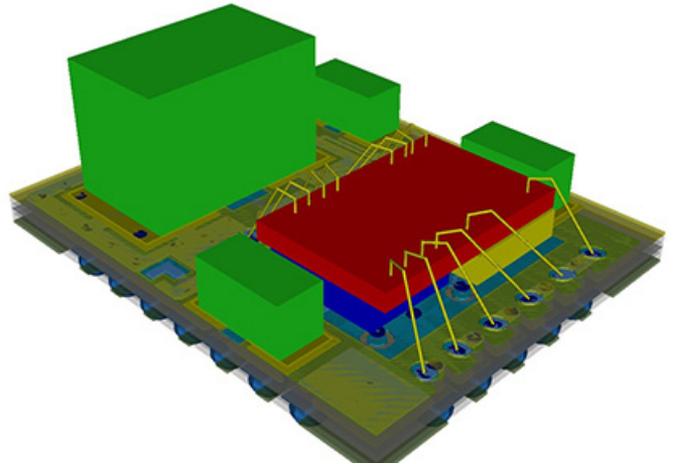


図3. ADAQ798xの3次元アセンブリ・モデル

ADAQ798xを使用するメリットは、実装面積を削減することだけではありません。シグナル・チェーンにおいて求められる性能を得られる可能性が高くなり、システムを再設計するリスクも軽減されます。結果的に、開発期間を短縮し、開発コストを削減することが可能になります。また、システムにおける部品構成も簡素化され、システムのより多くの部分が1つのデータシートで網羅されるようになります。このSiP製品は堅牢性が高く、産業分野の厳しい環境にも耐えられるように設計されています。各種の認証も取得済みです。また、優れた品質評価を経て、-55~125℃の温度範囲に対応することが保証されています。ADAQ798xは、シグナル・チェーンに対して、性能面で妥協することなく、集積度と柔軟性を優れたバランスで提供します。

著者：

Ryan Curran ([ryan.curran@analog.com](mailto:ryan.curran@analog.com)) は、アナログ・デバイセズの高精度コンバータ部門に所属する製品アプリケーション・エンジニアです。2005年に入社して以来、SAR方式のADCを担当しています。米メイン州オロノのメイン大学で電気工学理学士の学位を取得しています。現在は、マサチューセッツ大学アマースト校のアイゼンバーグ・スクール・オブ・マネジメントで経営学修士の学位取得を目指しています。



Ryan Curran

この著者が執筆した他の技術文書

組成分析のためにRF信号をビット・データに変換、位相/振幅のデータを高精度で取得

[Analog Dialogue 48-10](#)