

DAC の位相ノイズ性能を改善、極めて精度の高い DDS アプリケーションを実現可能に

著者: Peter Delos, Jarret Liner

Share on   

はじめに

レーダーを利用するアプリケーションでは、ノイズを極めて低く抑える必要があります。その種のシステムにおいては、位相ノイズが 1 つの重要な性能指標となります。そもそも、位相ノイズは、あらゆる無線システムで問題になり得る要素です。ただ、レーダー・システムでは、一般的な通信システムと比べて、搬送波に非常に近い周波数の位相ノイズが問題になる可能性が特に高くなります。

レーダーをはじめとする高性能のシステムを設計するには、位相ノイズが極めて小さい発振器が選択されます。ノイズの観点からは、シグナル・チェーンでは、発振器の位相ノイズのプロファイルをできるだけ損なわないようにすることが極めて重要です。そのため、シグナル・チェーンを構成する各種のコンポーネントについては、残留ノイズや付加位相ノイズを測定し、性能を確認しておかなければなりません。

高速 D/A コンバータ (DAC) としては、周波数変換段で使われる任意の LO (局発振器) に対し、生成する波形、周波数の質の面で非常に魅力的な新製品がリリースされています。しかし、レーダーで使用する場合には、DAC の位相ノイズ性能をさらに改善しなければなりません。

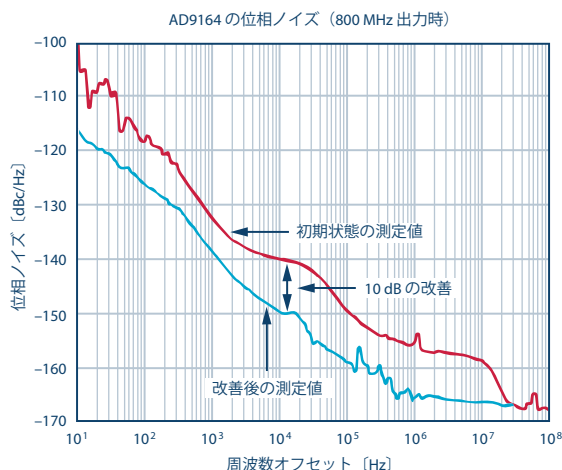


図 1. AD9164 の位相ノイズ性能。
対策前後の結果を比較しています。

本稿では、サンプル・レートが最大 12 GSPS (ギガサンプル/秒) で、分解能が 16 ビットの DAC「AD9164」を例にとります。この IC は、6 GSPS に対応する DDS (ダイレクト・デジタル・シンセサイザ) の機能も備えています。同 IC を使用し、10 kHz のオフセット位置における位相ノイズの測定値を 10 dB 以上改善する方法を示します。図 1 に示したような改善結果が得られるということです。このような改善効果を得るためのポイントは 2 つ

あります。1 つは、電源電圧の供給に使用するレギュレータを適切な選択することです。もう 1 つは、「テスト用の設定」を改良することです。なお、ここで言うテスト用の設定とは、評価に使用する回路構成、使用する測定器、測定器が採用している測定値の算出手法などのことを指します。これら 2 つの改善ポイントを組み合わせることによって、図 1 のような結果が得られました。以下では、その方法について詳細に説明します。

位相ノイズの定義

位相ノイズとは、周期性を持つ信号がゼロを交差する際にどのくらいの偏差を持つのかという指標です。ここでは、以下に示す位相変動を伴う余弦波を考えます。

$$x(t): \cos(2\pi ft + \Phi(t))$$

f : 瞬間周波数

$\Phi(t)$: ランダムな位相変動 (単位はラジアン)

位相ノイズは、位相変動のパワー・スペクトル密度から求められます。

$$S(f) = \frac{\Phi(t)_{RMS}^2}{BW} \quad (\text{式の単位は、} \frac{\text{rad}^2}{\text{Hz}})$$

線形項で表すと、単側波での位相ノイズは次のように定義できます。

$$L(f) = \frac{S(f)}{2}$$

通常、位相ノイズとしては $10 \log(L(f))$ の値を dBc/Hz の単位で表します。得られた位相ノイズのデータは、RF 搬送波を基準とする周波数オフセットを横軸としてプロットされます。

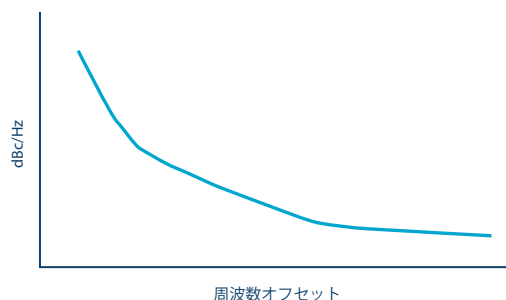


図 2. 位相ノイズのプロット方法

位相ノイズについては、絶対位相ノイズと残留位相ノイズという、より重要な指標があります。絶対位相ノイズとは、システム内で測定されるトータルの位相ノイズのことです。

一方の残留位相ノイズとは、テストの対象となるデバイス（DUT）に付加される位相ノイズのことを意味します。両者を区別するのは、テスト用の設定からの寄与分と、システムにおいてコンポーネント・レベルで生じる位相ノイズの寄与分を判別する過程で非常に重要な意味を持ちます。

DAC/DDS の位相ノイズを測定する

ここでは、テスト用の設定を図で示しながら、DDS の位相ノイズを測定する方法について説明します。DAC の位相ノイズを測定するわけですが、その DAC は DDS のサブシステムとして使用されていると仮定します。なお、DDS の主機能を担う回路ブロックは、最終的な出力となる正弦波に対応するデジタル・パターンを生成して DAC に送信します。DDS の回路ブロックは、モノリシックの IC に含まれることもありますし、DAC と通信を行う FPGA や ASIC に含まれることもあります。以下で紹介するテスト用の設定には、いくつかの DDS が使われています。それらの DDS は DAC を内蔵しているわけですが、最新の DDS は、デジタル位相誤差を DAC で生じる誤差よりもかなり低く抑えるように設計されています。そのため、DDS の位相ノイズ性能は、DAC によって決まるということになります。

図 3 に、最もシンプルで一般的なテスト用の設定を示しました。DDS にはクロック源を接続しています。そして、DDS の出力は相互相関型の位相ノイズ・アナライザに取り込みます。この構成であれば、DDS を 1 つしか使用しないので簡単に測定が行えます。しかし、これでは、発振器の寄与分を排除して DDS の位相ノイズだけを確認することができません。

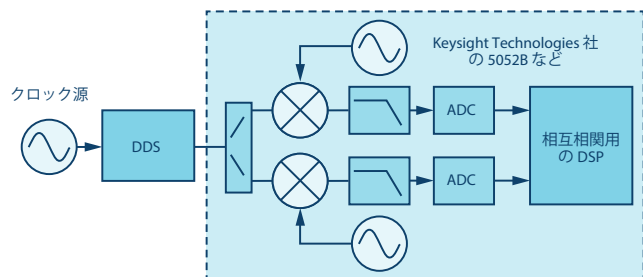
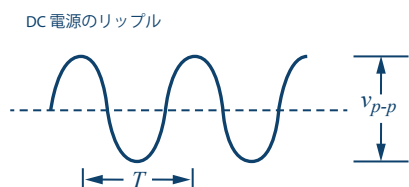


図 3. 最もシンプルなテスト用の設定。DDS の絶対位相ノイズを測定するために使用します。測定結果には DAC と発振器の両方のノイズが含まれます。



DC 電源の 1/f ノイズ



図 4 (a) と (b) は、いずれも発振器の位相ノイズを測定結果から排除して残余ノイズを測定するための方法を示したものです。これらの方法の欠点は、テスト用の設定に DAC (DDS) を追加しなければならないことです。ただ、それによって DAC の位相ノイズの寄与分が格段に明確になり、システム・レベルの解析に適用できるというメリットが得られます。

(a) 位相検出による方法

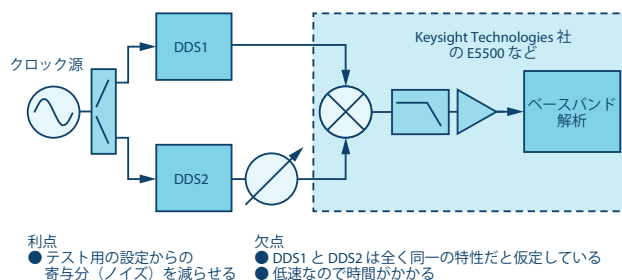


図 4 (a). 位相検出を使用するテスト用の設定。DDS の残留位相ノイズを測定するために使用します。

図 4 (a) は、位相検出による方法を示したものです。この方法では 2 つの DAC を使用します。発振器からの寄与分は、DC へのダウンコンバージョン時に両方の DUT の結果から差し引かれます。

(b) 相互相関による方法

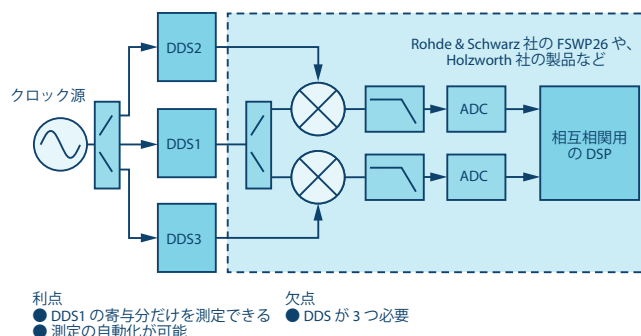
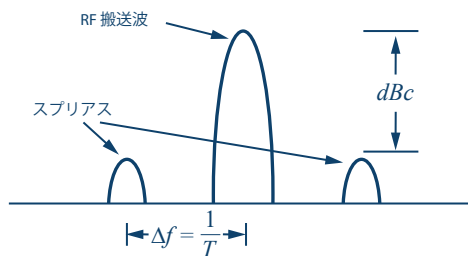


図 4 (b). 相互相関を使用するテスト用の設定。DDS の残留位相ノイズを測定するために使用します。

図 4 (b) に示したのは、相互相関を用いる位相ノイズの解析方法です。この方法では、DDS2 と DDS3 の出力を測定器の LO ポートに入力します。

RF 搬送波上のスプリアス



RF 搬送波上の位相ノイズ

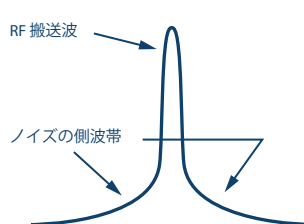


図 5. 電源のノイズやリップルが RF 搬送波上に変調される様子

このように構成することで、クロックの寄与分を相互相関アルゴリズムによって排除することができます。その結果、DDS1 の残留位相ノイズの値が得られます。

電源ノイズの寄与分

ノイズを抑えることが求められるアナログ回路や RF 回路では、多くの場合、電源ノイズについての検討が必要になります。周期的な電源リップルは RF 搬送波上に変調されます。RF 搬送波において、リップルの周波数に等しい周波数オフセットの位置にスプリアスが生成されます。レギュレータの $1/f$ ノイズも RF 搬送波上に変調され、位相ノイズのプロファイルに寄与します。図 5 はこれらの現象について示したものです。

測定結果

筆者らは、実際に DAC の位相ノイズ性能を測定しました。その際には、テスト用の設定とレギュレータのノイズ性能の両方について検討を行いました。

測定には DAC の評価用ボードを使用することになりました。そのボードの初期状態では、アナログ電源とクロック電源に給電するためのレギュレータ IC として「ADP7140」が使用されていました。筆者らは、この IC と、最近アナログ・デバイスがリリースした超低ノイズのレギュレータ IC を比較することになりました。超低ノイズのレギュレータ IC をいくつかピックアップし、ノイズ・スペクトル密度に注目して比較を行いました。その結果、「ADM7155」を選択することになりました。図 6 は、各製品のデータシートに記載されているノイズ密度の評価結果を示したものです。電源に関して加えた変更は、AD9164 のクロック電源ピン (VDD12_CLK) とアナログ電源ピン (VDD12A) に ADM7155 を適用しただけです。

次に、残留位相ノイズを測定するためのテスト用の設定について検討しました。計測器としては、入手しやすく便利であることから、Rohde & Schwarz (R&S) 社の「FSWP26」を選択しました。この製品により、相互相関を利用して測定を行うことになりました。テスト用の設定は図 7 のようになります。

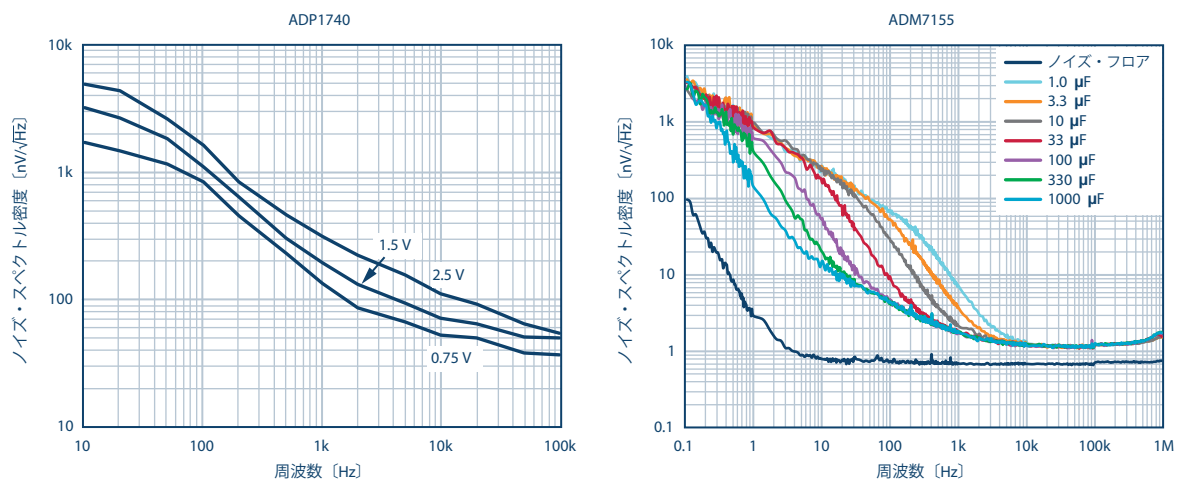


図 6. レギュレータのノイズ密度の比較。Y 軸の単位に注目するとわかるように、ADM7155 の方が 1 桁優れています。

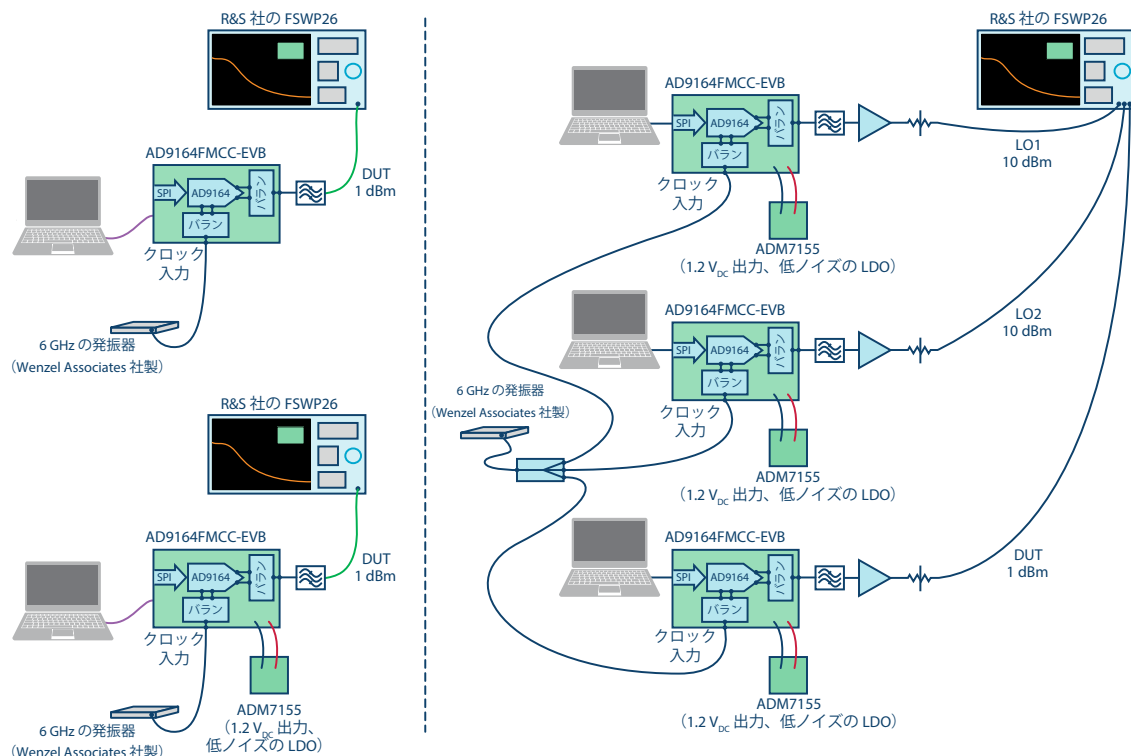
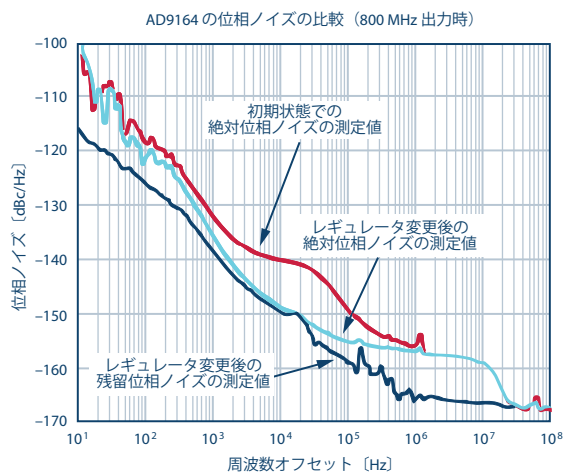


図 7. AD9164 の位相ノイズ測定に使用したテスト用の設定



- 改善結果
- 1 kHz 未満
・テスト用の設定からの制約を受ける
 - 1 kHz ~ 100 kHz
・レギュレータからの制約を受ける
 - 100 kHz ~ 1 MHz
・テスト用の設定からの制約を受ける

図 8. AD9164 の位相ノイズの比較 (800 MHz 出力時)

図 8 には、3 つの測定結果を示しています。赤色の曲線は、初期状態の評価用ボードを使って絶対位相ノイズを測定した結果です。一方、水色の曲線は、レギュレータを変更したボードで絶対位相ノイズを測定した結果です。紺色の曲線は、同じくレギュレータの変更後に残留位相ノイズを測定した結果です。

この測定結果から、周波数範囲を大まかに 3 つに分けると、それぞれに性能を制約する要因が異なることが明らかになりました。これは、検討に着手した時点では把握していなかった事実です。1 kHz 未満の周波数範囲では、クロ

ック源の近接ノイズが制約要因となっています。1 kHz ~ 100 kHz の周波数範囲では、レギュレータが制約要因になります。そして、100 kHz を超える周波数範囲では、再びクロック源が制約要因となります。10 MHz 以上で見られる急峻な下降曲線は、クロック源の寄与分です。すなわち、使用しているクロック源が 6 GHz を生成する逡倍水晶発振器であったことによるものです。また、ロールオフ特性は、逡倍段で使われている RF フィルタによってもたらされています。

レギュレータを変更後のボードを使い、他の周波数を出力した時の DAC の残留位相ノイズを測定しました。図 9 に、いくつかの結果をまとめています。複数の評価用ボードに同じ変更を加えたところ、その全てで同じような改善結果が得られました。

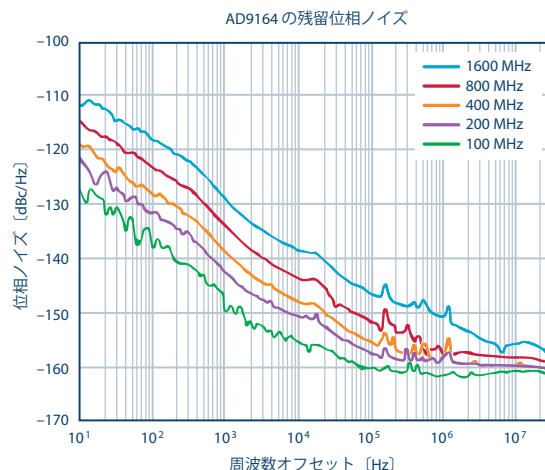


図 9. AD9164 の残留位相ノイズ。低ノイズのレギュレータを使用するように改良したボードで測定した結果です。

表 1. 最高レベルのノイズ密度性能を備えるレギュレータ製品ファミリー

品番	V_{IN} の最小値 [V]	V_{IN} の最大値 [V]	V_{OUT} のオプションまたは調整範囲 [V]	I_{OUT} [mA]	PSRR (@ 1 kHz)	PSRR (@ 1 MHz) [μV_{rms}] ¹	RMS ノイズ (100 Hz ~ 100 kHz) [$nV/\sqrt{Hz}$]	ノイズ・スペクトル密度 (100 kHz) [$nV/\sqrt{Hz}$]	ドロップアウト電圧 (定格の I_{OUT} における代表値) [mV]	トータルの精度の最大値 [±%]	パッケージ
ADM7150	4.5	16	固定: 1.5 ~ 5.0	800	94	62	1	2	600	2	3 mm × 3 mm の 8 ピン LFCSP、8 ピン SOIC
ADM7151	4.5	16	調整可能: 1.5 ~ 5.1	800	94	62	1	2	600	2	3 mm × 3 mm の 8 ピン LFCSP、8 ピン SOIC
ADM7154 新製品	2.3	5.5	固定: 1.2 ~ 3.3	600	90	58	1	1.2	120	2	3 mm × 3 mm の 8 ピン LFCSP、8 ピン SOIC
ADM7155 新製品	2.3	5.5	調整可能: 1.2 ~ 3.3	600	90	58	1	1.2	120	2	3 mm × 3 mm の 8 ピン LFCSP、8 ピン SOIC

¹ 固定の出力電圧ではノイズに依存しません。

表 1 は、超低ノイズのレギュレータ製品ファミリーについてまとめたものです。ADM7155 以外の製品も、同等のノイズ密度が実現されています。本稿で示したように、レギュレータが DAC の位相ノイズに及ぼす影響は小さくありません。最適な位相ノイズ性能が求められる RF システムでは、あらゆる部分にこれらの製品を適用することを検討すべきです。

まとめ

本稿では、位相ノイズについて解説を行いました。その基本的な定義から、絶対位相ノイズ、残留位相ノイズ、DAC の位相ノイズ測定に使用するテスト用の設定、ノイズに対するレギュレータの影響について説明しました。

本稿で示したように、残留位相ノイズの測定方法とレギュレータを最適化することで、DAC の位相ノイズが劣化するのを防止できます。アナログ・デバイセズが提供する低ノイズのレギュレータ IC を使って AD9164 のアナログ電源とクロック電源に給電することにより、超低位相ノイズの DDS アプリケーションを実現することが可能になります。

参考資料

Jarrah Bergeron「[電源ノイズやクロック・ジッタが高速 DAC に及ぼす影響、位相ノイズを解析/管理する](#)」Analog Dialogue 51-03

Claudio E. Calosso, Yannick Gruson, Enrico Rubiola「[Phase Noise and Amplitude Noise in DDS \(DDS の位相ノイズと振幅ノイズ\)](#)」IEEE Frequency Control Symposium, 2012年

Umesh Jayamohan「[GPS レベルの高速 ADC への給電方法：スイッチング・レギュレータで LDO を置き換える](#)」Analog Dialogue 50-02

「[Product Note 11729B-1, Phase Noise Characterization of Microwave Oscillators: Phase Detector Method \(マイクロ波発振器の位相ノイズの特性評価: 位相検出による方法\)](#)」Agilent, 2012年 5月

Rob Reeder「[高速 ADC の電源回路設計で考慮すべきこと](#)」Analog Devices, 2012年

Warren F. Walls,「[Cross-Correlation Phase Noise Measurements \(相互相関による位相ノイズの測定\)](#)」IEEE Frequency Control Symposium, 1992年

著者:

Peter Delos (peter.delos@analog.com) は、アナログ・デバイセズの航空宇宙/防衛グループに所属するテクニカル・リードです。1990 年にバージニア工科大学で電気工学の学士号、2004 年にニュージャージー工科大学で電気工学の修士号を取得しています。1990 ~ 1997 年には、米海軍原子力プログラムの業務に携わりました。ここで、海軍原子力学校の幹部向けプログラムを修了し、海軍の潜水艦施設ではインストラクタとして、コネチカット州グロトンではシーウルフ級の潜水艦上でリード電気フィールド・エンジニアとして勤務しました。1997 年には、ニュージャージー州ムアズタウンの Lockheed Martin 社に入社し、複数のレーダーや EW (電子戦) プログラム用の受信器/励振器、シンセサイザの開発に携わりました。ここで経験した事柄は、アーキテクチャの定義、詳細設計、ラビッド・プロトタイピング、製造カバレッジ、フィールドへの配備、多くの工学的規律の調整など多岐にわたります。その後、この業務は、フェーズド・アレイ向け受信器/励振器の電子回路を、集中型のアーキテクチャからアレイ上のデジタル・ビームフォーミング・システムへと移行する取り組みに発展しました。



Peter Delos

Jarrett Liner (jarret.liner@analog.com) は、アナログ・デバイセズの航空宇宙/防衛グループに所属する RF システム・アプリケーション・エンジニアです。ノースカロライナ州グリーンズボロで勤務しています。RF に対応するシステムとコンポーネントの設計について豊富な経験を有しています。以前は、アプリケーション・エンジニアとして航空宇宙/防衛分野向けに GaN on SiC のアンプを担当していました。RF IC、WLAN 向けパワー・アンプ、フロントエンド・モジュールの設計とテストには 13 年間携わっています。また、エレクトロニクス技術者として米海軍で 6 年間働いていました。ノースカロライナ州グリーンズボロにあるノースカロライナ農業工科大学で 2004 年に電気工学の学士号を取得しています。研究所で回路ソリューションのシミュレーションやデータ収集を行っている以外は、マウンテンバイクに乗ったり、ジムでサイクル・クラスの指導を担当したり、ランニングしたり、庭で 4 人の子供たちを追いかけたり、といった具合に過ごしています。



Jarrett Liner