

トラック & ホールド・アンプと RF 対応 ADC により、X バンドの帯域幅を実現する

著者: Rob Reeder

Share on   

概要

アプリケーションによっては、何も処理を施していない状態のアナログ信号帯域幅が極めて重要な要件であることがあります。RF 対応の A/D コンバータ (ADC) あるいは GSPS (ギガサンプル/秒) 対応の A/D コンバータと呼ばれる製品が登場して以来、わずか数年のうちにナイキスト・ゾーンは 10 倍も広がりました。ナイキスト・ゾーンが数 GHz にも達しているというのは、あたかも水平線の彼方まで見渡せる能力を有しているかのようです。しかし、さらなる帯域幅の拡大を実現しなければ、X バンド (12 GHz までの周波数帯) に対応することはできません。トラック & ホールド方式のサンプリング用アンプ (以下、THA) をシグナル・チェーンに追加すれば、A/D コンバータ (ADC) 単体の帯域幅をはるかに上回るレベルにまで全体としての帯域幅を拡大できます。それにより、何よりも帯域幅の広さが重要視される設計に対応することが可能になります。アナログ・デバイセズは RF 市場向けに最新の ADC を提供しています。本稿では、その前段に THA を配置することにより、10 GHz の帯域幅を達成できることを示します。

はじめに

サンプリング・レートが GSPS のレベルに達する ADC (以下、GSPS ADC) を採用すれば、いくつかのメリットを得ることができます。例えば、RF 対応のシグナル・チェーンを簡素化したり、FPGA のリソースをより効果的に活用したりすることが可能になります。フロントエンドのミックスダウン段やバックエンドのデジタル・ダウン・コンバータ (DDC) が不要になるからです。このようなメリットが得られることから、GSPS ADC は大いに注目を集めています。ただ、一部のアプリケーションでは、そうした GSPS ADC で達成可能なレベルをはるかに上回る帯域幅が必要になります。何も処理を加えていない状態でのアナログ帯域幅 (BW) が極めて広くなければならないということです。その種のアプリケーションは、防衛分野や計測分野 (ワイヤレス・インフラが伴います) でよく見られ、10 GHz またはそれ以上にまで帯域幅を拡大することが求められます。C バンド全域にとどまらず、可能であれば X バンドも完全に網羅することが期待されています。高速 ADC の技術が向上するに従い、GHz レベルの非常に高い中間周波数 (IF) を高い分解能、高い精度、高速に処理することが求められるようになりました。ベースバンドのナイキスト・ゾーンの幅は 1 GHz を超え、急速に拡張を続けています。この数字さえも、読者が本稿を読んでいるころにはもはや古くなっているかもしれません。そのくらい、この分野は急速なペースで進化しているのです。

帯域幅のさらなる拡大に向けては 2 つの課題があります。1つは、ADC 自体の設計です。もう1つは、アンプ、

バラン、プリント基板など、ADC に信号を届けるフロントエンドの設計です。どれほど ADC の性能が優れていたとしても、フロントエンドが信号の質を維持できるものでなければ意味がありません。一般に、広い帯域幅が求められるアプリケーションでは、8 ~ 14 ビットの分解能を備える GSPS ADC が求められます。ただし、個々のアプリケーションに求められる要件を満たすには、分解能だけでなく、多くのパラメータを適合させる必要があります。

広帯域という言葉について、ここでは「DC 付近から 5 GHz ~ 10 GHz の周波数領域までの中で、数百 MHz を超える信号帯域幅を使用すること」ととらえていただければよいでしょう。本稿では、それに対応する THA (またはアクティブ・サンプリング回路) について、その理論的な背景や実際に得られる性能について説明します。注目すべき点は、THA と組み合わせることによって、GSPS ADC 単体では実現できないところまで帯域幅を拡大できるということです。加えて、数 GHz の領域で適切に動作する広帯域ソリューションの設計するうえで、検討すべき事柄や最適化手法について解説します。

基本的な概念

GSPS ADC は、非常に高いサンプリング周波数 (広い周波数範囲) に対応します。したがって、レーダー、計測、通信観測などのアプリケーションで多用されるのは自然なことです。しかし、対応する周波数範囲が広いほど、ADC の内部で行われるサンプル & ホールドの処理についての課題は多くなります。通常、サンプル & ホールド用の回路は超広帯域での動作に最適化されているわけではありません。また、ADC の帯域幅には制限があり、極めて高いアナログ帯域幅に対しては高周波領域における直線性と SFDR が低下します。

このような課題を踏まえて注目すべきなのが、ADC の前段に別の THA を配置する手法です。これは、非常に周波数の高いアナログ入力信号を高い時間精度でサンプリングするための手段になります。この手法では、ジッタの小さいサンプラ (THA) によって、ADC に入力される前の信号のサンプリングを行います。それにより、ADC に対する要件が緩和されます。その要件とは、広範な帯域幅を対象とした直線性 (ダイナミックな直線性能) のことです。RF 信号を A/D 変換する処理の間、サンプリングの対象となる信号が一定の値に保たれることから、この要件が緩和されます。

その結果、システムにおけるアナログ入力帯域幅が大幅に拡大します。また、高周波領域における直線性が大きく向上します。THA と GSPS ADC を組み合わせることにより、GSPS ADC を単体で使用する場合と比べて高周波領域の S/N 比が改善されます。

THA の概要と特徴

本稿で例にとる THA は、18 GHz の帯域幅にわたり、高い精度で信号をサンプリングすることができます。入力周波数が DC から 10 GHz 超までの範囲では、直線性は 9 ~ 10 ビット精度相当、ノイズは 1.05 mV、ランダム・アパーチャ・ジッタは 70 フェムト秒未満です。この THA は、ダイナミック・レンジはわずかに低下するものの、最高 4 GSPS までのサンプル・レートに対応することができます。本稿で紹介する「HMC661」、「HMC1061」はこのような特性を備える THA です。これらの製品を使用すれば、高周波領域における直線性を維持したまま、信号を高速に A/D 変換してデータを収集するシステムの帯域幅を拡大することができます。

HMC661 は、シングルランクの THA 製品であり、2 種類の信号から成る出力を生成します。THA の動作にはトラック・モードの期間とホールド・モードの期間があり、それぞれ異なる性質の信号を出力するという事です。THA は、トラック・モードの期間（差動クロック電圧が正になる期間）はユニティ・ゲインのアンプとして動作します。入力帯域幅と出力アンプの帯域幅の制約は受けませんが、基本的に入力された信号をそのまま出力します。クロック電圧が正から負に遷移する際、非常に

短い時間で入力信号のサンプリングが行われます。クロック電圧が負の期間は、出力をほぼ一定の値（サンプリングした信号の代表値）でホールドします。シングルランクの HMC661 は、（姉妹品であるデュアルランクの HMC1061 と比べて）ADC の前段でサンプリングを行う多くのアプリケーションに適用できます。ほとんどの高速 ADC は、帯域幅こそ HMC661 よりもかなり狭いものの、もともと THA を内蔵しています。そのため、ADC の前段に HMC661 を追加すれば、複合的にデュアルランク（デュアルランクの HMC1061 を適用すればトリプルランク）の構造が形成されます。使用している技術や設計が同等のものであれば、デュアルランクよりも段数が少ないシングルランクの製品の方が直線性とノイズ性能が高くなります。そのため、GSPS ADC の前段で行うサンプリングについては、一般的にシングルランクの製品が最適な選択肢となります。

THA と ADC の遅延のマッピング

THA と ADC を使ってシグナル・チェーンを構成する際には、難易度が高い半面、非常に重要な作業が必要になります。それは、THA がサンプリングを行ってから、ADC でサンプリングを行うまでの遅延を設定することです。

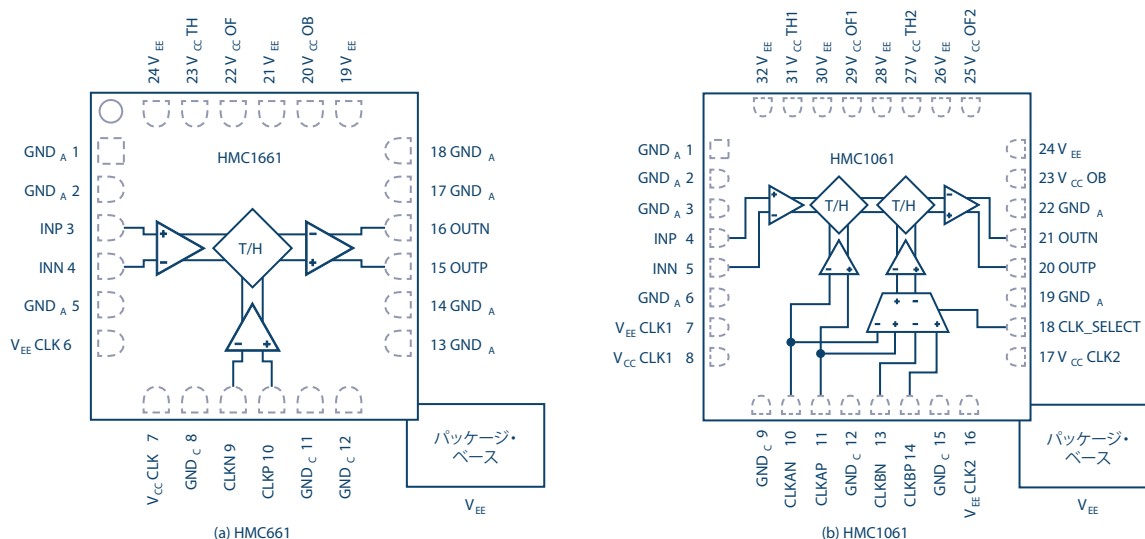


図 1. THA の例。(a) はシングルランクの HMC661、(b) はデュアルランクの HMC1061 です。

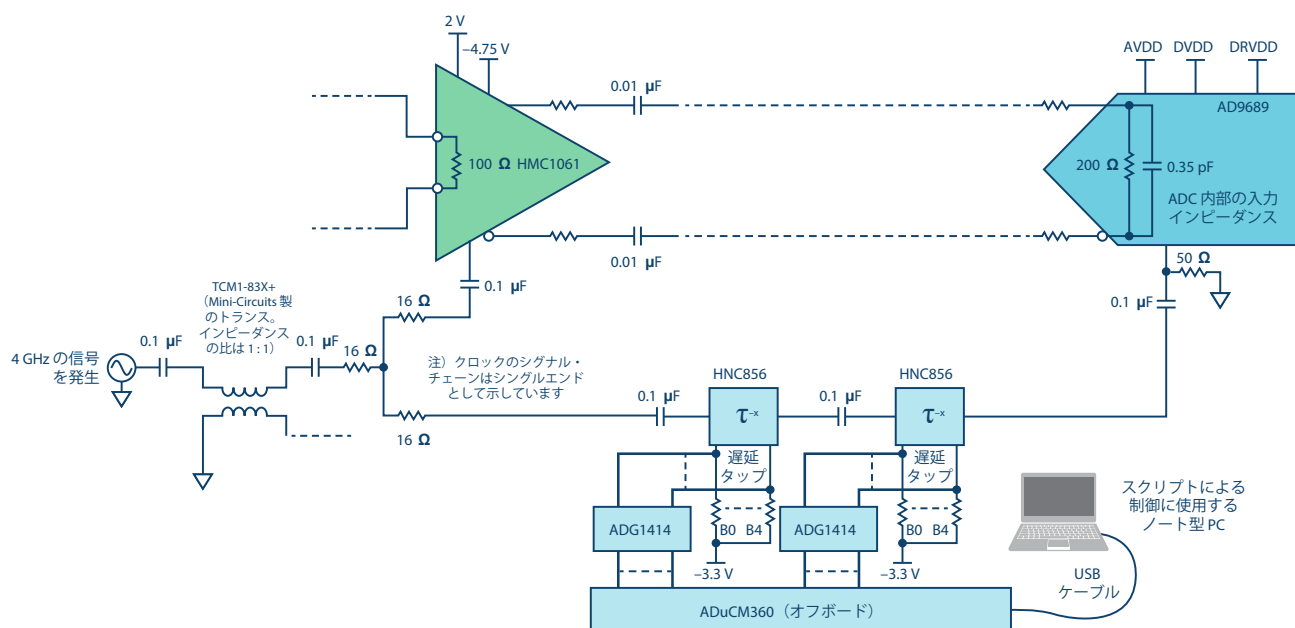


図 2. 遅延のマッピングを行うための回路

2つのサンプリング・システムの間の時間差を完璧に制御／設定する作業のことを、遅延のマッピングと呼びます。

遅延のマッピングは、ボード上で行おうとすると面倒な作業になる可能性があります。机上の解析では、プリント基板上でクロック信号がパターンを伝搬する時間に起因する遅延、デバイスの群遅延、ADCのアパーチャ遅延が考慮されていない場合があります。また、クロックを2つの異なるセグメント（1つはTHA用のクロック・パターン、もう1つはADC用のクロック・パターン）に分割する回路についても考慮されていないかもしれません。THAとADCの間の遅延を設定する1つの方法は、可変遅延ラインを使用することです。アクティブ型のものでもパッシブ型のものでもかまわないので、THAにおいてサンプリング処理を行うタイミングから、ADCにサンプリング用のクロックを転送するまでの遅延時間を適切に割り当てます。ADCは、THAからの出力信号波形のうち、ホールド・モードによってセトリングされた部分の電圧をサンプリングします。その際の精度を保証するために、遅延のマッピングを行うということです。

図2に示すように、遅延のマッピングを行うための回路には「HMC856」を使用できます。同ICは、端子設定による5ビットの制御が可能なデバイスです。基本の遅延は90ピコ秒、可変遅延のステップ・サイズは3ピコ秒で、32のステップ（2⁵）によって遅延時間を延長できます。端子設定による制御を採用したICの欠点は、設定の変更が面倒なことです。新たな遅延の設定を有効にするには、HMC856の制御用の各ビット・ピンを負電圧に引き下げる必要があります。最適な遅延設定を探すには、32通りの組み合わせに対応してプルダウン抵抗をハンダ付けしなければなりません。これは非常に面倒な作業です。そこで、遅延の設定作業を自動化して迅速に行うための回路を用意しました。その回路を使う方法では、シリアル制御のSPSTスイッチとオフボードのマイクロプロセッサを使用します。

最適な遅延の設定を見つけるために、THAとADCを組み合わせた回路に、ADCの帯域幅の範囲外となる信号を印加します。ここでは、約10GHzの信号を選択し、FFT結果の表示用ディスプレイに-6dBFSと表示されるレベルで適用しました。そうすると、信号のレベルと周波数が一定に保たれた状態で、遅延の設定の掃引がバイナリ・ステップ方式で行われます。その処理の実行中に、取得されたFFT結果が表示され、遅延の各設定に対する基本波のパワーとSFDRが示されます。

図3(a)に示した結果からわかるように、基本波のパワー、SFDR、S/N比は、遅延の設定に依存して変化します。THAによってサンプリングした電圧をADCに引き渡すタイミングに対し、サンプリングのタイミングが最適に設定されている場合に、基本波のパワーは最大になり、SFDR性能は高く（つまり、値は小さく）なります。図3(b)は、図3(a)の結果のうち、671番目の遅延ステップ付近を拡大したものです。この結果から、遅延の設定はここに固定すべきであることがわかります。遅延のマッピングは、システムで使われているサンプリング周波数に対してのみ有効です。サンプリング周波数（クロック）を変更する場合には、再度掃引を実施して最適な設定を見いだす必要があることに注意してください。この例では、HMC1061の最大サンプリング周波数である4GHzを使用してマッチングの作業を行いました。

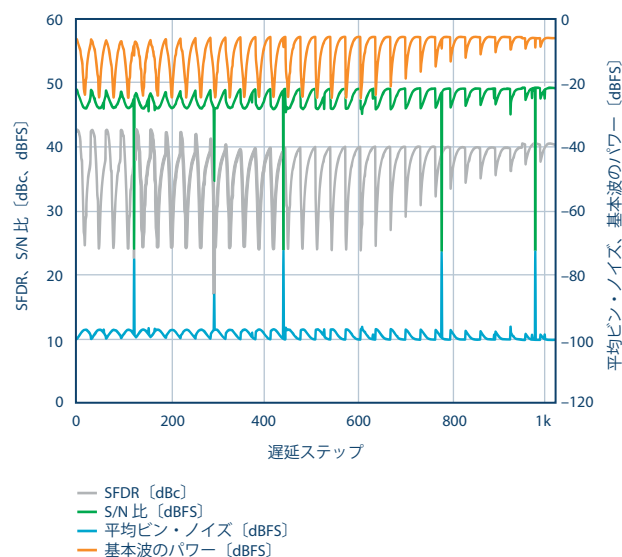
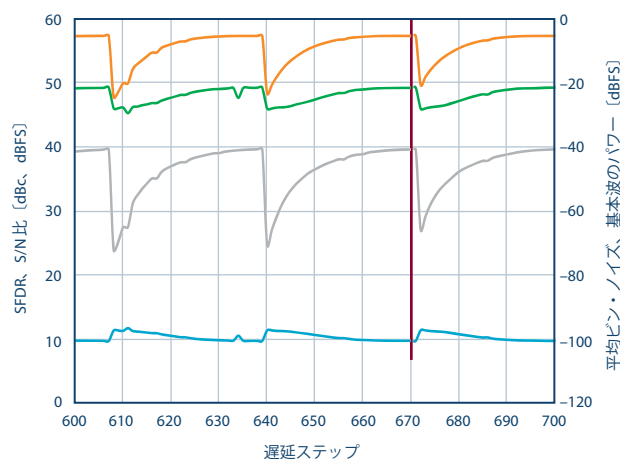


図3(a) 各遅延設定に対する信号振幅、SFDR、S/N比のマッピング結果



遅延ステップが671の場合に、S/N比、SFDR、基本波のパワーが最良になる

— SFDR [dBc]
— S/N 比 [dBFS]
— 平均ピン・ノイズ [dBFS]
— 基本波のパワー [dBFS]

図3(b) 各遅延設定に対する信号振幅、SFDR、S/N比のマッピング結果（一部を拡大）

帯域幅を最大限に拡大するためのフロントエンドの設計

あるアプリケーションにおいて、最も重要な要件が10GHzの帯域幅に対応することであったとします。その場合、当然のことながら、RFの観点から検討を始めることになります。注意が必要なのは、ADCは電力ではなく、電圧を扱うデバイスであるということです。このことから、マッチングという語の使い方について注意が必要になります。100 MSPSに対応するADCのフロントエンドをすべての周波数においてマッチングさせるのは、ほぼ不可能です。数GHzに対応するADCであればそれほど大きな差はありませんが、それでも課題は生じます。ここでは、マッチングという語を「フロントエンドの設計によって、最良の結果が得られるように最適化を行うこと」という意味でとらえてください。アプリケーションに最良の結果をもたらすには、入力インピーダンス、AC性能（S/N比やSFDR）、入出力の駆動能力、帯域幅とその通過帯域の平坦性などについて配慮する必要があります。マッチングという語は、それらすべてを包括するものとして位置付けるべきです。

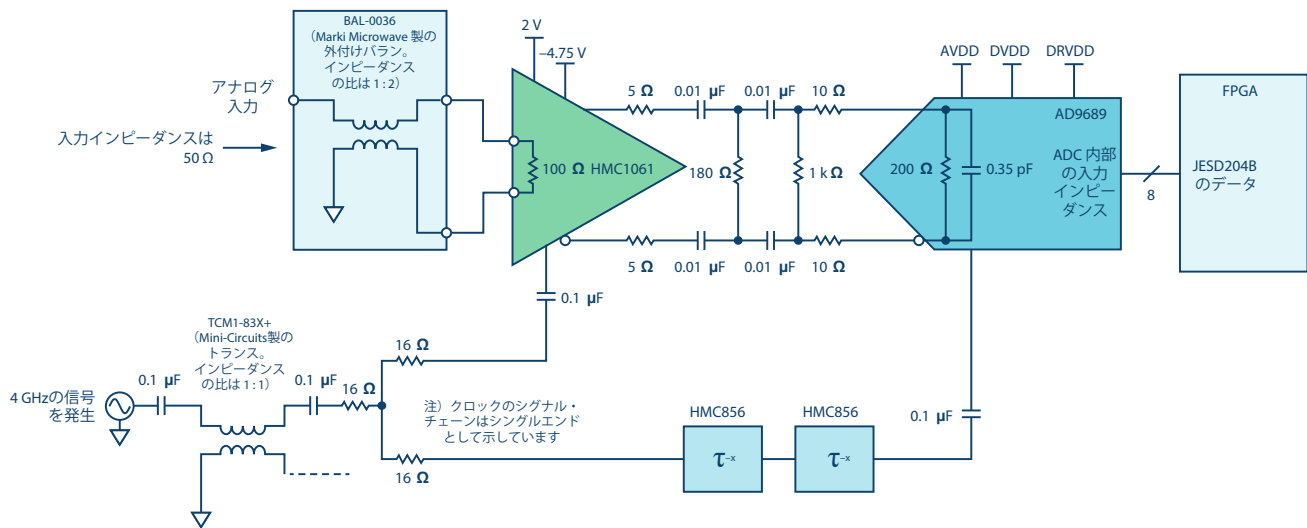


図 5. THA と ADC を組み合わせたシグナル・チェーン

アプリケーションに対するシステムの適合性は、上記のすべてのパラメータによって決まります。広帯域に対応するフロントエンドの設計を開始する際には、当然のことながらレイアウトにも注意を払わなければなりません。それだけでなく、隣接する 2 つの IC の間で生じる損失を抑えるために必要な部品数を最小限に抑えることが重要です。これら 2 つは、最大限の性能を達成するためには不可欠です。また、アナログ入力回路の接続にも細心の注意を払う必要があります。図 4 に示すように、パターン長、パターン長のマッチング、そしてビアの数の最小化が非常に重要です。

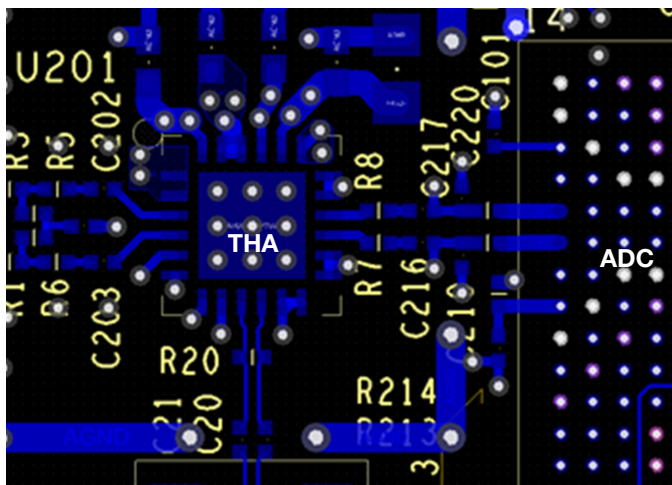


図 4. THA と ADC を実装する基板のレイアウト

ADC の 2 つの差動アナログ入力、まとめて THA の出力に接続し、単一のフロントエンド回路を構成する必要があります。それにあたっては、ビアの数とパターン長を最小にする必要があります。そこで、細心の注意を払って 2 つのアナログ入力パスからビアを引き出し、パターン接続におけるスタブを抑えるようにしました。

図 5 に、最終的に得られた回路を示しました。かなりシンプルなものであり、特筆すべきことは数えるほどしかありません。0.01 μF のコンデンサとしては広帯域に対

応可能なものを使用します。広い周波数範囲にわたってインピーダンスの平坦性を維持するためです。一般的なコンデンサでは平坦なインピーダンス応答が得られず、より多くのリップルが生じて通過帯域の平坦性を損なう可能性があります。THA の出力と ADC の入力には 5 Ω と 10 Ω の抵抗を直列に接続しています。これらの抵抗は、THA の出力のピーキングを抑制するとともに、ADC が内蔵するサンプリング用コンデンサからの残余電荷の注入による歪みを最小限に抑えます。ただし、各抵抗の値は慎重に選択する必要があります。選択を誤ると、信号の減衰量が大きくなって、THA でより多くの電力を駆動しなければならないかもしれません。あるいは、ADC のフルスケールを十分に活用できなくなる可能性もあります。

差動シャント終端は、複数の ADC を接続する場合に非常に重要な意味を持ちます。通常は、軽い負荷（この例では入力において 1 k Ω）により、直線性の維持に貢献するとともに、周波数成分の反射を防ぎます。120 Ω のシャント負荷を分岐点に配置しても同じ効果が得られますが、より重い負荷が存在することになります（この例では 50 Ω）。この負荷は THA にとって重要な要素であり、これに対して最適化が行われます。

最後に、実験を行って得られた結果を示します。図 6 に示した S/N 比の測定結果を見ると、15 GHz の範囲に対して 8 ビットの有効ビット数 (ENOB) を達成できることがわかります。同じ性能を備える 13 GHz 対応のオシロスコープの価格が 12 万米ドル（約 1330 万円）にも上ることを考えれば、かなり良い結果であると言えます。また、図 6 を見ると、L、S、C、X バンドへと周波数が高まるにつれて性能にロールオフが生じています。統合帯域幅（に含まれるノイズ）とジッタによる制約が大きな要因となり、このような特性になります。

なお、この実験では、THA と ADC の間でレベルを一定に保つために、SPI (Serial Peripheral Interface) によってアクセス可能なレジスタを使い、ADC のフルスケール入力を同 IC の内部で 1.0 V p-p に変更していることに注意してください。THA の最大出力は 1.0 V p-p なので、線形領域内の動作を維持するために、このような設定を行っています。

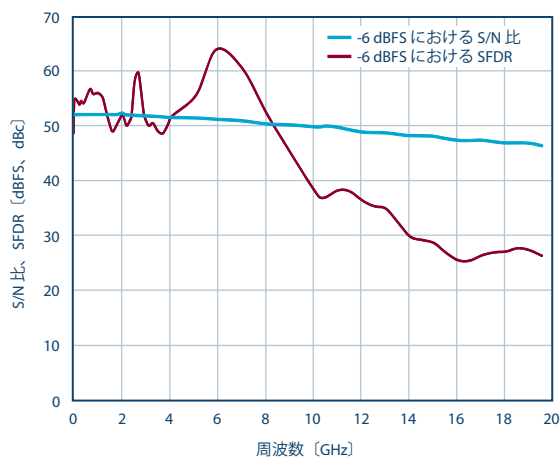


図 6. -6 dBFS における S/N 比と SFDR

図 6 には、直線性を表す SFDR の結果も示しています。直線性は 8 GHz まで 50 dBc 以上で、10 GHz を超えるまで 40 dBc を下回ることはありません。これだけ広い周波数範囲にわたって最良の直線性が得られているということです。この性能は、GSPS ADC である「AD9689」の機能を利用した最適化によって実現しています。その機能とは、SPI によって制御可能なレジスタを使い、アナログ入力部に配置されているバッファの電流値を設定するというものです。

図 7 は、通過帯域の平坦性を示したものです。AD9689 の前段に THA を追加することにより、10 GHz の帯域幅を実現可能であることがわかります。つまり、THA と組み合わせることにより、GSPS ADC のアナログ帯域幅を最大限に拡大できるということです。

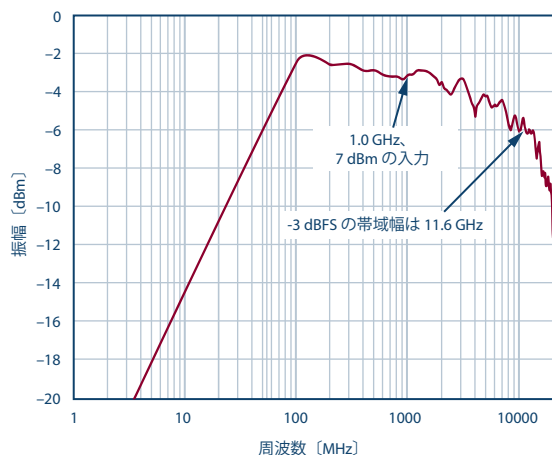


図 7. THA と GSPS ADC を組み合わせたシグナル・チェーンの帯域幅

まとめ

数 GHz のアナログ帯域幅にわたって最高の性能を得る必要があるアプリケーションについては、現時点では THA の使用がほぼ不可欠です。もちろん、ADC 自体もそうした要件を満たせるよう急速に進化しつつあります。対象

となる帯域が複数存在する場合、非常に広範な帯域幅を備える GSPS ADC であれば、すべての帯域をその ADC だけで網羅できます。このようなことができれば、非常に便利であることは明らかです。GSPS ADC を使用すれば、フロントエンド RF ストリップにおいて、1 つ以上のミックスダウン段の負担を軽減することができます。しかし、そこまで広い帯域幅を達成しようとすると、設計上の課題や性能を維持するうえでの問題が生じる可能性があります。

THA と ADC を組み合わせて使用する場合、それぞれでサンプリングを実施するタイミングを最適化する必要があります。本稿で説明したように、遅延のマッピングを行うことによって、最良の性能が得られるようになります。この作業について理解するのは容易ではありませんが、非常に重要であることは確かです。また、フロントエンドにおけるマッチングは、各アプリケーションに求められる一連の性能を最適化するうえで非常に重要な意味を持ちます。インピーダンスが 50 Ω の各種回路をレゴ・ブロックのように単純につなぐだけでは、X バンドに対応することはできません。

参考資料

アプリケーション・ノート「[Bandwidth and Performance Improvements of High Speed Analog-to-Digital Converters Using the HMC661LC4B \(HMC661LC4B による高速 ADC の帯域幅と性能の改善\)](#)」Analog Devices、2011 年

アプリケーション・ノート「[Application Note. Understanding High Speed ADC Testing and Evaluation \(高速 A/D コンバータ \(ADC\) のテストと評価について\)](#)」Analog Devices、2015 年

Jim Caserta、Rob Reeder「[アプリケーション・エンジニアに尋ねる— 36、広帯域 A/D コンバータ・フロントエンド設計について II: ADC にはアンプ駆動かトランス駆動か?](#)」Analog Dialogue 41-02

HMC10611LC5 データシート、Analog Devices

HMC661LC4B データシート、Analog Devices

Ramya Ramachandran、Rob Reeder「[Wideband A/D Converter Front-End Design Considerations: When to Use a Double Transformer Configuration \(広帯域 A/D コンバータ・フロントエンド設計について: ダブル・トランス構成はいつ使うか\)](#)」Analog Dialogue 40-07

Rob Reeder「[Transformer-Coupled Front-End for Wideband A/D Converters \(広帯域 ADC 向けのトランス結合型フロントエンド\)](#)」Analog Dialogue 39-04

謝辞

HMC661 と HMC1061 の設計者で、その背景についてご教授いただいた Mike Hoskins 氏、ならびに大半の実験データを得るためのスクリプトの作成と実行に尽力していただいた Chas Frick 氏と John Jefferson 氏に感謝します。

著者:

Rob Reeder (rob.reeder@analog.com) は、ノースカロライナ州グリーンズボロにあるアナログ・デバイスズの高速コンバータ/RF アプリケーション・グループに所属するシニア・システム・アプリケーション・エンジニアです。さまざまなアプリケーションにおけるコンバータのインターフェース、コンバータのテスト、アナログ・シグナル・チェーンの設計について多くの記事を執筆してきました。以前は、航空宇宙/防衛グループのアプリケーション・エンジニアを5年間務めており、さまざまなレーダーやEW（電子戦）、計測などの分野のアプリケーションを担当していました。高速コンバータ製品ラインを9年間にわたって担当していたこともあります。マルチチップ製品グループでテストの開発とアナログ回路の設計にも5年間携わっており、宇宙/防衛アプリケーションや高い信頼性が求められるアプリケーション向けにアナログ・シグナル・チェーン用のモジュールを設計していました。イリノイ州デカルブにあるノーザン・イリノイ大学で、1998年に電気電子工学の修士号、1996年に同学士号を取得しています。夜遅くまで論文を書いたり、ラボで回路を改造したりしていることもありますが、それ以外の時間は、ジムで過ごしたり、テクノ・ミュージックを聴いたり、中古のパレットで家具を作ったりして楽しんでいます。何よりも、2人の息子とのんびり過ごすことを楽しみにしています。



Rob Reeder

この著者が執筆した
他の技術文書

高速コンバータの
「帯域幅」とは何なの
か？—この用語の意味
を理解する

[Analog Dialogue 51-11](#)