

絶縁型ゲート・ドライバとは何か、なぜ必要なのか、どう使うのか？

著者: Sanket Sapre

Share on   

概要

パワーMOSFETやIGBTは、電圧制御型のスイッチ・デバイスです。電源回路やモータ・ドライバをはじめとする多様なシステムで使用されています。パワーMOSFETやIGBTのゲートは、電氣的に絶縁された制御端子です。その他の端子は、MOSFETの場合はソースとドレイン、IGBTの場合はコレクタとエミッタと呼ばれています。通常、パワーMOSFET/IGBTを動作させるには、ソース/エミッタを基準とする電圧をゲートに印加する必要があります。その電圧の印加には専用のドライバ（ゲート・ドライバ）が使用され、パワーMOSFET/IGBTのゲートに駆動電流が供給されます。本稿では、ゲート・ドライバとは何なのか、またそれはなぜ必要なのかを詳しく説明します。その上で、タイミング、駆動能力、絶縁性といったゲート・ドライバの基本的なパラメータについて解説します。

ゲート・ドライバが必要な理由

パワーMOSFET/IGBT（以下、パワー・デバイス）のゲートは、非線形な特性を持つコンデンサとしてモデル化できる構造で形成されています。そのコンデンサが充電されることで、パワー・デバイスはオンになります。すると、電流がドレイン端子（IGBTの場合はコレクタ端子）とソース端子（同エミッタ端子）の間に流れます。また、コンデンサが放電されるとパワー・デバイスはオフになります。それにより、ドレイン端子とソース端子の間の電圧が遮断されます。ゲートのコンデンサが充電されてデバイスに電流が流れ始める最小電圧を、スレッシュホールド電圧 V_{TH} と呼びます。パワー・デバイスをスイッチとして動作させるには、 V_{TH} よりも十分に高い電圧をゲート端子とソース/エミッタ端子の間に印加する必要があります。

マイクロコントローラを備え、そのI/Oピンによって振幅が0V~5VのPWM（パルス幅変調）信号を出力可能なロジック・システムがあったとします。そのPWM信号では、パワー・システムが備えるパワー・デバイスを完全にオンにすることができないことがよくあります。一般に、パワー・デバイスのオーバードライブ電圧は、CMOS/TTLの標準電圧よりも高いためです。そこで、ロジック回路/制御回路と大電力に対応するパワー・デバイスの間には、インターフェースが必要になります。図1 (a) に示したのがそのインターフェースの例です。まず、マイクロコントローラからの信号でロジック・レベルのnチャンネルMOSFETを駆動し、そのMOSFETによってパワー・デバイスを駆動するという仕組みです。

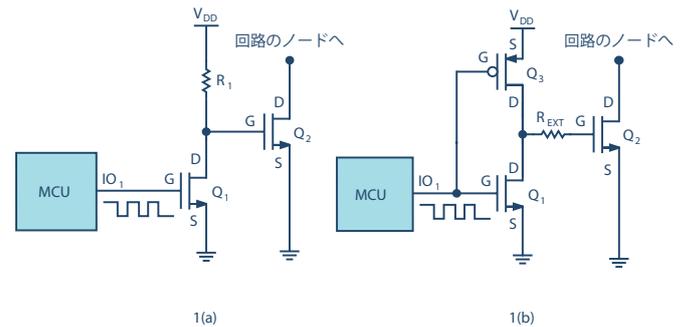


図1. 反転ロジックで駆動されるパワー・デバイス

図1 (a) において、 IO_1 がローの信号 ($V_{GSQ1} < V_{THQ1}$) を出力する場合、MOSFETである Q_1 はオフの状態に保たれます。その結果、パワーMOSFETである Q_2 のゲートには正の電圧が印加されます。すると、 Q_2 のゲートのコンデンサ C_{GQ2} がプルアップ抵抗 R_1 を介して充電され、ゲート電圧が電源電圧 V_{DD} に引き上げられます。 $V_{DD} > V_{THQ2}$ であれば、 Q_2 はオンになって電流が流れます。 IO_1 の出力が高になると、 Q_1 がオンになり、 C_{GQ2} は Q_1 を介して放電します。 V_{DSQ1} はほぼ0Vであり、 $V_{GSQ2} < V_{THQ2}$ なので、 Q_2 はオフになります。この回路の1つの問題は、 Q_1 がオンである間に R_1 で消費される電力です。この問題に対処した回路が図1 (b) です。この回路では、pMOSFETの Q_3 を Q_1 と相補的に動作するプルアップ用の素子として使用しています。pMOSは、オンの状態での抵抗値が小さく、オフの状態の抵抗値が非常に大きいので、駆動回路の消費電力は大幅に削減されます。また、この回路では、ゲートの電圧が遷移する際のエッジ・レートを制御するために、小さな外部抵抗 R_{EXT} を Q_1 のドレインと Q_2 のゲートの間に追加しています。 Q_3 を使用することのもう1つの利点としては、ダイ上では抵抗よりも容易に形成できるということが挙げられます。ここでは、パワー・デバイスのゲートを駆動する独立したインターフェース回路の例を示しました。この種の回路は、ロジック・レベルの電圧を入力してそれよりも高い電圧/電力を出力するモノリシックICとして構成することができます。それがゲート・ドライバICです。ゲート・ドライバICには、より高度な機能を持たせるためにほぼ間違いなく内部回路が追加されます。ただ、その主な機能はパワー・アンプ兼レベル・シフタと表現することができます。

ゲート・ドライバの主要なパラメータ

駆動能力

ゲートに適切な電圧を供給しなければならないという問題は、ゲート・ドライバがレベル・シフタとして機能することによって解決されます。但し、ゲートのコンデンサの電圧は瞬時には変化しません。つまり、パワー・デバイスには、ゼロではない有限のスイッチング期間が存在します。スイッチングを行った際、パワー・デバイスには高電圧/大電流が生じている状態になります。つまり、電力が消費されるので、発熱する可能性があります。そのため、スイッチング時間が最小になるように状態を高速に遷移させなければなりません。これを実現するには、大きな過渡電流によってゲートのコンデンサを素早く充放電する必要があります。

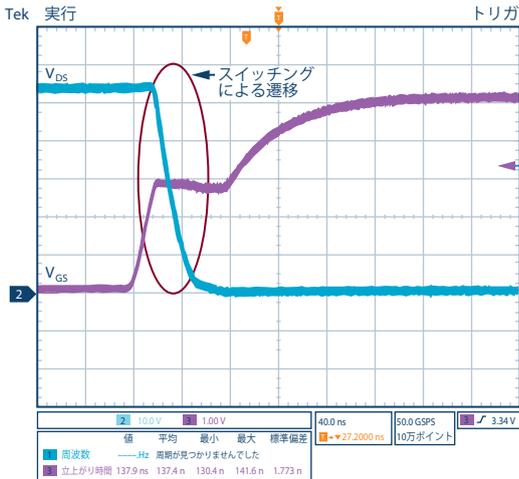


図2. MOSFETがオンになる際の電圧の遷移。ゲート・ドライバを使わない場合の結果です。

ゲートに対して多くの電流を長い時間ソース/シンクできるドライバほど、スイッチング時間は短くなります。その結果、駆動の対象となるトランジスタのスイッチングによって生じる電力損失は少なく抑えられます。

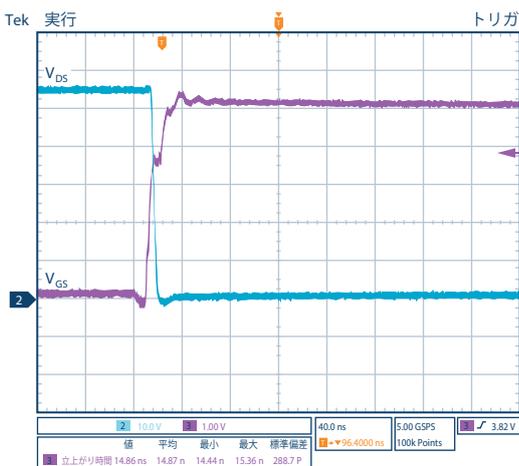


図3. MOSFETがオンになる際の電圧の遷移。ゲート・ドライバを使用した場合の結果です。

マイクロコントローラのI/Oピンの場合、定格のソース/シンク電流は最大で数十mA程度です。ゲート・ドライ

バはそれよりもはるかに多くの電流を供給できます。マイクロコントローラのI/Oピンを使い、その最大定格のソース電流でパワー・デバイスを駆動する場合、スイッチング期間は図2に示すように長くなります。一方、図3に示すように、マイクロコントローラのI/Oピンよりもはるかに多くの駆動電流を供給できる絶縁型ゲート・ドライバ「ADuM4121」で同じパワー・デバイスを駆動すれば、遷移時間をかなり短く抑えることができます。大きなパワー・デバイスをマイクロコントローラで直接駆動すると、デジタル回路内で過剰な電流が流れて過熱や損傷が生じるおそれがあります。他方、駆動能力の高いゲート・ドライバを使用すれば、立ち上がり時間と立下がり時間を数ナノ秒のレベルに抑えて高速なスイッチングを実現することが可能です。それにより、スイッチングに伴う電力損失を低減し、システムとしての効率を高めることができます。このような理由から、駆動電流はゲート・ドライバを選定する際の重要な指標になります。

定格の駆動電流に関連するのが、ゲート・ドライバの出力トランジスタの特性です。具体的には、ドレイン-ソース間のオン抵抗 $R_{DS(ON)}$ が問題になります。MOSFETが完全にオンした状態では、 $R_{DS(ON)}$ の値がゼロになるのが理想です。しかし、その物理的な構造に起因し、 $R_{DS(ON)}$ の値は一般的には数 Ω 程度になります。この値は、ドレインとソースの間の電流パスに存在する直列抵抗成分の合計値に基づいて決まります。

$R_{DS(ON)}$ は、ゲート・ドライバによって供給可能な電流の値を制限します。そのため、ゲート・ドライバにおいて最大定格の駆動能力を決定づける要素になります。この抵抗値によってシンク/ソース電流が決まるわけですが、その電流はエッジ・レートを制御するために外部の直列抵抗によって制限されます。図4に示すように、ハイサイドのオン抵抗と外部の直列抵抗 R_{EXT} が、充電パスの抵抗成分（ゲート抵抗）になります。また、ローサイドのオン抵抗と R_{EXT} が、放電パスの抵抗成分になります。

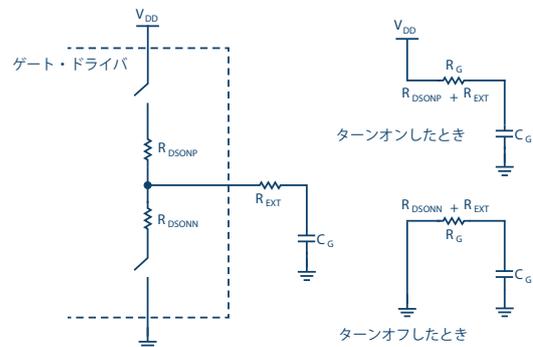


図4. ゲート・ドライバのRC回路モデル。MOSFETによる出力段を $R_{DS(ON)}$ に置き換え、パワー・デバイスをコンデンサに置き換えています。

$R_{DS(ON)}$ は、ゲート・ドライバ内部の消費電力にも直接影響を及ぼします。一定の駆動電流に対し、 $R_{DS(ON)}$ の値が小さいほど、 R_{EXT} の値を大きくすることができます。消費電力は、 R_{EXT} と $R_{DS(ON)}$ の間で分散されるので、 R_{EXT} の値が大きいくほど、ドライバの外部で消費される電力が大きくなります。したがって、システムの効率を高めると同時にドライバ内の熱管理の要件を緩和するには、ICのダイの面積とサイズに対して、 $R_{DS(ON)}$ の値は小さいほど望ましいということになります。

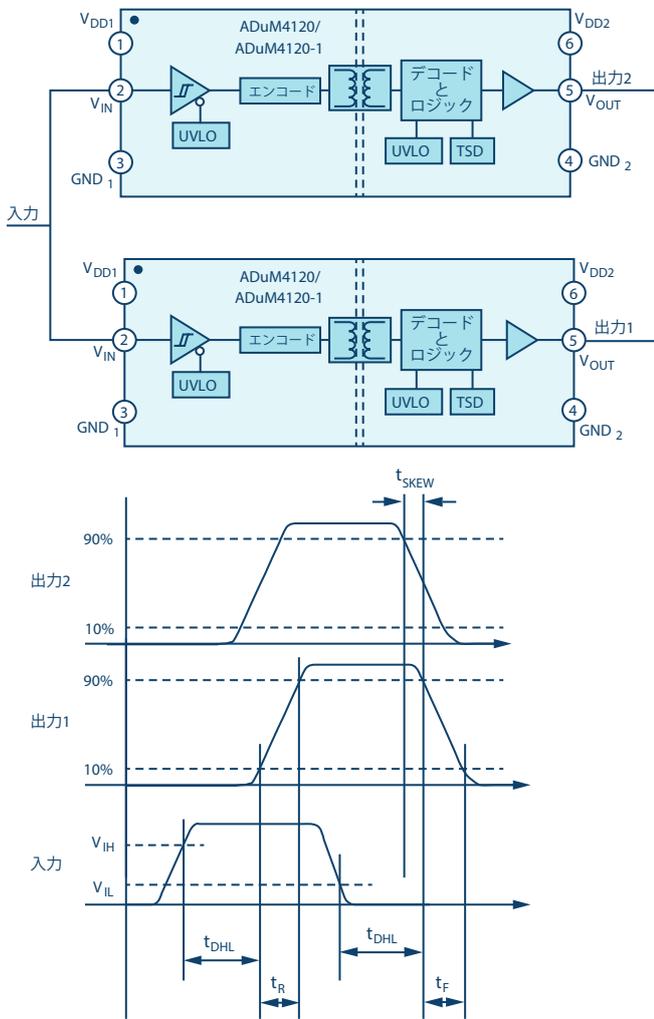


図5. ゲート・ドライバ (ADuM4120) のブロック図とタイミング波形

タイミング

ゲート・ドライバにおいて、タイミングに関するパラメータは、その性能を評価する上で必要不可欠です。すべてのゲート・ドライバに共通するタイミング仕様は伝搬遅延 t_D です。図5に示したのは「ADuM4120」のタイミング仕様です。ゲート・ドライバの伝搬遅延は、入力エッジが出力に伝搬（反映）されるまでの時間として定義されます。図5に示すように、立上りの伝搬遅延 t_{DLH} は、入力エッジが入力の上側閾値 V_{IH} を上回ってから、出力が最終値の約10%のレベルに立ち上がるまでの時間として定義することができます。同様に、立下りの伝搬遅延 t_{DHL} は、入力エッジが入力の下側閾値 V_{IL} を下回ってから、出力が最大値の90%以下に低下するまでの時間として定義できます。伝搬遅延は、立上がりエッジと立下りエッジとでは値が異なる場合があります。

図5には、出力信号の立上がり時間と立下り時間も示しています。それらのエッジ・レートは、ゲート・ドライバが供給できる駆動電流によって左右されますが、駆動する負荷にも依存します。なお、伝搬遅延には、立ち上がり時間と立ち下がり時間は影響しません。もう1つのタイミング・パラメータとして、パルス幅歪みPWDがあります。パルス幅歪みとは、デバイスごとの立上りの伝搬遅延と立下りの伝搬遅延の差です。つまり、 $PWD = |t_{DLH} - t_{DHL}|$ となります。

ICには必ず製造ばらつきが伴います。つまり、同じ品番の製品でも、個々のデバイスのトランジスタ特性には差異が存在します。そのため、2つのデバイスの伝搬遅延が全く同じになることはありません。結果として、同じデバイスを2つ以上使用すれば、伝搬遅延スキュー t_{SKEW} が生じます。ここで言う伝搬遅延スキューとは、同じ品番の2つのデバイスを同じ動作条件の下で同じ入力信号によって駆動した場合に、出力の遷移に生じる時間差のことです。図5に示すように、伝搬遅延スキューは複数のデバイス間で定義されます。複数の出力チャンネルを備える製品の場合、これと同様の仕様がチャンネル間スキューとして定義されます。なお、伝搬遅延スキューは通常は制御回路に対して定義することはできません。

図6は、電源回路やモータ・ドライバの用途に向けた標準的な回路です。ADuM4121とパワー・MOSFETを組み合わせてハーフブリッジを構成しています。この回路では、 Q_1 と Q_2 が同時にオンになると、電源端子とグラウンド端子の短絡によるシュートスルーが生じる可能性があります。それにより、スイッチやドライバが破損して回復不能になるおそれがあります。シュートスルーを防ぐには、システムにデッドタイムを設け、両方のスイッチが同時にオンになる確率を大きく低減させる必要があります。デッドタイムの間、両スイッチのゲートを駆動する信号はローになり、スイッチは理想的なオフの状態に保たれます。伝搬遅延スキューが小さいほどデッドタイムを短くでき、制御はより予測可能なものになります。スキューとデッドタイムが短いほど、システムはより円滑かつ効率的に動作します。

タイミング特性は、パワー・スイッチの動作速度に影響を及ぼす重要な要素です。そのため、これらのパラメータについて理解することが、より正確な制御回路をより容易に設計することにつながります。

絶縁性

絶縁とは、システム内で多様な機能を実現する回路の間に、直接的な導電パスが存在しないよう電氣的に隔離することです。それにより、個々の回路に異なるグラウンド電位を持たせることができます。信号や電力は、誘導性、容量性、または光学的な手段により、絶縁された回路の間で受け渡すことができます。ゲート・ドライバを使用するシステムの場合、絶縁は機能的に必要なケースもありますし、安全に関する要件として必要なケースもあります。図6において、 V_{BUS} は数百Vにも達し、数十Aの電流が Q_1 または Q_2 に流れる可能性があります。このシステムに何らかの故障が生じた場合に、電子部品が破損するだけにとどまるのであれば、安全性を確保するための絶縁は必要ないかもしれません。しかし、制御側に人間が介入することがあるのならば、高電力側と低電圧の制御回路の間には、ガルバニック絶縁が必須となります。部品が破損／故障したとしても、ユーザが感電しないように絶縁バリアによって電気を遮断することにより、高電圧側の故障から保護するということです。

規制機関や安全性の認証機関は、感電による危険を防ぐために、絶縁を義務付ける規格を定めています。絶縁には、高電力側の故障によって、低電圧側の電子部品が破損しないように保護する効果もあります。安全性を得るための絶縁の効果は、多様な方法で表現することができますが、基本的には絶縁バリアによって遮断される電圧に関連した値になります。その定格電圧は、一般にドライバの使用期間全体に対して、あるいは特定の期間や特定の条件下の過渡電圧に対して定義されます。

その電圧レベルは、ゲート・ドライバICの物理的な寸法と、絶縁バリアをまたぐピン間の最小距離にも依存します。

安全上の理由ではなく、システムを正しく動作させるために絶縁が不可欠となる場合もあります。図6のハーフブリッジ構成は、モータ・ドライバ回路で一般的に使用されます。この回路では、任意の時点でオンになるスイッチは1つだけです。高電力側において、ローサイドのトランジスタ Q_2 のソースはグラウンドに接続されています。したがって、 Q_2 のゲート-ソース間電圧 V_{GSQ2} はグラウンドを基準にすることになり、ドライバ回路の設計は比較的、単純明快なものになります。一方、ハイサイドのトランジスタ Q_1 については、ソースがスイッチング・ノードになります。つまり、どちらのスイッチがオンであるかに応じて、その電圧はバス電圧のレベルかグラウンドのレベルになります。 Q_1 をオンにするには、そのスレッショルド電圧を上回る正のゲート-ソース間電圧 V_{GSQ1} を印加する必要があります。 Q_1 がオンの状態ではソースの電圧が V_{BUS} になるので、 Q_1 のゲート電圧は V_{BUS} よりも高くなければなりません。ドライバ回路がグラウンド基準から絶縁されていない場合、 Q_1 を駆動するには V_{BUS} よりも大きな電圧が必要になります。これは、効率的なシステムを構成したいという目標に対して実用的とは言えない、面倒な解決策です。そこで、制御信号をレベル・シフトし、ハイサイドのトランジスタのソースを基準として使用します。機能的絶縁として知られるこの解決策は、「ADuM4223」などの絶縁型ゲート・ドライバを使用することで実装できます。

ノイズ耐性

ゲート・ドライバは、ノイズ源にあふれる産業環境でよく使用されます。ノイズは、データを破壊し、システムの信頼性を損ない、性能を低下させる原因になります。そのため、ゲート・ドライバは、データの完全性を確保できるように、良好なノイズ耐性を備えている必要があります。ここで言うノイズ耐性とは、ゲート・ドライバが、EMI（電磁妨害）やRFノイズ、コモンモード過渡現象をどのくらい排除できるのかという意味になります。

EMIとは、電子デバイスに期待される動作を妨害する任意の電気ノイズや磁気干渉のことです。ゲート・ドライバに影響を与えるEMIは、高周波のスイッチング回路に

起因し、大きな産業用モータからの磁場が主要な要因となって生成されます。EMIは放射または伝導によって、隣接する他の回路に結合する可能性があります。EMIに対する耐性は、ゲート・ドライバの能力を示す指標になります。つまり、電磁干渉を排除して、誤作動することなく堅牢な動作を維持できるかどうかを示されるということです。EMIに対する耐性が高いゲート・ドライバであれば、大型モータの近くに配置しても、データを伝送する際に障害を引き起こすことはありません。

図6に示すように、絶縁バリアは、電位の異なるグラウンド間で高電圧に対する絶縁性能を提供します。ただ、高周波のスイッチングでは、2次側の電圧遷移のエッジが短くなります。絶縁境界の間の寄生容量により、一方から他方にその高速トランジェントが結合し、データが損傷してしまうおそれがあります。その影響は、ゲートを駆動する信号にジッタが生じたり、信号が完全に反転したりといった形で現れます。また、効率の低下や、シュートスルーにつながるケースもあります。そこで、ゲート・ドライバの極めて重要な指標として、コモンモード過渡電圧耐圧（CMTI：Common Mode Transient Immunity）が使われています。CMTIは、絶縁型ゲート・ドライバが入出力間の大きなコモンモード過渡電圧を除去する能力を定量的に表すものです。システムのスルー・レートが高い場合には、高い耐性を備えるゲート・ドライバが必要になります。高い周波数や高いバス電圧で動作する場合には、CMTIの値が特に重要な意味を持ちます。

結論

本稿の目的は、ゲート・ドライバの概要を理解していただくことです。それに向けていくつかのパラメータを紹介しましたが、絶縁型ゲート・ドライバのすべての仕様を網羅したわけではありません。ゲート・ドライバの指標は他にも存在します。例えば、電源電圧や動作温度、ピン配列など、どのICにも共通する事柄についての考慮も必要です。また「ADuM4135」や「ADuM4136」などの製品は、保護機能、高度なセンシング機能、制御機構も備えています。現在では、多様な絶縁型ゲート・ドライバ製品が提供されています。システム設計者は、それらの仕様や機能を理解し、十分な情報に基づいて、個々のアプリケーションにとって最適な製品を選択する必要があります。

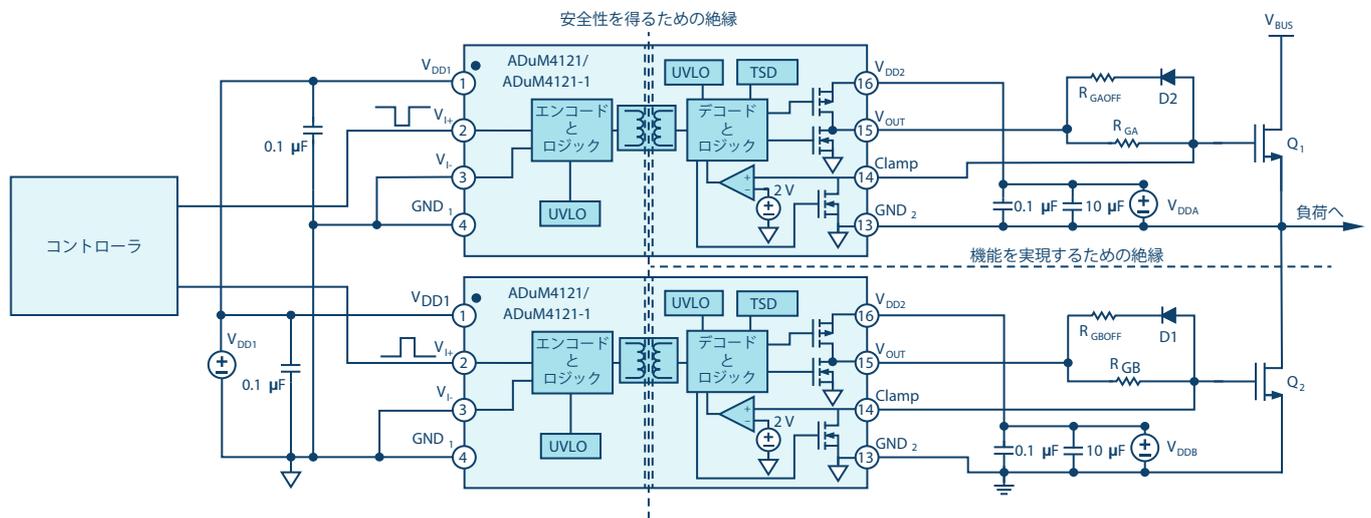


図6. ハーフブリッジ回路における絶縁バリア。絶縁型ゲート・ドライバとしてADuM4121を使用する場合の例です。

Sanket Sapre (sanket.sapre@analog.com) は、アナログ・デバイセズのインターフェース/絶縁技術グループに所属するアプリケーション・エンジニアです。iCoupler®技術によって絶縁を実現するゲート・ドライバ製品などを担当しています。ムンバイ大学で電子工学の学士号、コロラド大学ボルダー校で電気工学の修士号を取得しています。



Sanket Sapre