

プログラマブル・ゲイン機能を備える 計装アンプ——用途に適した実装方法を選択する

著者：Kristina Fortunado

Share on   

はじめに

データ・アキュイジション（DAQ）システムは、数多くの業界において、研究、解析、設計の検証、製造、テストといった幅広い用途に使用されています。DAQシステムには多様なセンサーが接続されることが多いため、フロント・エンドはいくつかの課題を抱えることになります。その1つが、様々なセンサーの感度を考慮に入れなければならないということです。例えば、感度が0.1μV未満で最大出力が10mVというセンサーにも、10Vの出力を前提としているセンサーにも、同時に対応しなければならないといったケースがあります。それらの信号を受け取るコンポーネントのゲインが固定である場合、その両方の入力を検出するには、非常に高い分解能が必要になります。また、仮に非常に高い分解能を備えていたとしても、入力が非常に小さい場合、S/N比が低下してしまうかもしれません。

このようなアプリケーションには、S/N比を最適化しつつ、様々な感度のセンサーに対応可能なインターフェースを備えるフロント・エンドが必要です。具体的には、プログラマブル・ゲイン機能を備える計装アンプ（PGIA：Programmable Gain Instrumentation Amplifier）が適切な解決策となります。アナログ・デバイセズは、優れたDC/AC性能を発揮するPGIAをIC製品として提供しています。本稿では、まず、そうしたPGIA製品を使用することで得られるメリットと制約事項について説明します。その上で、特定の要件を満たすためにディスクリート構成でPGIAを構築する場合のガイドラインを示します。

IC化されたPGIA

アナログ・デバイセズは、多様な種類のPGIA製品を提供しています。IC化されたPGIA（PGIA IC）を採用すれば、設計期間を短縮しつつ、実装面積を小さく抑えられるというメリットが得られます。この種のICは、内部に集積された高精度の抵抗アレイを使うことで、デジタル的にゲインを調整できるようになっています。抵抗アレイにトリミングを施すことで、ゲイン、CMRR、オフセットを最適化してあるため、全般的に良好なDC性能が得られます。また、優れたレイアウト技術を適用してコンパクトにIC化することにより、寄生容量を抑えつつ、高い整合性を実現しています。結果として、良好なAC性能が得られます。このようなメリットが得られるため、設計上の要件に適合するものがあれば、PGIA ICを選択することが推奨されます。表1は、代表的なPGIA ICの仕様についてまとめたものです。

どの製品を選択すべきなのは、アプリケーションに依存します。例えば、「AD825x」は、セトリング時間が短くスルー・レートが高いため、多重化システムに最適です。「AD8231」と「LTC6915」は、ゼロ・ドリフトのアーキテクチャを採用しているため、広い温度範囲に対して高い精度が求められるシステムに適しています。

表1. PGIA ICの仕様

	AD825x	AD8231	LTC6915
ゲインの設定値	AD8250：1、2、5、10 AD8251：1、2、4、8 AD8253：1、10、100、1000	1～128（6dBステップ）	1～4096（6dBステップ）
CMRR (G = 1)	80dB	80dB	125dB
ゲインのドリフト	10ppm/°C	10ppm/°C	
静止電流	4.5mA	4mA	2mA
帯域幅	10MHz	2.7MHz	200kHz
セトリング時間	0.78マイクロ秒	4マイクロ秒	
オフセット電圧 (G = 1)	1.05mV	45μV	10μV以下
オフセット電圧のドリフト	6.2μV/°C	50nV/°C	50nV/°C
入力バイアス電流	50nA	500pA	10nA
ノイズ (G = 1)	45nV/√Hz	66nV/√Hz	2.5μV p-p (0.1Hz～10Hz)
ゲインの非直線性	6ppm	3ppm	15ppm
レールtoレール入力	不可：(–V _s + 1) ～ (V _s – 1.5)	可：電源レールを0.2V超えてもかまわない	可

表2. DAQシステムICの仕様

	ADAS3022	ADAS3023	AD7124-8
概要	16ビット、1MSPS、8チャンネルのDAQシステム	16ビット、8チャンネル同時サンプリングに対応するDAQシステム	8チャンネル、低ノイズ、低消費電力、24ビットのΣΔ ADC (PGA/リファレンス内蔵)
ゲインの設定値	0.16、0.2、0.4、0.8、1.6、3.2、6.4	0.2、0.4、0.8、1.6	1~128 (6dBステップ)
CMRR (G = 1)	90dB	95dB	85dB
ゲインのドリフト	0.1ppm/°C	1ppm/°C	2ppm/°C
電流 (ゲインが最大の時) 変換レート (チャンネル数が最大の時)	12mA 125kSPS	10.5mA 125kSPS	1.2mA 19.2kSPS (フル・パワーの場合)

マルチプレクサ、PGA、ADCを集積した完全なDAQシステムICも多数用意されています。具体例としては、「[ADAS3022](#)」、「[ADAS3023](#)」、「[AD7124-8](#)」が挙げられます (表2)。

どのソリューションを選択すべきなのは、主に入力信号源の仕様に依ります。AD7124-8は、温度や圧力の測定精度が非常に高いことが求められる低速アプリケーション向けに設計されています。ADAS3022とADAS3023は、プロセス制御や電力線監視など、帯域幅が比較的に広いアプリケーションに適しています。但し、AD7124-8と比べると、消費電力が多くなります。

ディスクリート構成によるPGAの実装

上述したICでは達成できない、1つまたは2つの仕様を満たさなければならないシステムも存在します。一般的には、以下のような要件が求められる場合、ディスクリート部品を使用して独自のPGA (以下、ディスクリートのPGA) を構築する必要があります。

- ▶ 帯域幅の広い多重化システムに必要な非常に高速なスキャン・レート
- ▶ 超低消費電力
- ▶ システムにおけるカスタマイズされた増幅/減衰
- ▶ 高インピーダンスのセンサーに対応する少ない入力バイアス電流
- ▶ 超低ノイズ

ディスクリートのPGAを設計する際に、よく用いられる方法があります。それは、望ましい入力特性を備えた計装アンプを使用することです。例えば、低ノイズであることを1つの特徴とする「[AD8421](#)」を、ゲインの変更に使用する抵抗 (以下、ゲイン抵抗) を切り替えるためのマルチプレクサ (Mux) と共に使用するという具合です。

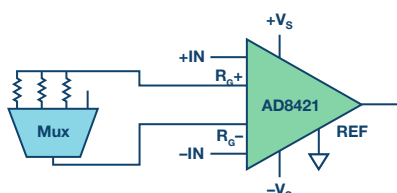


図1. AD8421の使用例。ゲインを切り替えるためのマルチプレクサと組み合わせています。

この構成では、ゲイン抵抗と直列にマルチプレクサのオン抵抗が存在することになります。そして、このオン抵抗は、ドレインの電圧に応じて変化します。このことが1つの課題になります。図2は、オン抵抗とドレイン電圧の関係を示したものです (マルチプレクサIC「[ADG1208](#)」のデータシートから転載)。

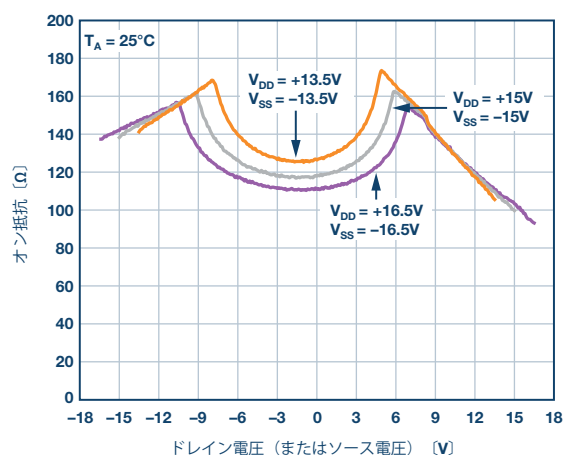


図2. オン抵抗とドレイン電圧の関係。
ADG1208の例です。

このようなオン抵抗がゲイン抵抗に直列接続されることによって、ゲインに非直線性が生じます。これは、ゲインがコモンモード電圧に応じて変化するということを意味し、望ましいことではありません。例えば、AD8421は、ゲインを10に設定する場合、1.1kΩのゲイン抵抗を必要とします。ADG1208では、ドレインまたはソースの電圧が±15Vから変化すると、オン抵抗が最大40Ωも変化します。この場合、ゲインの非直線性は約3%にも達します。ゲインが大きくなると、この誤差は更に顕著になり、オン抵抗の値がゲイン抵抗の値と同程度に達するケースもあります。

オン抵抗が小さいマルチプレクサを使用すれば、この影響を最小限に抑えることができます。ただ、その方法には、入力容量が大きくなるという代償が伴います。表3に、ADG1208と「ADG1408」のオン抵抗と容量の値を示しました。

表3. 各マルチプレクサのオン抵抗と容量

	ADG1208	ADG1408
オン抵抗（代表値）	120Ω	4Ω
ドレインとソースの容量（代表値）	7pF	135pF

図1の構成を採用した場合、スイッチの入力容量が問題になる可能性があります。3ピンの計装アンプの場合、一般に、 R_G ピンが容量に対して非常に敏感だからです。スイッチの容量は、図1の回路において、ピーキングや不安定性の原因になるおそれがあります。更に大きな問題は、 R_G ピンにつながる容量の不均衡により、計装アンプの主要な仕様であるCMRR（AC）が低下することです。図3のシミュレーション結果は、AD8421のゲイン・ピンにマルチプレクサを接続した結果、CMRRが低下する様子を表しています。このグラフから、容量の増加に伴ってCMRRがより低下することがわかります。

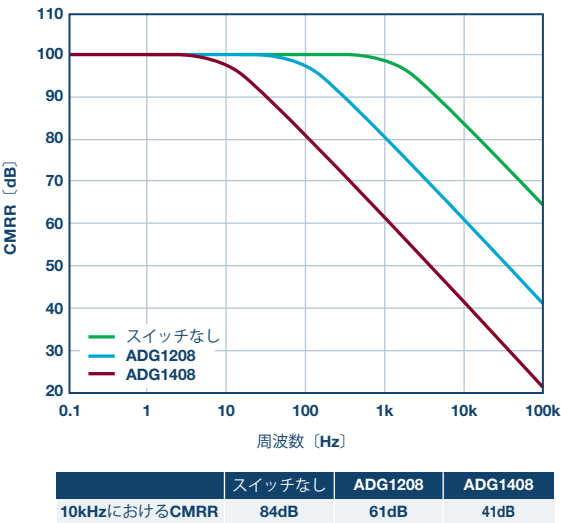


図3. CMRRのシミュレーション結果。使用するスイッチに依存して差が生じることがわかります。

CMRR（AC）の低下を緩和するための最良の策は、2本の R_G ピンのインピーダンスを等しくすることです。すなわち、図4に示すように抵抗値を等しくし、2個の抵抗の間にスイッチング部品を配置します。ただ、この場合、スイッチの2端の容量が本質的に不均衡であるため、マルチプレクサは最適には機能しません。また、マルチプレクサのドレイン同士が短絡されるので、 R_G ピンの片側には1個の抵抗しか使用できず、やはり不均衡が生じます。

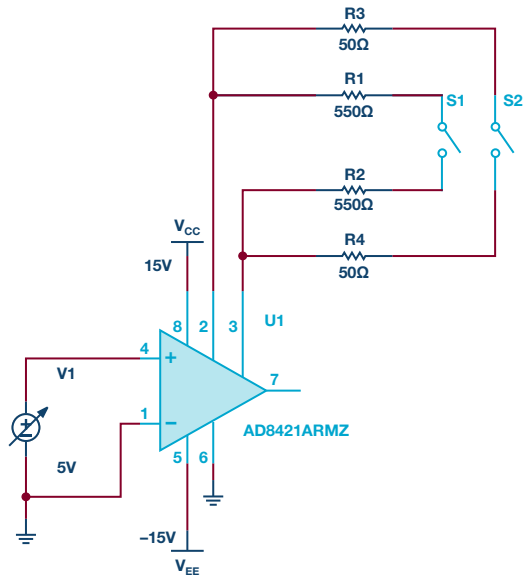


図4. 均衡のとれた構成を採用したディスクリートのPGIA

このような場合には、クワッド型のSPSTスイッチ「ADG5412F」などの製品が推奨されます。このスイッチにより、均衡のとれた抵抗を使う上での柔軟性が得られるほか、ドレインとソースの容量が均衡化され、CMRRの低下が緩和されます。図5は、AD8421のゲイン・ピンにマルチプレクサを適用した場合と、クワッド型のSPSTスイッチを適用した場合のCMRR（AC）を比較したものです。

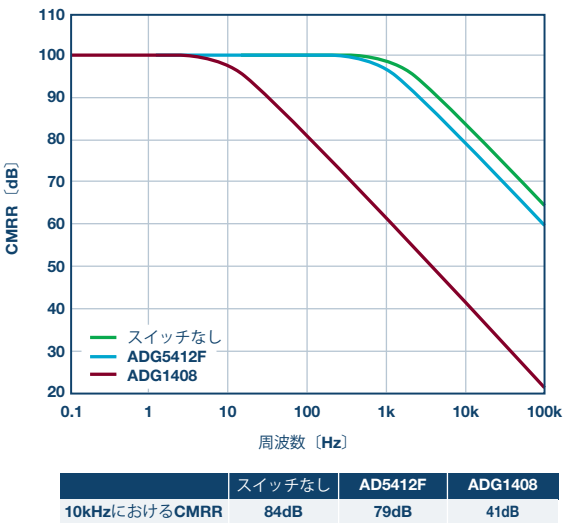


図5. CMRRのシミュレーション結果。
マルチプレクサを使用した場合と
SPSTスイッチを使用した場合を比較しています。

図6に示すように、ADG5412Fはオン抵抗が小さく、ドレイン電圧またはソース電圧に対して、非常に平坦な特性を示します。ドレイン電圧またはソース電圧に対する変化量は、最大でも1.1Ωです。最初に示したAD8421の例では、ゲインを10に設定したい場合、ゲイン抵抗の値は1.1kΩにする必要がありました。ここでスイッチとしてADG5412Fを使用すると、スイッチに起因するゲインの非直線性は、わずか0.1%に抑えられます。ただ、それでもやはりドリフトは生じます。また、ゲインが高くなるとドリフトはより顕著になります。

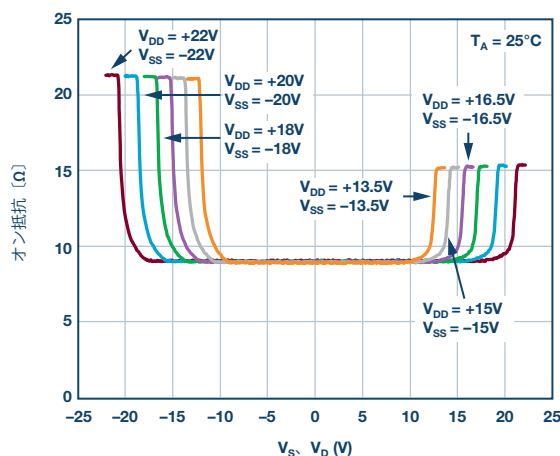


図6. コモンモード電圧に対する
ADG5412Fのオン抵抗

計装アンプについては、スイッチの寄生抵抗が及ぼす影響を排除するために、様々なアーキテクチャが考案されています。そうしたアンプを使用することで、任意のゲインを得ることができます。例えば、「AD8420」と「AD8237」は、間接電流帰還（ICF：Indirect Current Feedback）アーキテクチャを採用しています。これらのICは、消費電力は少なくなければならないものの、帯域幅は狭くても構わないアプリケーションに対する適切な選択肢となります。この構成において、スイッチは高インピーダンスの検出パスに配置されるので、スイッチのオン抵抗が変化しても、ゲインに影響は生じません（図7）。

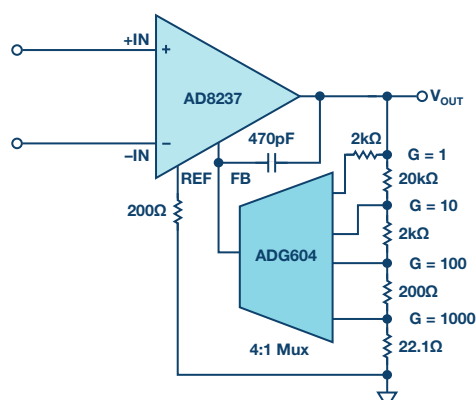


図7. 計装アンプを用いたディスクリートのPGIA。
計装アンプはICFアーキテクチャを採用しています。

この種のアンプのゲインは、非反転アンプの場合と同様に、外部抵抗の比によって設定されます。設計上の要件に応じてゲイン抵抗を選択できるので、高い柔軟性を得ることが可能です。標準的な薄膜抵抗や金属皮膜抵抗の温度係数は、15ppm/°C程度に抑えられています。そのため、標準的な計装アンプを使う場合よりも、ゲインのドリフト性能は優れています。1個の外部抵抗でゲインを設定する標準的な計装アンプでは、アンプが内蔵する抵抗と外部抵抗の不整合によって、ゲインのドリフトは50ppm/°C程度になります。抵抗ネットワークを使用して、許容誤差と温度係数のトラッキング精度を高めることにより、最大限のゲイン誤差とドリフト性能を得ることができます。但し、それにはコストがかかります。そこまでする必要はないという場合には、ディスクリートの抵抗を使用することが望ましいでしょう。

最も柔軟性の高いソリューションは、オペアンプを3つ使用するアーキテクチャで計装アンプを構成し、それにディスクリート部品を組み合わせるPGIA（以下、トリプルアンプのPGIA）を実現する方法です。図8のような構成で、マルチプレクサによってゲイン抵抗を切り替えます。オペアンプの場合、計装アンプよりも選択肢がはるかに多いので、個々のアプリケーションの要件を満たしつつ、自由に設計を行うことができます。また、フィルタなどの機能を、この最初の段に組み込むことも可能です。このアーキテクチャの2段目には、「AD8276」のようなディファレンス・アンプが使用されます。

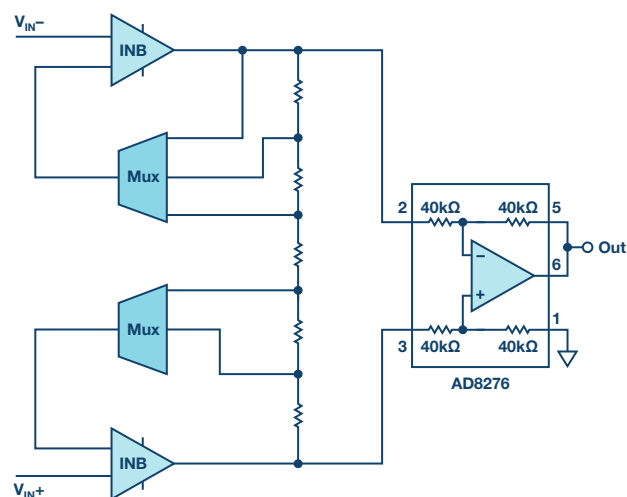


図8. トリプルアンプのPGIA

入力アンプの選択する際には、DAQシステムの要件を最大限に考慮しなければなりません。例えば、消費電力を抑えるように設計するには、静止電流の少ないアンプを使用する必要があります。また、高インピーダンスのセンサーを入力に接続したい場合には、誤差を最小限に抑えるために、バイアス電流が非常に少ないアンプを使用しなければなりません。更に、高い精度で温度をトラッキングしたい場合には、デュアル・アンプを使用する必要があります。

図8の構成を採用すれば、スイッチのオン抵抗がアンプの高インピーダンスの入力に直列に接続されることになるので、ゲインに影響が及びません。先述したように、オン抵抗とスイッチの入力容量の間には、トレードオフが存在します。これについても、オン抵抗に関する制約が排除されるため、「ADG1209」といった入力容量の小さいスイッチを選択できます。それにより、安定性やCMRR（AC）の低下を回避することが可能になります。

この設計においても、抵抗によってゲインの精度とドリフトが決まります。アプリケーションの要件を満たす適切な許容誤差とドリフト性能を備えたディスクリートの抵抗を選択すればよいでしょう。この場合も、抵抗ネットワークを使用して、許容誤差と温度に対するトラッキング性能を向上させれば、コストはかかるものの、更に精度を高めることができます。

トリプルアンプのPGIAの場合、2段目ではコモンモード電圧の除去を行います。最良のCMRRを確保するために、この段では抵抗ネットワークを内蔵するディファレンス・アンプを使用します。シングルエンド出力で帯域幅が比較的狭いアプリケーションでは、AD8276が適切な選択肢となります。差動出力と広めの帯域幅が必要な場合には、「AD8476」が適しています。2段目の回路として、標準的なオペアンプと共に、抵抗ネットワーク製品「LT5400」をゲイン抵抗として使用する方法も考えられます。その場合、基板面積が大きくなりますが、アンプの選択肢が増えるため、アプリケーション固有の要件を満たしつつ、柔軟な設計を行うことが可能になります。

ディスクリートのPGIAを採用する場合、その基板レイアウトには、十分に注意を払う必要があります。レイアウトに不均衡な部分が存在すると、周波数に依存してCMRRが低下してしまいます。

表4は、ここまでで説明した各実装手法のメリットとデメリットをまとめたものです。

表4. PGIAの実装手法の比較

実装手法	長所	短所
PGIA IC	▶ 設計負荷が最も小さい ▶ 良好なAC/DC性能が得られるように最適化されている ▶ CMRR性能が保証される ▶ 必要な基板面積が小さい ▶ シングルコンポーネントのソリューション	▶ 選択肢が限られる
均衡のとれた構成（計装アンプとスイッチ）	▶ トリプルアンプのPGIAと比べると設計負荷は小さい	▶ 適切に設計しないと不安定になりやすい ▶ トリプルアンプのPGIAと比べると計装アンプの選択肢が少ない ▶ スwitchのオン抵抗がゲインの誤差とドリフトにつながる
IICFとマルチプレクサ	▶ トリプルアンプのPGIAと比べると設計負荷は小さい ▶ 簡単に構成が可能 ▶ スwitchのオン抵抗は、ゲインの誤差とドリフトの原因にはならない	▶ 入力範囲が制限される ▶ 柔軟性が低い。ICFに対応する計装アンプの種類が少ない
トリプルアンプのPGIA	▶ オペアンプは計装アンプよりも選択肢が多いので、柔軟性が最も高い ▶ より柔軟な構成が可能なので、フィルタや差動出力などの選択肢を組み込むことができる ▶ スwitchのオン抵抗は、ゲインの誤差とドリフトの原因にならない	▶ 必要な部品点数が多い ▶ 基板面積が大きくなる ▶ 主要な仕様を達成するための設計負荷がかなり大きい

ディスクリートのPGIAの設計例

図9に示したのは、特定の仕様に応じて構築されたディスクリートのPGIAの例です。この回路は、消費電力を非常に少なく抑えることを大きな目標として設計されています。入力バッファとしては、電源電流が最大でもわずか2μAの「LTC2063」を使用しています。スイッチング部品としては、電源電流が最大1μAで入力容量が小さいことを特徴とする「ADG659」を選択しています。

この回路では、受動部品の選択についても注意を払う必要があります。消費電力に関する要件を満たすように選択しなければならないということです。受動部品を適切に選択しなければ、消費電流が多くなり、低消費電力のICを採用した意味が薄れてしまいます。具体的には、ゲイン抵抗の値を十分に大きくとり、電流が過剰に流れないようにしなければなりません。図9のゲイン抵抗は、1、2、5、10の各ゲインを実現できるように選択されています。

また、図9の回路では、2段目のディファレンス・アンプとしてLTC2063を使用しています。併せて、優れた整合性を備えるクワッド型の抵抗ネットワークとして、LT5400（1MΩ）を採用しています。これにより、消費電流が最小限に抑えられると共に、整合性の高い抵抗によって優れたCMRRが確保されます。

この回路を5Vの電源電圧で動作させ、コモンモード電圧、差動入力電圧、ゲインを変化させながら、性能の評

価を行いました。リファレンスと入力電源電圧の中央値に維持される最良の条件下で、回路の消費電流はわずか4.8μAでした。

差動入力電圧の変動により、ゲイン抵抗に電流が流れて消費電流がいくらか増加する場合があります。その値は、 $|V_{OUT} - V_{REF}| / (2M\Omega \parallel 1M\Omega)$ で求められます。図10は、ゲインが1、10の場合の電源電流と出力電圧の関係を示したものです。ゲインの違いによる影響を見取することができます。

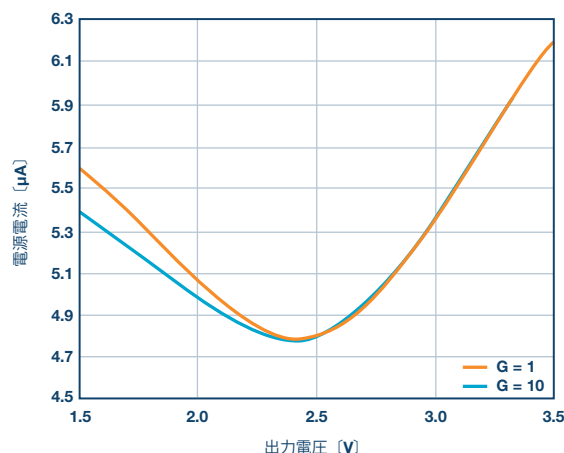


図10. 電源電流と出力電圧の関係

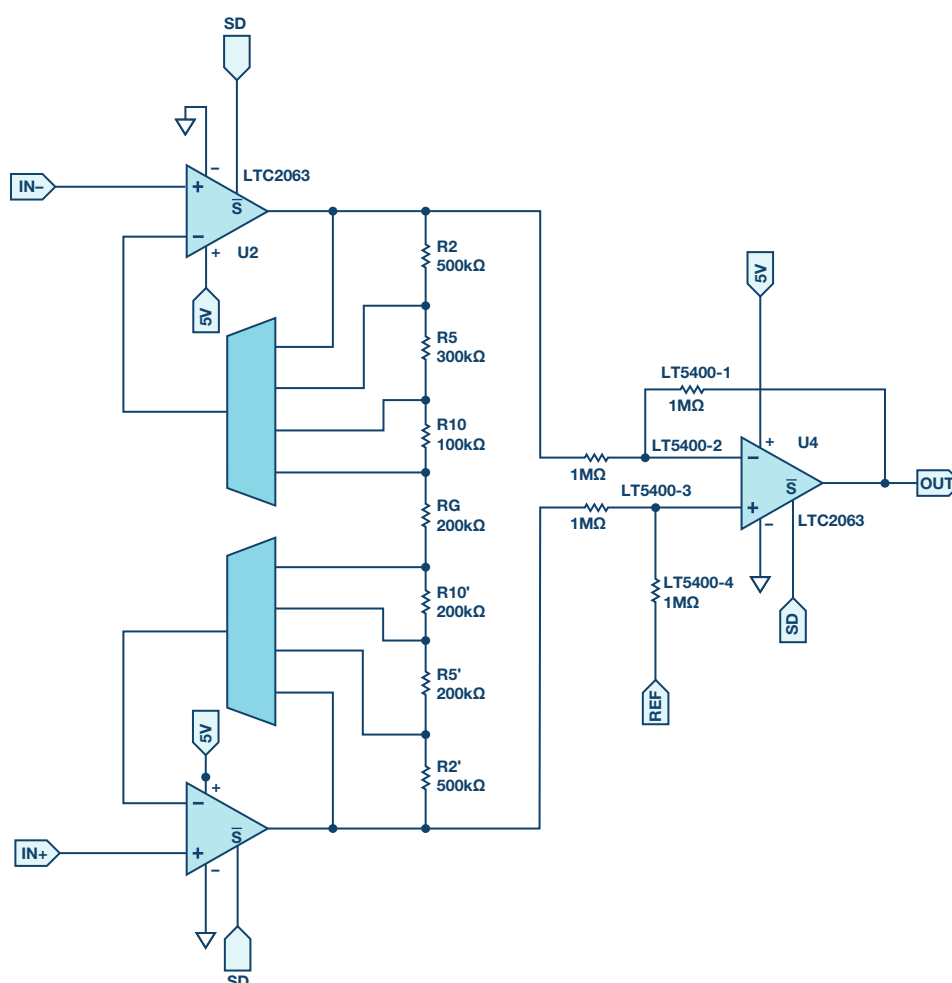


図9. 消費電力を抑えるように設計されたPGIA

消費電流は、入力に印加されるコモンモード電圧に依存して、更に増加することがあります。印加電圧に応じて2段目の抵抗に電流が流れるからです。その値は、 $|V_{CM} - V_{REF}|/1M\Omega$ で求められます。LT5400の抵抗値として1MΩを選択したのは、この値を最小化するためです。

図11に、ゲインが異なる場合のコモンモード電圧と消費電流の関係を示しました。

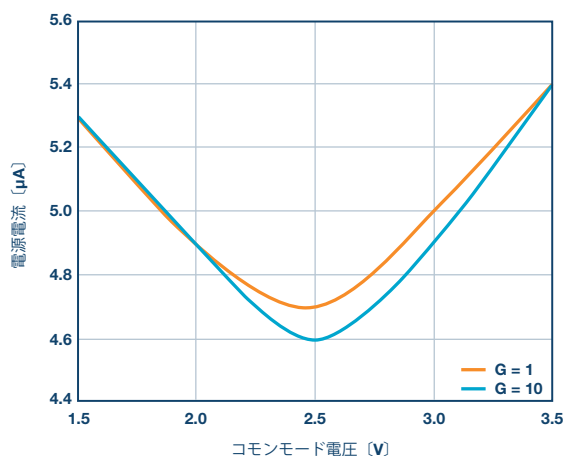


図10. コモンモード電圧と消費電流の関係

回路をシャットダウン・モードに設定することで、静的電流も測定しました。すべてのコンポーネントをシャットダウンした場合、回路の消費電流はわずか180nAでした。コモンモード電圧、リファレンス電圧、差動入力電圧などを変化させても、それらがすべて電源電圧の範囲内にある限り、静的電流の値は変化しません。消費電力を更に抑える必要があり、電源のオン/オフを実施したい場合には、すべてのコンポーネントをパワー・ダウンすることが可能です。そのため、この回路は、バッテリー駆動の携帯型アプリケーションに非常に適しています。その主要な仕様は、PGIA ICでは達成できないレベルに達しています。

まとめ

PGIAは、様々な感度のセンサーが混在するDAQシステムにおいて、良好なS/N比を達成するために不可欠なコンポーネントです。PGIA ICを使用すれば、設計期間を短縮することができ、フロント・エンドの全般的なDC/AC性能も高くなります。要件に合致する製品があれば、PGIA ICを使用して設計を行うことが推奨されます。しかし、既存のIC製品では達成できない仕様がシステムの要件に含まれている場合には、ディスクリートのPGIAを設計する必要があります。設計に関する推奨事項に適切に従うことにより、ディスクリート方式でも最適な回路を実現することが可能です。また、様々な実装に対する評価を実施することで、特定のアプリケーションに対してどの構成が最適であるかを判断することができます。

本稿の執筆にあたり、技術面で協力していただいたScott Hunt氏とPaul Blanchard氏に感謝します。

著者：

Kristina Fortunado (kristina.fortunado@analog.com) は、2009年にアナログ・デバイセズに入社しました。リニア製品／ソリューション・グループで製品アプリケーション・エンジニアとして業務に携わっています。デ・ラ・サール大学で電子／通信工学の学士号を取得しています。



Kristina Fortunado