

ドライバ回路の設計を容易化する $\Sigma\Delta$ 型/SAR型の最新ADC

著者: Stuart Servis、Miguel Usach Merino

はじめに

ウェブ上には、「A/Dコンバータ用のドライバ回路の設計」に関する記事が数多く公開されています。400万件にも上る参考情報の中から、自分にとって重要なものを見つけ出すのは、容易なことではないはずです。これについては、アナログ/ミックスドシグナル技術を利用してデータ・アキュイジション・システムを設計している技術者であれば同意してもらえましょう。ドライバ回路（バッファ）を内蔵していないA/DコンバータICを使用する場合、外付けのフロントエンド回路を用意することになります。その設計には、かなりの忍耐が求められると共に、適切な参考情報が必要になります。ドライバ回路の設計作業は、いわば芸術の域に達しており、長い年月をかけて自らの技能を磨き上げてきたエキスパートだけしか対応できない領域だと見なされることさえあります。逆に、十分な経験を持たない人にとって、ドライバ回路の設計は、試行錯誤を伴う辛い作業になるはずで、仕様上のいくつもの項目が互に関連性を持つため、最適な結果が得られるまで、何度もトレードオフ（と評価）を行わなければならないからです。設計作業を行っている期間、いらだちを募らせながら過ごすことになるでしょう。

課題

アンプ段は、互に関連性を持つ2つの異なる段で構成されます。いずれの段も非直線性を持つことから、問題を数学的にモデル化することが困難です。アンプ段の設計における最初のステップは、センサーの出力をバッファしてA/Dコンバータ（ADC）の入力部を駆動するためのオペアンプICを選択することです。次のステップは、入力帯域幅を制限して帯域外のノイズを最小限に抑えるためのローパス・フィルタを設計することです。

理想的なアンプとは、次のようなものでしょう。すなわち、自らがノイズ源になることはなく、センサーやトランジェンサによって生成された信号を正しくバッファできるだけの帯域幅を備え、電力を全く消費しないデバイスです。もちろん、現実のアンプはその理想とは遠くかけ離れています。ほとんどの場合、アンプの仕様に応じて、システムのノイズ、歪み、消費電力といった性能が決まります。問題の全体像を適切に捉えるためには、まず離散時間型（Discrete Time）ADCの動作について理解する必要があります。

離散時間型ADCでは、連続時間領域にあるアナログ信号のサンプリングを行います。その後、デジタル・コードへの変換を実施します。アナログ信号をサンプリングする際には、ADCの種類に応じて2つの異なる処理が行われます。ただ、両者が抱える本質的な問題は同じです。

逐次比較型（SAR）ADCは、サンプル&ホールド（トラック&ホールド）回路を内蔵しています。この回路は、基本的にはスイッチとコンデンサで構成されており、変換が完了するまでアナログ信号を保持する役割を果たします（図1）。

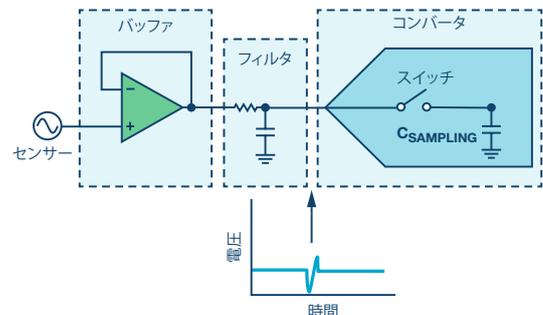


図1. ADCとフロントエンド回路。
ADCはサンプル&ホールド回路を内蔵しています。

シグマ・デルタ（ $\Sigma\Delta$ ）方式の離散時間型ADC（オーバーサンプリング方式のADC）も、サンプル&ホールド回路と似た入力段を内蔵しています。 $\Sigma\Delta$ ADCのサンプリングのメカニズムは、SAR ADCとは少し異なります。ただ、サンプリング回路の入力構造は、スイッチとコンデンサによってアナログ入力信号を保持するサンプル&ホールド回路とほぼ同じです。

いずれのADCでも、スイッチはCMOSプロセスで実装されます。クローズの状態における抵抗値はゼロではなく、通常は数 Ω 程度になります。ADCの入力帯域幅は、この直列抵抗とpFのレベルのサンプリング用コンデンサとの組み合わせによって決まります。通常、この入力帯域幅は非常に広く、ADCのサンプリング周波数よりもはるかに高い周波数に対応できます。

帯域幅の問題

ADCでは、入力信号の帯域幅が問題になります。サンプリング定理で述べられているとおり、ナイキスト周波数（ADCのサンプリング周波数の1/2）よりも高い周波数成分が入力信号に含まれていると、対象とする帯域内に折り返しイメージ（エイリアス）が生成されます。そのため、入力信号からナイキスト周波数よりも高い周波数成分は、除去しておかなければなりません。ADCのナイキスト周波数よりも上の周波数帯には、大量のノイズ電力が存在する可能性があります。そのノイズ成分にあらかじめ対処しておかなければ、ナイキスト周波数よりも下の帯域に折り返しが発生するということです。そうすると、図2に示すように、ノイズ・フロアが高くなり、システムのダイナミック・レンジが実質的に低下してしまいます。

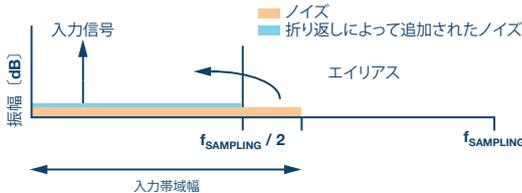


図2. ナイキスト周波数以下の領域に現れる折り返しイメージ

ADCの入力帯域幅とその延長線上にあるバッファの出力帯域幅は、最初に解決しなければならない課題です。ノイズが折り返さないようにするには、ADCの入力信号に対して帯域制限をかける必要があります。しかし、それは容易に実現できることではありません。

一般に、ドライバ回路用のアンプとしては、振幅の大きい信号の帯域幅（つまりスルー・レート）とゲイン帯域幅積（GB積）の仕様に基づいて、入力信号のワースト・ケースの条件に対応できるものが選択されます。それにより、ADCがどれだけ高速のイベントをトラッキングできるかが決まります。

しかし、アンプの実効ノイズ帯域幅は、振幅の小さい信号の帯域幅（一般的には、10mV p-p未満の信号が想定されます）と等価です。通常、この値は、振幅の大きい信号の帯域幅よりも少なくとも4~5倍は広くなります。

つまり、大信号の帯域幅として500kHzを選択すると、小信号の帯域幅は2MHzや3MHzといった値になり、ADCによって大量のノイズがサンプリングされてしまう可能性があります。したがって、アナログ信号をADCに入力する前に、小信号の帯域幅を外部で制限しておく必要があります。さもなければ、ADCのデータシートに記載されている仕様の3~4倍のノイズが観測されてしまいます。

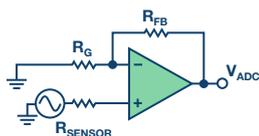


図3. 非反転増幅回路

アンプによって生成される熱ノイズは、アンプのゲインとシステムのトータル帯域幅に依存します。図3にアンプ回路の例を示しました。また、表1にはこの回路のノイズ源についてまとめています。

表1. アンプの出力換算ノイズ

ノイズ源	出力換算ノイズ
R_{SENSOR}	$\left(1 + \frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times \sqrt{4 \times k \times T \times R_{\text{SENSOR}}} \times \sqrt{BW}$
R_{G}	$\left(-\frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times \sqrt{4 \times k \times T \times R_{\text{FB}}} \times \sqrt{BW}$
R_{FB}	$\sqrt{4 \times k \times T \times R_{\text{FB}}} \times \sqrt{BW}$
アンプの電流ノイズ	$\sqrt{(I_{\text{NOISE}} \times R_{\text{FB}})^2 + \left[\left(1 + \frac{R_{\text{FB}}}{R_{\text{G}}}\right) \times I_{\text{NOISE}} \times R_{\text{SENSOR}}\right]^2} \times \sqrt{BW}$

各抵抗値の単位はΩで、各定数/変数の意味は以下のとおりです。

T：温度（単位はケルビン）

k：ボルツマン定数（ $1.38 \times 10^{-23} \text{J/K}$ ）

BW：小信号の帯域幅

表1に示した式から、ADCの入力ピンの前には、十分な減衰量が得られるローパス・フィルタを追加し、サンプリングされるノイズを最小限に抑えなければならないことは明らかです。ノイズは帯域幅の平方根に比例するからです。一般に、広帯域にわたるノイズの大半は、ディスクリートの抵抗とコンデンサを使って十分に低いカットオフ周波数が得られるように構成した1次のローパス・フィルタによって除去できます。この1次のローパス・フィルタを使えば、ADCによってサンプリングされる前に、帯域外のすべての大振幅の信号を減衰し、それらが折り返される可能性を排除することもできます。

しかし、問題はそれだけではありません。ADCが内蔵するコンデンサとスイッチの抵抗は、アナログ入力帯域幅を決定する要因です。それに加えて、入力信号の変化に伴う時間領域の充電/放電サイクルも決定します。スイッチ（ADCのサンプリング用コンデンサに接続された外部回路）が閉じる度に、内蔵コンデンサの電圧は、サンプリング用コンデンサが以前保持していた電圧とは異なる値になる可能性があります。

キックバックの問題とは？

アナログ回路に関するよく知られた問題に、次のようなものがあります。「2つのコンデンサが、1つのスイッチを介して並列に接続されているとします。そのスイッチは開いていて、片方のコンデンサにだけエネルギーが蓄えられています。その状態でスイッチを閉じると、両方のコンデンサの電圧はどうなりますか？」というものです（図4）。その答えは、コンデンサに蓄えられているエネルギーとコンデンサの容量比に依存します。例えば、図4のように、両方のコンデンサの値が等しい場合、エネルギーは両者の間で等しく分配されます。その結果、充電されていたコンデンサの電圧は、1/2に低下します。



図4. スイッチを介して並列に接続されたコンデンサ。最初の状態では、左のコンデンサは充電されており、右のコンデンサは充電されていません。

この振る舞いがベースとなり、キックバックの問題が生じます。

ADC製品の中には、キャリブレーション機能を内蔵しているものがあります。それを実行することで、内部の誤差が補正されます。この機能は、オートゼロ・キャリブレーションと呼ばれています。キャリブレーションが実行されると、サンプリング用コンデンサの電圧は、電源電圧や、リファレンス電圧の1/2に近い値になります。

これは、アンプによってバッファされる外部信号の電圧と、新たなサンプルを取得するためにアナログ値を保持するサンプリング用コンデンサの電圧が等しくない状態が頻繁に発生するということを意味します。その状態では、サンプリング用コンデンサを充電/放電し、バッファの出力と同じ電位にしなければなりません。そのために必要なエネルギーは、外部のコンデンサ（ローパス・フィルタの構成要素）と外部のバッファによって供給されます。この電荷の再配分と電圧のセトリングには一定の時間が要します。その間は、図1に示すように、回路内の様々な個所で電圧に乱れが生じます。アンプに流れ込む電流や、アンプからコンデンサに流れる電流に相当する大量の電荷が再配分される可能性があります。したがって、ローパス・フィルタの抵抗によって電流が制限されている状況下で、アンプはローパス・フィルタの外付けコンデンサとADCのサンプリング用コンデンサを、限られた時間内に充電/放電しなければなりません。

また、アンプは、所定の誤差の範囲内で、外付けコンデンサとサンプリング用コンデンサを充電/放電する必要があります。外付けローパス・フィルタのカットオフ周波数は、対象とする帯域よりも少しだけ高く設定しなければならず、フィルタの時定数、ADCのビット数、サンプル間のワースト・ケースの遷移（正確に測定しなければならない最悪の入力ステップ）を考慮して決定します。

キックバックの問題の解決方法

キックバックの問題に対する簡単な解決策は、十分なスルー・レート、GB積、オープンループ・ゲイン、CMRRを備えたアンプを選択し、市場で提供されている最も大容量のコンデンサを、ローパス・フィルタの帯域幅の要件を満たす十分に小さい抵抗と共に出力に配置することです。コンデンサが非常に大容量であれば、キックバックの問題は無視でき、帯域幅はローパス・フィルタによって制限されるため、問題は解決できると考える方もいるでしょう。しかし、実際には、上記の簡単な解決策ではうまくいきません。試しにそのとおりに回路を構成してみると、次の2つの事柄に気づくはずですが、1つは、コンデンサが牛乳パックのような大きさになるということです。もう1つは、アンプの出力に不適切な虚数インピーダンスが接続された状態になってしまうことです。

アンプの性能は、アンプから見た虚負荷に依存します。ここでは、ローパス・フィルタの影響として、THDとセトリング時間という2つの性能が低下します。セトリング時間が長くなると、アンプがコンデンサを十分に充電できなくなります。つまり、ADCのサンプルの電圧が正しい最終電圧に達しない可能性があります。その結果、ADCの出力において、直線性が劣化することになります。

図5は、前延した内容について具体的に示したものです。これは、アンプの抵抗負荷（出力電流）を変更した場合に、性能がどのように変化するかを表しています。また図6には、容量性負荷に起因して小振幅の信号に生じるオーバーシュートの例を示しました。このオーバーシュートは、セトリング時間と直線性に影響を及ぼします。

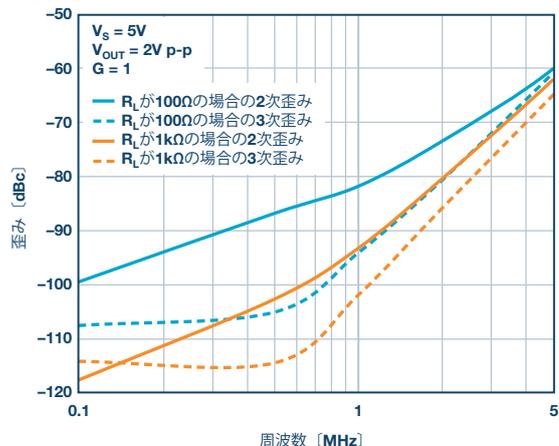


図5. THDと負荷の関係 (AD4896-2の例)

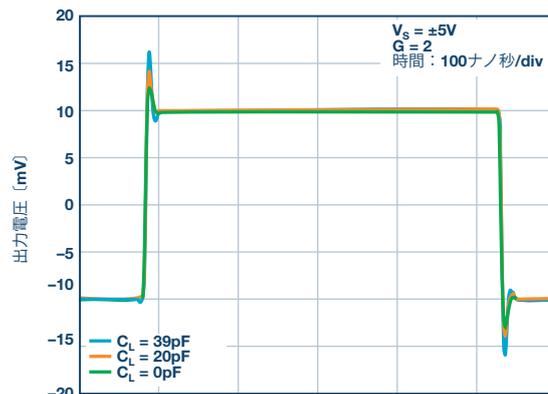


図6. 小信号の応答と負荷の関係 (AD4896-2の例)

この問題を最小限に抑えるには、ローパス・フィルタの直列抵抗によって、外付けのコンデンサとアンプの出力を分離する必要があります。

抵抗については、バッファから虚数インピーダンスが見えないようにするために、十分に大きな値に設定しなければなりません。また、システムに必要な入力帯域幅を確保しつつ、バッファからの電流によって抵抗に生じる電圧降下を最小限に抑えられるようにする必要があります。大きな電圧降下が生じると、アンプはそれを素早くセトリングすることができないかもしれません。加えて、セトリングに影響を及ぼすことなく、キックバックを最小限に抑えるためには、外付けコンデンサの値を小さくできるような抵抗値を選択する必要があります。

詳細については[こちら](#)をご覧ください。

このように、駆動回路の設計は非常に複雑です。その作業負担を軽減するために、ADC、アンプ、フィルタを組み合わせた場合の性能を予測するためのツールが提供されています。その一例がアナログ・デバイゼスの「Precision ADC Driver Tool」です。このツールを使えば、キックバックに加え、ノイズや歪みのシミュレーションを実施できます（図7）。

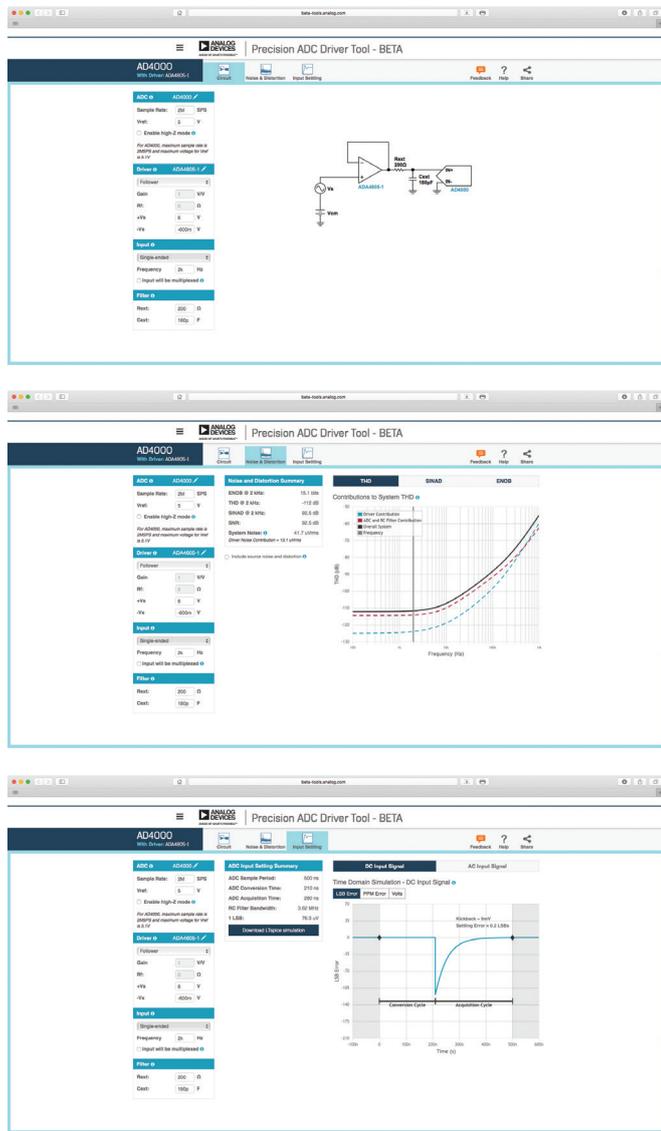


図7. Precision ADC Driver Toolの実行画面

ローパス・フィルタに関する経験則

ローパス・フィルタとしては、1次のRC回路が推奨されているケースをよく目にします。では、なぜより高次のフィルタは使われないのでしょうか。最大の理由は、フィルタの次数を上げると、システムの複雑さが増大することです。このことから、帯域外の大きな干渉源や入力信号の高調波成分を除去することが重要なアプリケーションを除けば、高次のフィルタはあまり使われません。ローパス・フィルタについては、小信号の帯域幅を本来必要な値よりも少しだけ広くとるべきです。それにより、ノイズに影響が生じますが、ADCの入力段の駆動が容易になり、アンプの消費電力とコストを抑えることができます。

負担の軽減

先述したように、アンプに不適切な虚数インピーダンスの負荷が存在すると、多くの電流が流れます。これは、キックバックの問題を最小限に抑えるために必要なコンデンサに起因するものです。この状況を改善するには、キックバックそのものを低減するしかありません。「AD7768」や「AD4000」など、アナログ・デバイゼスの最新ADCには、その解決策が実装されています。

採用されている解決策は、製品によって異なります。なぜなら、製品ごとにADCのアーキテクチャが異なるからです。SAR ADCであるAD4000は、アナログ入力範囲より低い電源電圧でも動作します。これに実装されている解決策は、高インピーダンス・モードと呼ばれるものです。この機能は、サンプリング周波数が100kHz未満の場合のみ有効です。

$\Sigma\Delta$ ADCであるAD7768では、アナログ入力範囲と同じかそれ以上の電源電圧が必要です。これに実装されている解決策は、高インピーダンス・モードではなく、プリチャージ・バッファというものです。こちらは、ADCの最高サンプリング周波数まで有効です。

ADCの駆動に関連して最も難易度が高いのは、容量に蓄えられた電荷の再分配です。上記の解決策は、いずれも同じ動作原理に基づいています。つまり、ADCの内蔵スイッチがサンプリング用コンデンサに再接続したときに、入力バッファとローパス・フィルタで観測される電圧降下が小さいほど電圧のキックバックは小さくなり、ADCの入力電流が抑えられます。そうすると、セトリング時間が短くなり、ADCの駆動が容易になります。また、フィルタの抵抗における電圧降下が抑えられ、AC性能が向上します。

図8に、プリチャージ・バッファと高インピーダンス・モードの効果を示しました。両機能をイネーブル/ディスエーブルにした場合の入力電流の変化を表しています。

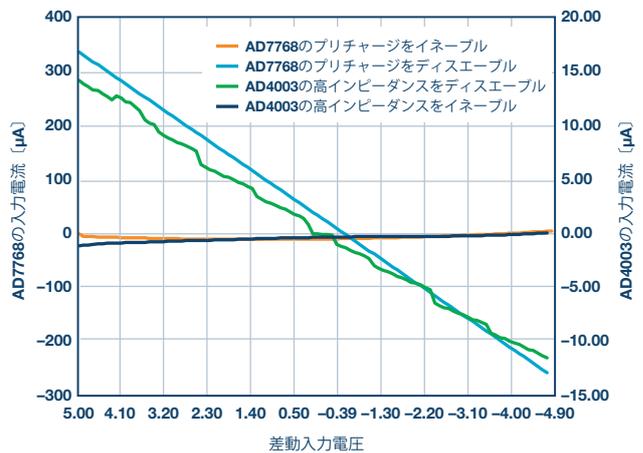


図8. プリチャージ・バッファと高インピーダンス・モードの効果。入力電流の値の変化を示しています。

入力電流が多いほど、アンプの帯域幅は広く（つまり高速に）なります。したがって、入力ローパス・フィルタの帯域幅が広くなり、ノイズにも影響が及びます。

例として、1kHzの入力信号を1MSPSでサンプリングする場合のSINAD（信号／ノイズ＋歪み）を評価しました。フィルタのカットオフ周波数を変更して測定を行ったところ、図9のような結果が得られました。

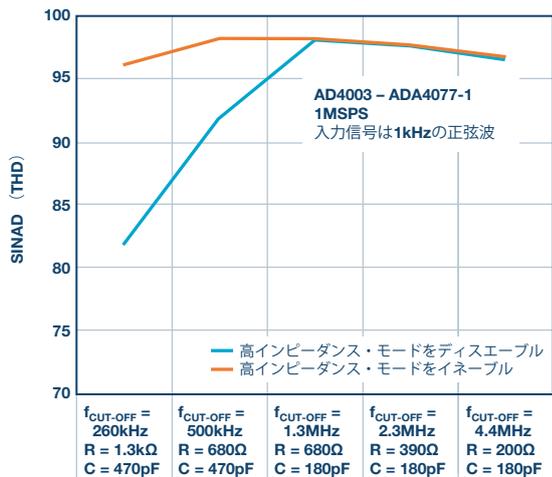


図9. SINADと入力帯域幅（カットオフ周波数）の関係。AD4003の高インピーダンス・モードをイネーブル／ディスエーブルにして評価を実施しました。

図9は、入力電流が少ないと（高インピーダンス・モードをイネーブルにすると）、全く同じ構成で高インピーダンス・モードをディスエーブルにした場合と比べて、カットオフ周波数の要件が緩和されることを表しています。また、フィルタの抵抗による電圧降下が抑えられ、ADCの性能が向上します。

図9からは、入力フィルタのカットオフ周波数を高めると、ノイズが増加する代わりに、アンプはサンプリング用コンデンサを高速に充電／放電できるようになることもわかります。例えば、高インピーダンス・モードをイネーブルにすると、カットオフ周波数が500kHzの場合のノイズは、同1.3MHzの場合のノイズよりも小さくなります。そのため、カットオフ周波数が500kHzの方がSINADは高くなります。また、ローパス・フィルタに必要な容量値も抑えられ、アンプの駆動性能が高まります。

回路設計上のメリット

アナログ・デバイゼスの最新ADCを採用すれば、駆動が容易になって負担が軽減されるだけでなく、シグナル・チェーン全体に大きな影響を与える機能を利用できます。駆動の問題の一部がADCの内部で解決されれば、設計者にはいくつかのメリットがもたらされます。例えば、信号に関するADCの要件に対して、できるだけ効率的なソリューションを設計できるといった具合です。それにより、入力信号の帯域幅やアンプの安定性といったいくつかの問題が解決されます。

ADCの入力部に流れ込む電流が少なくなり、それによってキックバックが抑えられるということは、全体的なサンプリング時間は標準的なスイッチド・キャパシタ入力の場合と変わらないまま、アンプが対応する必要のある電圧のステップが小さくなるということを意味します。

所定の時間内にセトリング（最終値に収束）しなければならない電圧のステップが小さくなるということは、より大きなステップのセトリングに、より長い時間をかけられるということと同義です。実質的に、アンプの帯域幅がそれほど広くなくても、入力を同じ最終値に十分にセトリングできるようになります。一般に帯域幅が狭くなれば、アンプの消費電力は少なくなります。

言い換えれば、あるADCの入力をセトリングできるだけの帯域幅を有していないと見なされるアンプでも、プリチャージ・バッファを有効にすれば、十分にセトリングが可能になるということです。

アナログ・デバイゼスのアプリケーション・ノートAN-1384では、各種アンプをAD7768の3つのパワー・モードと組み合わせた場合に達成可能な性能を示しています。このAN-1384で取り上げられているアンプの1つが「ADA4500-2」です。このアンプを使用する場合、プリチャージ・バッファをイネーブルにしなければ、中間のパワー・モード（THDが-96dB以上）において、AD7768の入力を十分にセトリングすることができません。プリチャージ・バッファをイネーブルにすると、THDは-110dB以下となり、性能が劇的に改善されます。

ADA4500-2の帯域幅は10MHzです。AD7768の各モードにおいてセトリングに必要な帯域幅は約12MHzなので、駆動を容易にする機能のおかげで、帯域幅の狭いADA4500-2でも選択肢になり得ることがわかります。そうした機能により、フロントエンドとして使用するバッファ回路の設計が簡素化されます。それだけでなく、消費電力や温度といったシステムの要件を満たす範囲内で、より自由にコンポーネントを選択できるようになります。

ADCのアナログ入力ピンに流れ込む電流が少ないことには、2次的なメリットがあります。それは、入力RC回路の構成要素である直列抵抗を流れる電流が少なくなることです。従来のADCの入力部では、比較的多くの電流が流れるため、値の小さい抵抗しか使用できませんでした。その抵抗における電圧降下が大きくなってしまいうからです。この部分で大きな電圧降下が発生すると、ADCによる変換結果にゲイン誤差や直線性誤差が生じる可能性があります。

但し、値の小さい抵抗を使用することには問題もあります。RC回路で小さな抵抗を使って同じ帯域幅を達成するには、大きなコンデンサが必要になります。大きなコンデンサと小さな抵抗を組み合わせた場合、バッファ・アンプの動作が不安定になるおそれがあります。

駆動を容易にする機能を適用して電流を抑えれば、性能に影響を及ぼすことなく、値の大きい抵抗を使用できます。そのため、システムの安定性が損なわれることもありません。

回路の性能上のメリット

上述したような回路設計上のメリットが得られることから、性能上のメリットも得られることは明らかです。駆動を容易にするための機能を利用することで、更に性能を改善できる可能性があります。

前のセクションでは、より帯域幅の狭いアンプを使ってより高い性能を達成できるというメリットを紹介しました。この特質を利用すれば、既に最適化されているシステムの性能を更に高めることができます。例えば、仕様上は入力信号を適切にセトリングできるはずなのに、最終的なセトリングの際に、入力間で何らかの不整合が生じる可能性はあります。その状態でプリチャージ・バッファをイネーブルにすると、最終的なセトリング時間が格段に短くなります。そのため、元の状態ではあり得なかったほど高いレベルのTHDを達成できます。

RC回路の直列抵抗を流れる電流が少ないことから、性能上のメリットが得られます。入力電流が著しく低減されるだけでなく、RC回路が入力電圧にほぼ依存しなくなります。入力ペアの抵抗に不整合があっても、ADCの入力部の電圧の差は小さいので、THDが改善されます。また、電圧降下は信号に依存しなくなります。

入力電流が少ないと、オフセットとゲインの精度にも好影響が及びます。電流の絶対値に加えて、信号に依存する電流の変化が小さくなるため、チャンネル間/ボード間におけるコンポーネントの値のばらつきによって、オフセット誤差やゲイン誤差に大きなばらつきが生じることがなくなります（同じ理由に基づき、電流が少ないと直列抵抗にかかる電圧も小さくなります）。プリチャージ・バッファをイネーブルにすると、絶対的なオフセット誤差とゲイン誤差が改善されます。加えて、システム内のチャンネル間/ボード間で性能に一貫性が得られるようになります。

データ・アキュイジション・カードなど、ADCのサンプリング・レートが信号のアキュイジションのニーズに応じて変化するシステムでは、電流が少ないことから、もう1つのメリットが得られます。プリチャージ・バッファを使用しない場合、ADCのサンプリング・レートに応じて、入力部の受動部品における電圧降下が変動します。サンプリング・レートが高くなると、ADCの入力コンデンサの充放電がより頻繁に行われるようになるからです。この変動は、アナログ入力パスとリファレンス入力パスの両方で生じます。ADCの性能という観点からは、オフセット誤差とゲイン誤差がサンプリング・レートに依存するという形で影響が現れます。

一方、プリチャージ・バッファをイネーブルにすると、電流の絶対値（つまりは電圧降下の絶対値）がそもそもかなり小さくなります。そのため、ADCのサンプリング・レートに伴う電圧の変化も、かなり小さく抑えられます。最終的なシステムにおいては、サンプリング・レートの調整に応じて、システムのオフセット誤差とゲイン誤差を再度キャリブレーションする必要性が低下します。つまり、オフセット誤差とゲイン誤差は、ADCのサンプリング・レートの変化からの影響を受けにくくなるということです。

コスト面のメリット

プリチャージ・バッファなどの機能は、簡単に利用できます。また、そうした機能は、総所有コストの面でもメリットをもたらします。設計や性能にもたらされる各種のメリットは、次に示すように、開発コストと運用コストの低減にもつながる可能性があるということです。

- ▶ 設計が容易だということは、設計作業の負荷が軽減され、最初のプロトタイプを迅速に構築できるということを意味します。
- ▶ 設計が容易だということは、最初のプロトタイプ設計によって直ちに望ましい結果が得られる可能性が高いということを意味します
- ▶ 駆動を容易にする機能により、帯域幅が狭い、つまりは価格の安いアンプを使用できるようになる可能性があります。
- ▶ オフセット誤差とゲイン誤差が抑えられるので、工場でのキャリブレーション作業の負荷が軽減される可能性があります。
- ▶ 性能の改善により、現場やオンデマンドでのキャリブレーション作業の負荷が軽減され、ダウンタイムの短縮やスループットの向上につながる可能性があります。

AD7768-1を用いた実用例

表2に示したのは、アプリケーション・ノートAN-1384から抜粋した測定データです。この情報は、「AD7768-1」を駆動するためのアンプを適切に選択する上で役に立ちます。表に示した例から、一部のアンプを選択した場合、プリチャージ・バッファをイネーブルにすることによって、大幅に性能を改善できることがわかります。特に、THDが改善するのは、上述した効果の組み合わせにより、駆動回路に課される負担が軽減されるからです。例えば、アンプとして「ADA4945-1」を使用する場合、プリチャージ・バッファをイネーブルにすると、THDが4dB改善します。同様に、「ADA4807-2」では、THDが18dB改善されます。これらの例は、単体ではそこまで高い性能を発揮できるわけではないアンプを使用した場合でも、アナログ・デバイスの最新ADCが備える駆動を容易化する機能を併用することで、注目に値する性能レベルを達成できることを表しています。

表2. 各種アンプと組み合わせた場合のAD7768-1の性能

アンプ	プリチャージ・ バッファ	S/N比 [dB]	THD [dB]	SINAD [dB]
ADA4940-1	ディスエーブル	105.4	-114.5	105.0
ADA4940-1	イネーブル	105.2	-120.4	105.1
ADA4807-2	ディスエーブル	105.1	-105.7	102.6
ADA4945-1	ディスエーブル	105.9	-116.6	105.6
ADA4896-2	ディスエーブル	106.7	-118.0	106.5
ADA4807-2	イネーブル	104.9	-123.7	104.8
ADA4945-1	イネーブル	106.0	-120.7	105.8
ADA4896-2	イネーブル	105.5	-130	106.4

まとめ

バッファを内蔵していないADC向けに駆動回路を設計するのは、容易なことではありません。ADCのキックバックや帯域幅に関する要件が存在するため、適切な方法論に基づいて、トレードオフの検討を行う必要があります。多くの場合、駆動回路によって、THD、S/N比、消費電力といったシステムとして性能が決まります。

アナログ・デバイセスは、SAR型、 $\Sigma\Delta$ 型を含む高精度のADCを提供しています。それらの製品は、ADCの入力電流を最小限に抑えるための一連の機能を搭載しています。そうした機能を使用することによって、キックバックが抑えられ、外部回路を大幅に縮小／簡素化することができます。その結果、かつてはあり得なかったほどの高い性能が実現されます。SAR型/ $\Sigma\Delta$ 型のうち、どちらでも簡単に利用できることから、設計時間の短縮と、システムの性能の改善を図ることが可能になります。

著者：

Stuart Servis (stuart.servis@analog.com) は、アナログ・デバイセスの製品・アプリケーション・エンジニアです。計装/高精度技術グループの高精度シグナル・チェーン・チームに所属しています。 $\Sigma\Delta$ ADCとSAR ADCをベースとする高精度のデータ・アキュジション用シグナル・チェーンが専門です。アイルランド国立大学ゴールウェイ校で応用物理およびエレクトロニクスに関する学士号を取得しています。



Stuart Servis

Miguel Usach Merino (miguel.usach@analog.com) は、2008年にアナログ・デバイセスに入社しました。スペインのバレンシアでリニア/高精度技術グループのアプリケーション・エンジニアとして業務に携わっています。バレンシア大学で電子工学の学位を取得しています。



Miguel Usach Merino