

多軸ロボットや工作機械におけるタイミングの問題を解決する

著者 : Dara O'Sullivan、システム・アプリケーション・マネージャ

はじめに

産業用ロボットや工作機械による作業を完遂するためには、空間内において、複数の軸を正確かつ協調的に動作させる必要があります。通常、ロボットには6つの軸がありますが、それらを協調的に制御しなければならないということです。レールに沿って移動するロボットの場合、軸が7つあるものも存在します。CNC (Computerized Numerical Control : コンピュータ数値制御) をベースとする加工装置の場合、一般的には、5軸の協調動作が求められます。但し、最大12軸を使用するアプリケーションも存在します。その場合、装置と加工の対象物の両方が空間内で協調的に移動することになります。各軸はサーボ・ドライブやモータなどから構成されており、モータと関節軸の間にギアボックスがある場合や、エンド・エフェクタが設けられている場合もあります。通常、この種のシステムは、産業用イーサネットを採用したネットワークを介して、ライン・トポロジで相互に接続されます (図1)。各軸の制御を担うマシン・コントローラは、作業内容に対応する空間内の軌跡を各サーボ軸向けの位置参照値 (position reference) に変換します。それらの値は、ネットワークを介して周期的にやり取りされます。

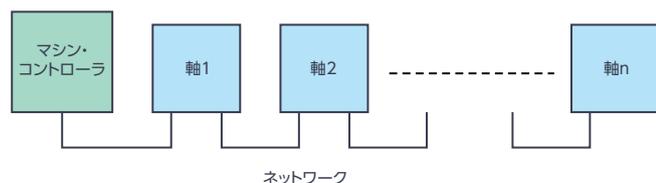


図1. 多軸制御を伴う機械のネットワーク・トポロジ

制御サイクル

上述したような種類のアプリケーションでは、一定の動作サイクルが定義されます。通常、そのサイクルは、基礎を成すサーボ・モータ・ドライブの基本制御サイクルやPWM (パルス幅変調) のスイッチング・サイクルと同じ値か、その倍数値に設定されます。ネットワークのエンドtoエンドにおける送信遅延は重要なパラメータです (図2)。各サイクルにおいて、マシン・コントローラからは、新たな位置参照値とその他の関連情報を図1に示した各ノードに送信する必要があります。続いて、各ノードは新たな位置参照値やセンサーからの新たなデータを使用して、サーボ制御用のアルゴリズムに基づく計算を新たに実施しなければなりません。PWMサイクル内には、そのための十分な時間が残されている必要があります。その後、各ノードは、産業用イーサネットのプロトコルに依存する分散クロック機構を介し、サーボ・ドライブに対して新たなPWMベクトルを同じタイミングで適用します。制御用のアーキテクチャによっては、制御ループのアルゴリズムの一部がPLC (Programmable Logic Controller) に実装されていることがあります。そのため、ネットワーク上で関連するセンサーの更新情報を受信して利用できる状態にするために必要な時間を確保しておく必要があります。

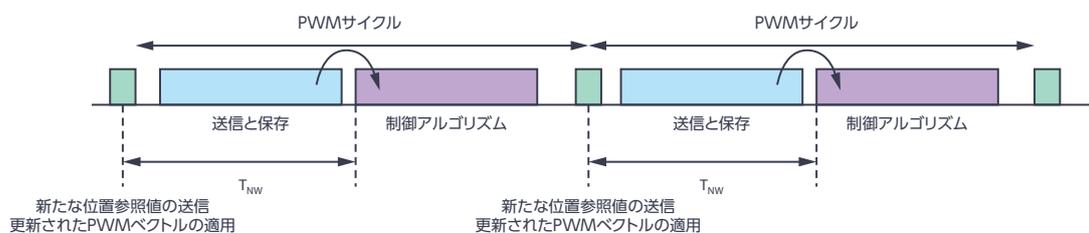


図2. PWMサイクルとネットワークにおける送信時間の関係

データの送信遅延

ここでは、ネットワーク上のトラフィックは、マシン・コントローラとサーボのノードの間でやり取りされるサイクリック・データだけであると仮定します。その場合、ネットワークの遅延 T_{NW} は、最も遠いノードまでに生じるホップの回数、ネットワークのデータ・レート、各ノードで発生する遅延によって決まります。通常、ロボットや工作機械のケーブル長は、比較的短く抑えられます。そのため、ワイヤ上での信号の伝播遅延は無視できます。トータルの遅延の中で最も大きな部分を占めるのは帯域幅遅延です。つまり、ワイヤにデータを転送するために必要な時間です。ロボットや工作機械の制御では、最小サイズのイーサネット・フレームが一般的に使用されます。その場合の帯域幅遅延は図3のようになります。この図では、ビット・レートが100Mbpsと1Gbpsの場合を例にとっており、単にパケット・サイズをデータ・レートで割った結果を示しています。多軸システムの場合、コントローラからサーボへの標準的なデータ・ペイロードは、4バイトの速度/位置参照値と各サーボ向けの1バイトの制御ワードで構成されています。つまり、6軸を使用するロボットの場合、ペイロードは30バイトになります。もちろん、アプリケーションによっては、より多くの更新情報を伝達するケースもあるでしょうし、より多くの軸を備えているシステムも存在します。そうした場合には、最小サイズよりも大きいパケットが必要になるかもしれません。



図3. 最小サイズのイーサネット・フレームにおける帯域幅遅延

発生する遅延は帯域幅遅延だけではありません。イーサネットのフレームが各サーボのネットワーク・インターフェースのPHY (物理層) デバイスや2ポートのスイッチを通過する際にも遅延が発生します。これらの遅延について図4、図5に示しました。これらの図は、フレームがPHYデバイスを介してMAC (Medium Access Control) 層へ伝送される様子 (1から2へのパス) と、フレームのプリアンブルと送信先の部分だけが送信先アドレスの解析部を通過する様子を表しています。2から3aへのパスは、現在のノードにおいてペイロード・データが抽出される様子を表しています。2から3bへのパスは、フレームが送信先のノードへ伝送される様子を表しています。図4 (a) は、2から3aへのパスによってフレームの一部だけがアプリケーションに引き渡されるケースに対応しています。一方、図4 (b) は、フレームの大部分がアプリケーションに引き渡されるケースに対応しています。使用するイーサネット・プロトコルによっては、小さな差が生じる可能性があります。3bから4へのパスは、送信キューとPHYデバイスを介してワイヤに戻るフレームのアウトバウンド送信を表しています。図に示したとおり、このパスはライン端のノードには存在しません。なお、ここではストア&フォワードではなく、カットスルー・パケット・スイッチングを想定しています。ストア&フォワードでは、転送前にフレーム全体がスイッチに入力されます。そのため、かなり大きな遅延が発生します。

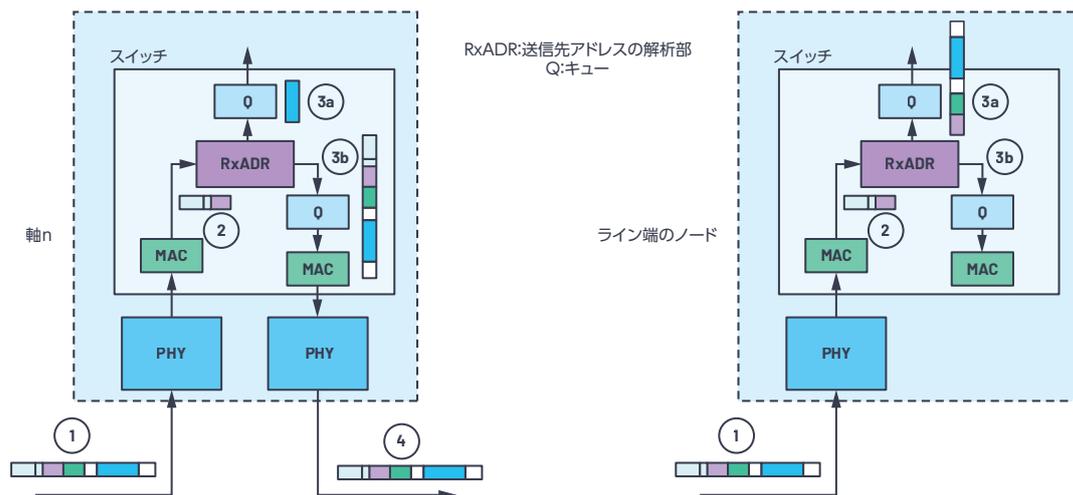


図4. フレーム遅延が発生する様子。(a) は2ポートのノードにおけるフレーム遅延、(b) はライン端のノードにおけるフレーム遅延を表しています。

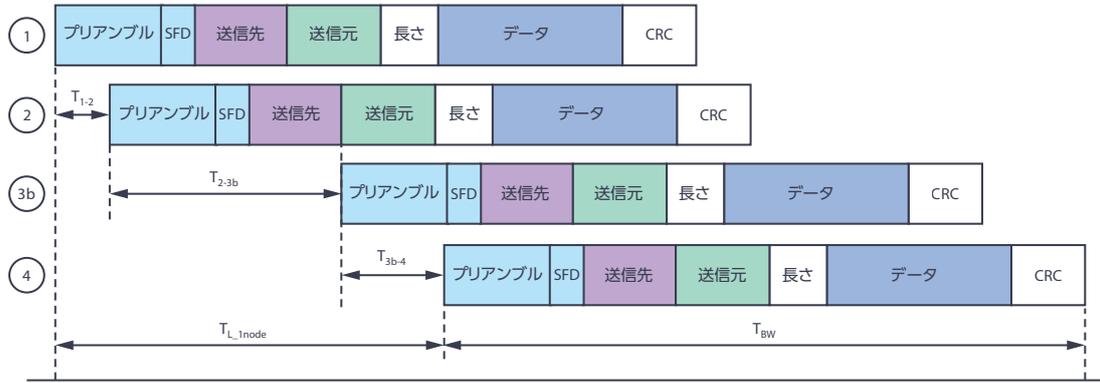


図5. フレーム送信のタイムライン

図5には、タイムラインに沿った形でフレーム遅延の様子を示しました。この図は、1つの軸のノードを介して全フレームを送信する際の時間を表しています。 T_{BW} は帯域幅遅延であり、 T_{L_inode} は単一のノードにおけるフレーム遅延です。ワイヤによるデータ送信に伴う物理的な遅延や、送信先アドレスを解析するためのアドレス・ビットの入力に関連する遅延に加え、システム内の送信遅延には、PHYデバイスとスイッチ・デバイスによる遅延も影響を及ぼします。ワイヤにおけるビット・レートが高くなったり、ノードの数が増加したりすれば、これらの遅延はエンドtoエンドのフレーム送信における遅延の中でも、より重要な意味を持つこととなります。

低遅延のソリューション

アナログ・デバイスでは、消費電力と遅延の面で業界をリードする産業用イーサネット向けPHYデバイス「ADIN1300」と「ADIN1200」を提供しています。いずれも、本稿で説明した課題に対処し、産業用アプリケーション向けの理想的な選択肢となるよう特別に開発された製品です。周囲温度が105℃までの範囲で動作可能であり、過酷な産業環境でも確実に使用できるように設計されています。また、リアルタイム・イーサネットに対応する組み込みスイッチ・デバイス「fido5000」も製品化しています。これは、マルチプロトコルに対応し、2つのポートを備える製品です。これらの製品は、時間が極めて重要なダタミニスティック・アプリケーション向けの最適なソリューションとなります。

表1は、100MbpsのネットワークにおいてPHYデバイスとスイッチ・デバイスで生じる遅延についてまとめたものです。ここでは、受信バッファでの解析は、送信先アドレスをベースとして行われると仮定しています。

表1. PHYデバイスとスイッチ・デバイスで生じる遅延

遅延の原因	品番	時間
PHYによる受信	ADIN1200	248ナノ秒
PHYによる送信	ADIN1200	52ナノ秒
プリアンブルと送信先の切り替え	fido5000	1120ナノ秒 (100Mbpsで14バイト)
MAC、キュー、レシーバの切り替え	fido5000	330ナノ秒

一例として、これらの遅延を基にトータルの送信遅延を求めてみます。最大7軸のライン・ネットワークまで合計し、全ペイロードの最終ノードへのクロッキングも含める(図4の3a)ものとして。その場合、以下のような計算が成り立ちます。

$$6 \times T_{L_inode} + TBW + Tnode7 = 6 \times (248 \text{ ns} + 330 \text{ ns} + 1120 \text{ ns} + 52 \text{ ns}) + 5760 \text{ ns} + (248 \text{ ns} + 1120 \text{ ns} + 58 \times 80 \text{ ns}) = 22.3 \mu\text{s} \quad (1)$$

ここで、「 $58 \times 80\text{ns}$ 」の部分は、プリアンブルと送信先アドレスのデータを読み込んだ後に残る58バイトのペイロードを表しています。

この計算では、ネットワーク上に他のトラフィックは存在しない、またはネットワークは時間に敏感なトラフィックのために優先アクセスが行えるよう管理されていると仮定しています。また、この計算は、使用する産業用イーサネット・プロトコルに幾分左右されるので、場合によってはわずかに変更を加える必要があります。ここで、再度図2をご覧ください。1サイクルが50マイクロ秒~100マイクロ秒の機械システムでは、最も遠いノードへフレームを送信する際、サイクルのほぼ50%の時間を費やしてしまう可能性があります。これは、次のサイクルのためにモータ制御やモーション制御のアルゴリズムに基づく計算に費やせる時間が短くなるということを意味します。適切な制御のために性能の最適化を図る上では、より時間がかかる複雑な計算が行えるように、上記の送信時間を最小限に抑えることが重要です。ワイヤ上では、データの送信にかかる遅延は一定であり、ビット・レートに依存します。そのため、特にノード数が増加する場合(例えば、12軸のCNC対応マシン)やサイクルが短縮される場合には、PHYデバイスや組み込みスイッチとして、ADIN1200やfido5000のような遅延の小さい製品を使用すべきです。このことが、性能を最適化する上での非常に重要な鍵となります。ギガビット・イーサネットへの移行を図れば、帯域幅遅延の影響を大幅に低減することができます。但し、PHYデバイスやスイッチ・デバイスで生じる総遅延の割合が増加します。例えば、ギガビット・イーサネットを採用した12軸のCNCマシンでは、ネットワークの送信遅延は約7.5マイクロ秒になります。この場合、帯域幅に関する要素は無視できます。イーサネットのフレーム・サイズが最小でも最大でも、ほとんど差は生じません。

ネットワークにおける遅延は、PHYデバイスとスイッチ・デバイスでほぼ半分ずつを占めます。産業用システムにおけるギガビット・イーサネットへの移行、制御サイクルの短縮（EtherCAT®では、12.5マイクロ秒のサイクル時間を実証済み）、制御用ネットワーク（イーサネット）に接続されるセンサーの追加、ネットワーク・トポロジのフラット化によるノード数の増加に伴い、PHYデバイスとスイッチ・デバイスで生じる遅延を最小限に抑えることがより重要になります。

まとめ

複数の軸を同期動作させる高性能のアプリケーションでは、制御のタイミングは正確かつデタミニスティックであることが求められます。つまり、その種のアプリケーションはタイム・クリティ

カルだということです。特に、制御用サイクルの時間が短く、制御用アルゴリズムが複雑である場合には、エンドtoエンドの遅延を最小限に抑えなければなりません。そうしたシステムを最適化する上では、遅延の小さいPHYデバイスとカッターに対応するスイッチ・デバイスが重要な要素になります。本稿で説明した課題に対応するために、アナログ・デバイセズは、ADIN1300（10 Mb/100 Mb/1 Gb）とADIN1200（10 Mb/100 Mb）という産業用イーサネット向けのPHYデバイスを提供しています。両製品の詳細については、analog.com/jp/ADIN1300およびanalog.com/jp/ADIN1200をご覧ください。また、産業用イーサネット向けソリューションのポートフォリオであるChronous™の詳細と、それらによる産業用イーサネット・ネットワークの高速化については、analog.com/jp/chronousをご覧ください。



著者について

Dara O'Sullivan (dara.osullivan@analog.com) は、アナログ・デバイセズのシステム・アプリケーション・マネージャです。オートメーション/エネルギー事業部門のコネクテッド・モーション/ロボティクス・チームに所属しています。専門は、産業用モーション・コントロール分野における電力変換/制御/監視技術です。アイルランドのユニバーシティ・カレッジ・コークで工学分野の学士号、修士号、博士号を取得。2001年から、産業分野や再生可能エネルギーの分野で研究、コンサルティングなどの業務に従事しています。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2020 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

AD5405-0-5/20

VISIT ANALOG.COM/JP