

高い精度を実現する連続時間型の $\Sigma \Delta$ ADC【Part 1】 高精度のADCを含むシグナル・ チェーンの設計時間を短縮する

著者：Abhilasha Kawle、シニア・アナログ設計エンジニア
Wasim Shaikh、アプリケーション・エンジニア

概要

帯域幅が中程度のアプリケーションでは、ノイズ性能を確保して高精度のシグナル・チェーンを設計することが課題になります。ほとんどのケースでは、ノイズ性能と精度に関する何らかのトレードオフが生じます。市場投入までの時間を短縮するために最初から適切な設計を行うことが求められ、更なるプレッシャーに直面することもあるでしょう。このような課題に対処するための方法の1つが、連続時間型シグマ・デルタ（CTSD：Continuous-time Sigma-delta）方式のA/Dコンバータ（ADC）を採用することです。CTSD ADCのアーキテクチャに固有のメリットを活用することで、シグナル・チェーンの設計を簡素化することができます。その結果、ソリューションのサイズを削減し、最終製品を市場に投入するまでの時間を短縮することが可能になります。本稿では数回に分けて、CTSD ADCのアーキテクチャが備えるメリットと、それを高精度・中程度の帯域幅のアプリケーションでどのように活かせばよいのか説明します。それに向けて、シグナル・チェーンの設計について深く掘り下げつつ、CTSD技術の主なメリットを明らかにします。更に、高精度のCTSD ADC [AD4134] を採用した場合に、シグナル・チェーンの設計がどのように容易化されるのか具体的に解説します。

はじめに

デジタル処理をベースとする多くのアプリケーションやアルゴリズムでは、ここ20年にわたり、あらゆるコンバータの分解能と精度を高めることが求められています。実際、ADCの分解能／精度には限界があるので、外部のデジタル・コントローラを活用することで性能を補うということが行われていました。例えば、平均化や最適化フィルタといった手法をソフトウェアによって適用し、より精度の高い結果を導き出して必要な場所に引き渡すということです。より性能／精度に優れるADCを使用できれば、マイクロコントローラやDSPによる膨大な後処理の負荷を軽減することが可能になります。それにより、デジタル領域で最適化を施すための処理時間が短縮されます。また、より廉価なマイクロコントローラやDSPの採用を検討できることとなります。高精度のADCは、以下に示すような広範なアプリケーションや市場で使用されます。

- ▶ 工業用計測：振動の分析、温度／圧力／歪み／流量の計測、動的な信号の分析、音響の分析
- ▶ 医療用計測：電気生理学、血液の分析、心電図（EKG/ECG）
- ▶ 防衛アプリケーション：ソナー、テレメトリ
- ▶ テスト／計測：音響テスト、HIL（Hardware-in-the-Loop）、電力品質の分析

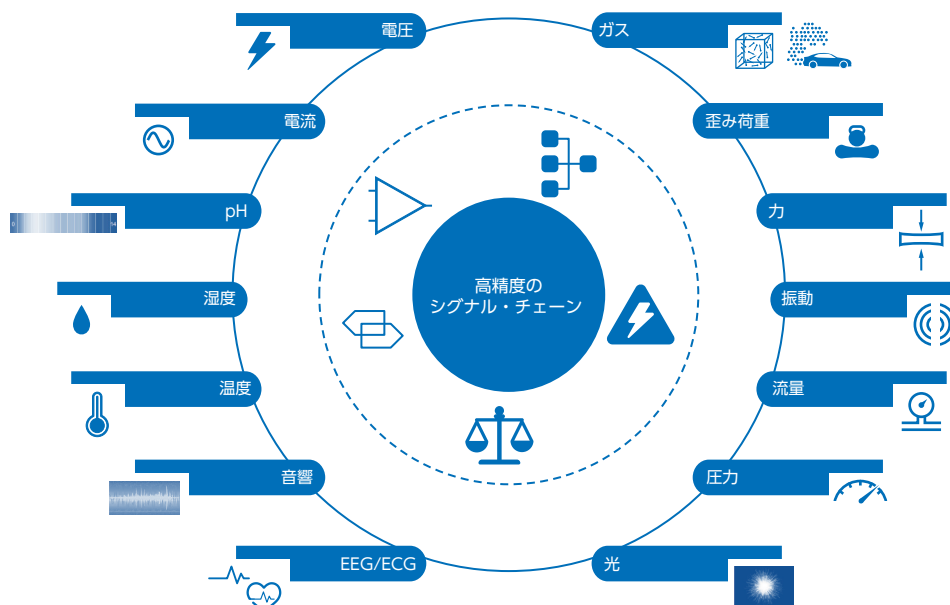


図1. 計測の対象となる事象。
高精度のADCを含むシグナル・チェーンが使われます。

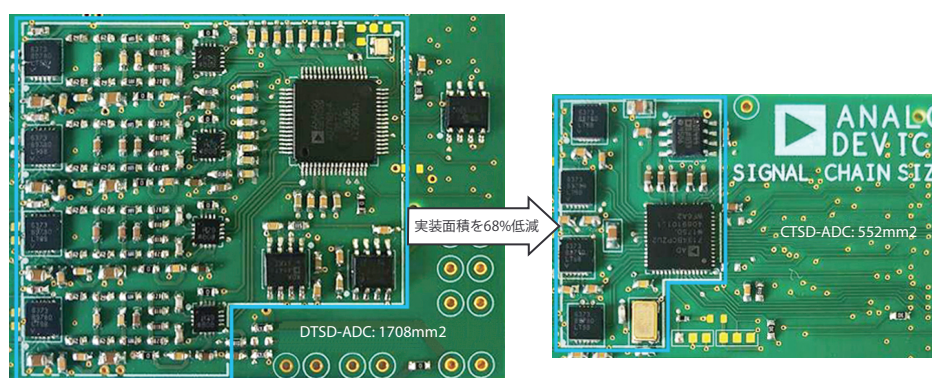


図2. CTSD ADCがもたらすメリット。アナログ・デバイセズは使いやすいCTSD ADC製品を提供しています。それらを採用すれば、実装面積を大幅に低減できます。

それぞれのアプリケーションにおいて、ADCを含むシグナル・チェーンにより、図1のような事象の計測を実施することになります。

ADCは、アナログ入力信号をデジタル出力信号に変換する処理を担います。入力信号としては、センサーからの電圧や電流、あるいは帯域幅がDCから数百Hz程度の帰還制御ループ信号などが想定されます。ADCのデジタル出力のフォーマットと出力データ・レート (ODR: Output Data Rate) は、アプリケーションや後続のデジタル・コントローラで実施する後処理に応じて決定します。一般に、シグナル・チェーンは、ナイキストのサンプリング定理に基づいて設計されます。つまり、デジタル・コントローラにデータを引き渡すADCのODRは、入力信号周波数の2倍以上になるように設定します。ほとんどのADC製品は、対象とする信号周波数帯に基づいてODRを調整できるようになっています。

通常、ADCに対しては、いくつかのシグナル・コンディショニング段を通過した後の信号を入力することになります。そのため、シグナル・コンディショニング回路は厳しい要件を満たしていなければなりません。また、ADCのデータシートに記載された性能を引き出すためには、個々のADC技術に応じてシグナル・コ

ンディショニング回路の設計／調整を実施する必要があります。シグナル・チェーンの設計作業は、ADC製品を選定した後も続きます。そうした周辺回路の設計と調整には、かなりの時間と労力が必要になります。アナログ・デバイセズは、そうした個々の設計で生じる課題を克服できるようにするために、シミュレーション用のツールやモデルといった高いレベルの技術サポートを提供しています。

新たなアプローチ——CTSDのアーキテクチャで設計を容易化

CTSDのアーキテクチャは、主にオーディオ用ADCや高速ADCで使用されてきました。同アーキテクチャは、シグナル・チェーンを簡素化できるという固有の性質を備えています。この特性を活用しながら最高の精度を実現できるようにするために、アプリケーションに応じた調整が行えるようになっています。同アーキテクチャがもたらすメリットにより、周辺部の設計に関連する負担を排除することが可能になります。また、CTSDをベースとするソリューションを採用すれば、高いチャンネル密度が得られます。図2をご覧ください。この例では、CTSD ADCによってシグナル・チェーンが簡素化されており、実装面積が68%も低減しています。

本稿では、CTSD ADCによってシグナル・チェーンがどのように簡素化されるのかを示します。それに向けて、まずは一般的なアプリケーションで使われるシグナル・チェーンの設計にはどのような課題が伴うのかを明らかにします。その上で、CTSD ADCであればそれらの課題をどのように軽減できるのか解説します。

以下では、シグナル・チェーンの設計をいくつかのステップに分けて解説を加えることにします。それぞれの段階で発生する課題を明らかにすると共に、CTSD ADCを採用することでそれらの課題がどのように解決されるのか説明していきます。

【ステップ1】ADCの選択

数多くのADC製品の中から、対象とするアプリケーションに最適なADCを選択するには、様々な事柄について考慮しなければなりません。具体的には、デジタル出力の分解能、精度、信号帯域幅、ODR、信号の種類、測定範囲などのパラメータについて検討する必要があります。なお、ほとんどのアプリケーションで使われるデジタル・コントローラには、入力信号の振幅、位相、あるいは周波数に関する処理を行うためのアルゴリズムが必要です。

先述した物理的な事象のうちどれを対象にする場合でも、正確な計測を実施するためには、A/D変換の際に生じる誤差を最小限に抑えなければなりません。表1は、主要な誤差とそれらに関連するデータシート中の性能指標についてまとめたものです。詳細については「[Essential Guide to Data Conversion \(データ変換の基本\)](#)」をご覧ください。

表 1. ADCの誤差と性能指標

ADCの誤差		データシート中の性能指標
1	熱ノイズ、量子化ノイズ	S/N比 (SNR)、 ダイナミック・レンジ (DR)
2	歪み	全高調波歪み (THD)、 相互変調歪み (IMD)
3	干渉	クロストーク、エイリアスの除去、 電源電圧変動除去比 (PSRR)、 同相ノイズ除去比 (CMRR)
4	振幅と位相の誤差	対象とする周波数における ゲイン誤差、振幅、位相のドループ
5	ADCへの入力から最終的なデジタル出力までの遅延	遅延、セトリング時間

表1に示した性能指標は、信号の振幅や周波数に関連しています。一般に、これらはAC性能パラメータと呼ばれています。

例えば、電力メータのアプリケーションでは50Hz～60Hzの入力信号を扱います。このようなDCまたはその近辺の信号を扱うアプリケーションでは、オフセット、ゲイン、積分非直線性 (INL)、フリッカ・ノイズといったADCの誤差を考慮する必要があります。また、これらのDC性能パラメータについては温度に対する安定性も求められます。アプリケーションの利用目的に応じて一定のレベルで安定していなければなりません。

アナログ・デバイセズは、業界をリードする高性能のADCを数多く提供しています。様々な精度、速度をターゲットとした製品や、制約のある電力バジェットに基づく製品などを用意することで、多様なアプリケーションに対応できるようにしています。ADC製品を選択する際には、一連の仕様だけを比較すればよいというものではありません。まずは、システム全体の性能と設計上の課題について考慮する必要があります。それにより、どのような変換方式、アーキテクチャのADCを選択すべきなのかが明らかになっていきます。

従来からよく使われているADCのアーキテクチャは、大きく2つに分けることができます。最も一般的なものは、単純なナイキストの定理に従う[逐次比較型](#) (SAR) のADCです。ナイキストの定理で明らかにされているように、元の信号を再現するためには、その信号周波数の2倍以上の周波数でサンプリングを実施する必要があります。SAR ADCは、優れたDC性能、小型のフォーム・ファクタ、小さな遅延といった特徴を備えています。また、ODRに応じて消費電力をスケーリングできることもメリットの1つです。

もう1つの主要な選択肢は、[離散時間型シグマ・デルタ](#) (DTSD: [Discrete-time Sigma-delta](#)) 方式のADCです。DTSD ADCは、わかりやすく言えば、サンプリング数が多いほど失われる情報は少ないという考え方に基づいて動作します。そのため、サンプリング周波数はナイキスト周波数よりもはるかに高く設定されます。この手法は、オーバーサンプリングと呼ばれています。DTSD ADCでは、サンプリングに伴う誤差を、対象とする周波数対域内で最小限に抑えることができます。DC性能、AC性能共に優れていますが、遅延が大きくなるという短所があります。

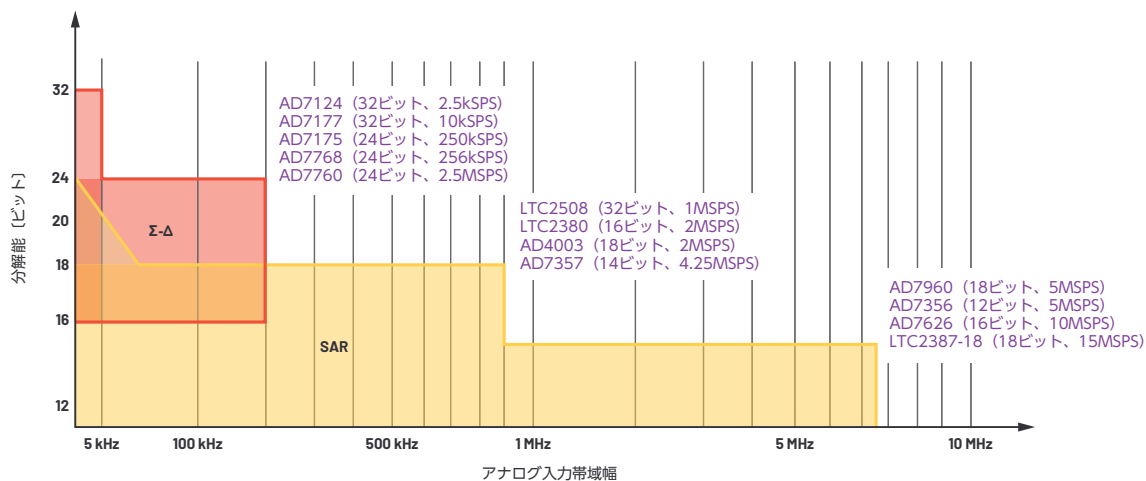


図3. 高精度のADCがカバーする分解能と入力帯域幅。
各アーキテクチャの位置付けが見てとれます。

図3は、SAR ADCとDTSD ADCの標準的なアナログ入力帯域幅を示したものです。様々な速度、分解能に対応する具体的な製品を列挙しています。アナログ・デバイセズの製品については、[「Precision Quick Search」](#) を使うことで選択が容易になります。

アナログ・デバイセズは、このような製品群に加え、更に優れたADC製品を提供するようになりました。それがCTSD ADCです。その性能はDTSD ADCと同等ですが、シグナル・チェーンの設計過程を簡素化できるという点でははるかに高い優位性を持ちます。従来のADCを使用してシグナル・チェーンを設計する場合、様々な課題に直面することになります。CTSD ADCを採用すれば、それらの課題に容易に対処することができます。

【ステップ2】ADCの入力インターフェースの構築

通常、ADCで処理するのはセンサーの出力信号です。そのセンサーは、非常に感度が高い可能性があります。シグナル・チェーンの設計においては、ADCで生じる誤差によって、センサーからの信号が埋もれてしまったり、歪んでしまったりすることがないように配慮しなければなりません。そのためには、センサーに接続されるADCの入力構造を十分に理解しておく必要があります。

図4に示すように、従来のSAR ADCとDTSD ADCの入力部にはサンプル&ホールド回路が存在します。この回路は、スイッチド・キャパシタを使って実現されています。各サンプリング・クロックのエッジでは、スイッチのオン/オフの状態が変化します。新たにサンプリングした入力値でホールド用のコンデンサを充電するためには、必要な量の電流を供給する必要があります。この電流は入力源（図4の構成の場合、センサー）が供給しなければなりません。また、スイッチの寄生容量が原因となり、いくらかの電荷が入力源に戻ってきて注入されることになります。これは、電荷のキックバックと呼ばれています。この現象も誤差の原因になるので、センサーからの信号が劣化しないようにするために、センサー側で電荷を吸収できるようにする必要があります。

ほとんどのセンサーは、上記の処理に必要な量の電流を供給することはできません。言い換えると、センサーによってスイッチング回路を直接駆動するのは不適切だということです。仮に、センサーが必要な電流量に対応できるとしても、センサーのインピーダンスが有限であることから、ADCの入力部には誤差が生じます。入力に依存して変化する電流により、入力に依存する電圧降下がセンサーのインピーダンスの両端に生じるのです。その結果、図4 (a) に示すようにADCに対する入力に誤差の成分が含まれることになります。これらの問題を解決する方法の1つは、図4 (b) に示すように、ADCを駆動するためのアンプをセンサーとADCの間に配置することです。

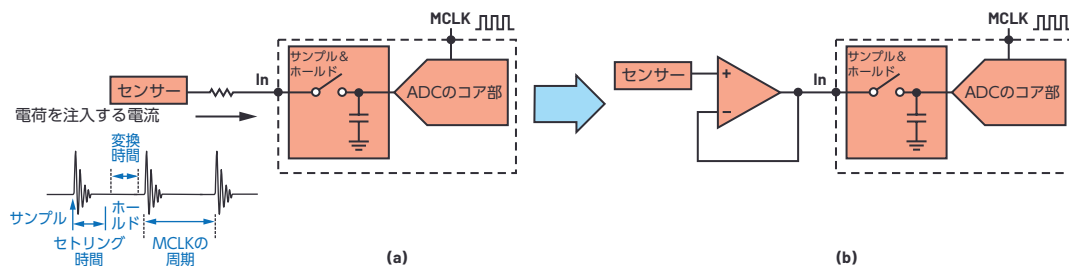


図4. ADCの入力部。(a) の構成では、スイッチド・キャパシタからセンサーへの電荷のキックバックが生じます。
(b) の構成であれば、入力バッファにより、センサーに対するキックバックを回避できます。

では、このアンプはどのようなことを基準にして選択すればよいのでしょうか。最も基本的な要件は、必要な充電電流に対応でき、キックバックされる電荷を吸収する能力を備えていることです。次に、ADCが入力信号をサンプリングする際、誤差が生じないように、アンプの出力は実際にサンプリングが行われるタイミングまでに完全にセトリングしている必要があります。つまり、アンプは瞬間的に電流を供給し、過渡的な事象に対して高速に応答する必要があるということです。アンプの性能指標で言えば、高いスルー・レートと広い帯域幅を備えていなければなりません。サンプリング周波数と分解能が高いADCを使用したい場合、これらの要件はより重要になります。

特に帯域幅が中程度のアプリケーションでは、ADCに適したアンプを特定することが設計上の大きな課題になります。先述したように、アナログ・デバイセズは、このステップを容易化するためのシミュレーション用のモデルを用意しています。また、ADCの駆動に使用するドライバ（アンプ）の選定に役立つオンライン・ツール「[Precision ADC Driver Tool](#)」も提供しています。確かに、これらを活用すればADCのデータシートに記載された性能を達成できる可能性が高まります。ただ、設計者にとっては、設計時に踏むべきステップが増えることになるとも言えます。新世代のSAR ADCやDTSD ADCの中には、新たなサンプリング手法を採用することで必要な電流量を低減したものや、アンプを内蔵することによってこの課題に対応したものが存在します。しかし、どちらのソリューションでも、信号帯域幅が制限されたり、ADCの性能が低下したりすることになります。

CTSD ADCのメリット：CTSD ADCでは、スイッチド・キャパシタ入力ではなく、駆動が容易な抵抗性入力を使用します。そのため、上述した課題を回避できます。つまり、帯域幅が非常に広く、スルー・レートが非常に高いアンプが不要になるということです。この抵抗性負荷をセンサーによって直接駆動できる場合には、CTSD ADCとセンサーを直接接続することが可能です。直接駆動することはできない場合でも、センサーとCTSD ADCをつなぐインターフェースとしては、帯域幅が狭い低ノイズのアンプを使用することができます。

【ステップ3】ADCのリファレンス用のインターフェース

通常、ADCにはリファレンス電圧を入力する必要があります。そのインターフェースには、入力信号用のインターフェースと同様の課題があります。従来、ADCのリファレンス入力部にもスイッチド・キャパシタが使われてきたからです（図5）。サンプリング・クロックのエッジごとに、リファレンス源はADC内部のコンデンサを充電しなければなりません。そのために必要な電流を供給する能力とセトリングを高速に実現する能力が必要になります。一般に、リファレンスICは多くの電流を供給する能力は備えていませんし、帯域幅も限られています。

この部分のインターフェースにはもう1つの課題があります。それは、リファレンスICからのノイズがADCのノイズ（量子化ノイズなど）よりも大きいことです。このノイズをフィルタリングするためには、1次のRC回路を使用します。つまり、ノイズを抑えるためにリファレンスの帯域を制限する一方で、高速なセトリングを実現しなければならないのです。このような相反する2つの要件を満たすにはどうすればよいのでしょうか。そのための方法の1つは、図5（b）に示すように、低ノイズのバッファ・アンプを使用してADCのリファレンス・ピンを駆動するというものになります。このバッファのスルー・レートと帯域幅は、ADCのサンプリング周波数と分解能に基づいて決定します。

ADCの入力ドライバ向けのツールと同様に、アナログ・デバイセズは、シミュレーションによってリファレンス用のバッファを選択できるようにするためのツールを提供しています。また、新世代のSAR ADCやDTSD ADCの中には、リファレンス・バッファを内蔵するというオプションを有しているものもあります。但し、これについても性能と帯域幅に対する制限が伴うことになります。

CTSD ADCのメリット：このステップは、CTSD ADCを採用することによって完全に省略することができます。CTSD ADCのリファレンスの駆動には、帯域幅が広くスルー・レートの高いバッファは必要ありません。抵抗性負荷を駆動するための簡素な手法を採用することができます。例えば、リファレンスICにローパス・フィルタを付加してリファレンス・ピンに接続するといった具合です。

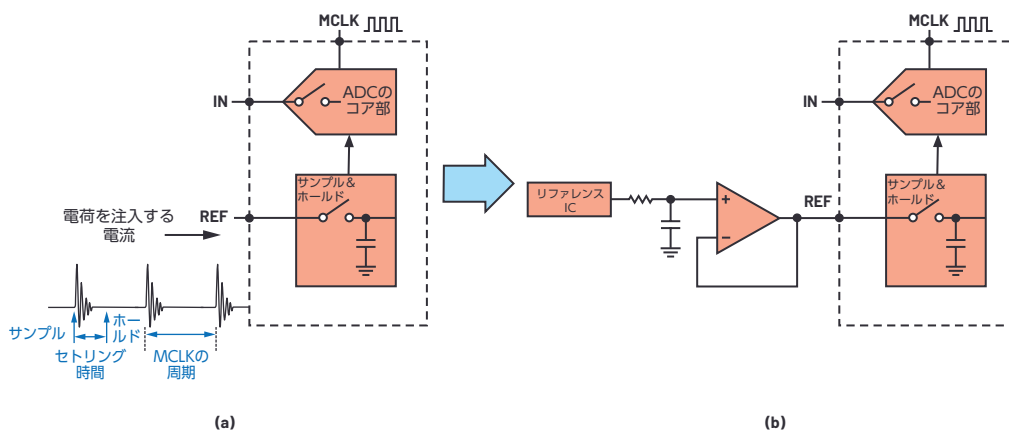


図5. ADCのリファレンス入力部。(a) の構成では、スイッチド・キャパシタからリファレンスICへの電荷のキックバックが生じます。
(b) の構成であれば、リファレンス・バッファにより、リファレンスICに対するキックバックを回避できます。

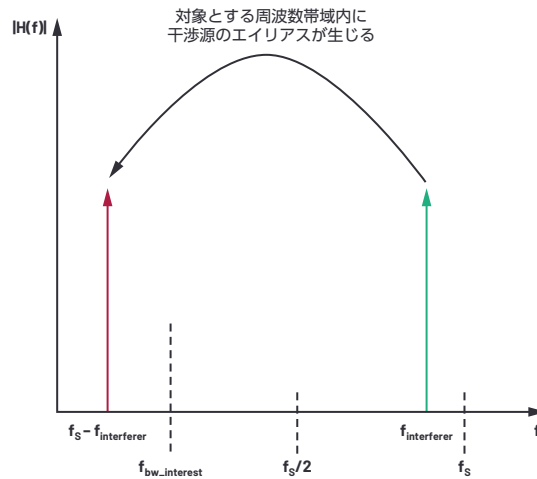


図6. サンプリングに伴うエイリアシング。
帯域外に存在する干渉源の折り返しが、対象とする周波数帯域内に生じます。

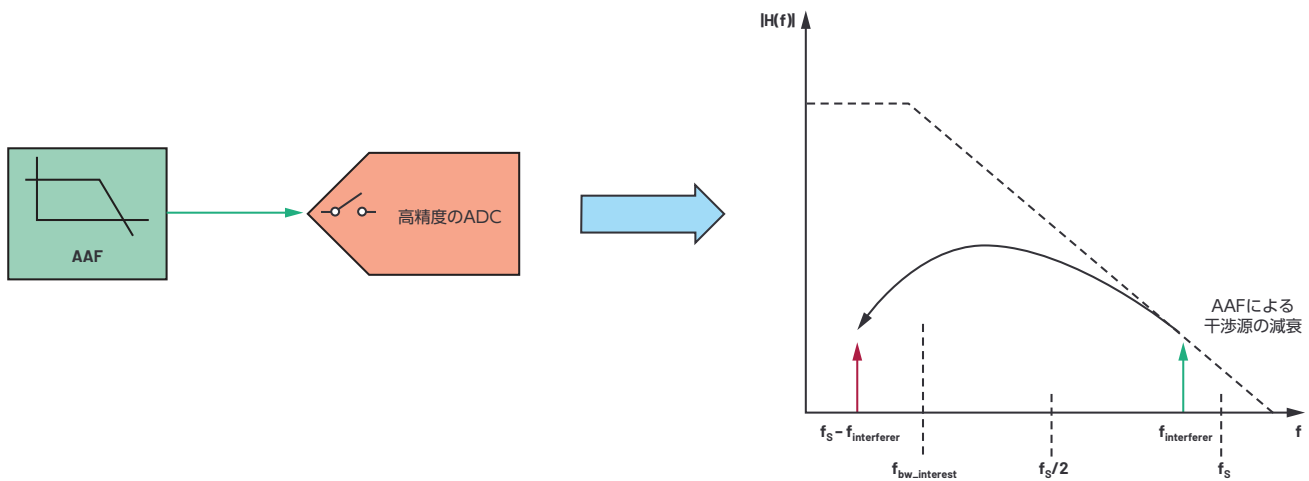


図7. AAFの適用。
エイリアシングによる帯域内への影響を軽減できます。

【ステップ4】 干渉の影響を受けない シグナル・チェーンを構築する

連続信号をサンプリングしてデジタル化する場合、情報の欠落を避けることはできません。つまり、必ず誤差が生じます。この誤差を量子化ノイズと呼びます。ADCのアーキテクチャでは、性能の限界は、サンプリング周波数とビット数（分解能）によって決まります。信号入力とリファレンスのインターフェースに関する課題を解決したら、次の課題に取り組まなければなりません。その課題とは、高い周波数帯に存在する干渉源／ノイズが、低い周波数帯（A/D変換の対象となる帯域）に現れるというものです。この現象は、エイリアシングまたは折り返しと呼ばれています。高い周波数帯（帯域外）に存在する干渉源のイメージ信号が帯域内に折り返してくると、S/N比が低下します。サンプリング定理で示されているとおり、サンプリング周波数付近のトーンは帯域内に折り返します（図6）。つまり、対象とする周波数帯域内に不要な情報や誤差が生じていることになります。エイリアシングの詳細については、「[MT-002：『ナイキストの基準』を、現実のADCシステム的设计に活かす](#)」をご覧ください。

折り返しの影響を軽減するための方法の1つは、アンチエイリアシング（折返し誤差防止）フィルタ（AAF：Antialiasing Filter）

を使用することです（図7）。AAFは、ローパス・フィルタの一種です。これによって、不要な干渉源の振幅を減衰させます。干渉源が帯域内に折り返してきたとしても、その振幅が小さく抑えられていることから、所望のS/N比を維持することができます。通常、このローパス・フィルタは、ドライバ・アンプに組み込まれています。

そのようなドライバ・アンプを設計する際の大きな課題は、より高速なセトリングとローパス・フィルタの要件の間で適切なバランスを見出すことです。ただ、このソリューションにはより重要な課題があります。このソリューションを利用する場合には、アプリケーションの要件に応じて微調整が必要になるのです。そのため、様々なアプリケーションに対して単一の設計／プラットフォームで対応するということが難しくなります。なお、アナログ・デバイセズは、この課題の克服に役立つ[AAFの設計ツール](#)も提供しています。

CTSD ADCのメリット：CTSD ADCは、エイリアスを除去する固有の性質を備えています。この特徴は、CTSD方式のADCだけが備えるものです。この種の干渉に対しては耐性があり、AAFは必要ありません。そのため、さほど努力することなく、CTSD ADCをセンサーに直接接続できる可能性が高まります。

【ステップ5】ADCのクロック周波数とODRの選択

続いては、SAR ADCとDTSD ADCにおけるクロックの要件について検討します。DTSD ADCでは、オーバーサンプリングを利用します。つまり、ナイキストの定理で説明されているサンプリング・レートよりもはるかに高いレートでサンプリングを実施します。オーバーサンプリングしたデータをそのまま外部のデジタル・コントローラに引き渡すと、大量の余剰情報によって過負荷が生じてしまいます。したがって、オーバーサンプリングを利用するADCでは、内蔵デジタル・フィルタを使ってデータのデシメーションを実施します。それにより、ADCの最終的なODRを信号周波数の2倍のレベルまで低下させます。

DTSD ADCは、周波数の高いサンプリング・クロックを使用しつつ、所望のODRが得られるようにプログラムする必要があります。その結果、最終的な出力として、所望のODRのデジタル・データと周波数がODRに等しいクロックが得られます。デジタル・コントローラは、このODRクロックを使用してデータを取り込みます。

では、SAR ADCのクロックにはどのようなことが求められるのでしょうか。SAR ADCの場合、通常はナイキストの定理にそのまま従います。ADC用のサンプリング・クロックは、デジタル・コントローラから供給します。また、このクロックの周波数はODRに相当します。ただ、ADCの最適な性能を引き出すためには、サンプル&ホールドのタイミングを適切に制御する必要があります。そのため、このクロックのタイミングについては高い柔軟性は得られません。デジタル出力のタイミングも、この要件に対応させる必要があります。

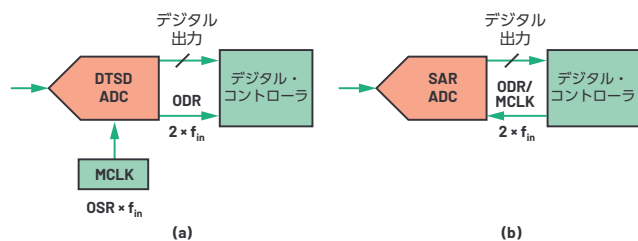


図8. DTSD ADCのクロック (a) と SAR ADCのクロック (b)

両アーキテクチャのクロックの要件について理解すれば、ODRはADCのサンプリング・クロックと連動していることがわかります。このことは、ODRがドリフトするか、動的に変化する可能性がある多くのシステムにおいて制約になります。あるいは、アナログ入力信号の周波数に応じてODRを調整する必要があるシステムにおいても制約になります。

CTSD ADCのメリット：CTSD ADCは、新たな非同期サンプリング・レート・コンバータ (ASRC : Asynchronous Sample Rate

Converter) と組み合わせて使用します。ASRCは、A/D変換によって得られたデータを任意のODRでサンプリングする機能を提供します。そのため、ODRを任意の値にきめ細かく設定することが可能になります。従来、ODRについては、サンプリング周波数の倍数に設定しなければならないという制約がありました。ようやく、この制限から解放されることになったのです。ODRの周波数とタイミングについては、デジタル・インターフェースだけに要件が課せられることになりました。言い換えると、ADCのサンプリング周波数とODRは完全に切り離されるということです。このことから、シグナル・チェーンの設計において、デジタルの部分を分離できることになります。

【ステップ6】 デジタル・コントローラとのインターフェース

従来から、デジタル・コントローラとやり取りするために、ADCには2種類のデータ・インターフェース・モードが用意されていました。1つはADCがホストとして動作するモードです。このモードでは、ADCがデジタル・クロックとODRクロックを供給します。つまり、デジタル・コントローラがデータを取り込むためのクロック・エッジをADCが決定することになります。もう1つはホステッド・モード (レシーバー・モード) です。このモードでは、デジタル・コントローラがホストとなります。同コントローラが、ODRクロックを供給すると共に、ADCからのデータを取り込むためのクロック・エッジを決定します。

ステップ5の続きになりますが、DTSD ADCを使用する場合、同ADCがODRクロックを供給します。つまり、同ADCがデジタル・コントローラのホストとして動作します。一方、SAR ADCを使用する場合には、デジタル・コントローラがODRクロックを供給します。SAR ADCは、常にデジタル・コントローラをホストとするペリフェラルとして扱われるということです。以上のことから、1つの制約が生じることがわかります。それは、DTSD ADCとSAR ADCのうちどちらかを選択すると、デジタル・インターフェースがホスト・モードとホステッド・モードのうちいずれかに限定されるということです。現時点では、ADCのアーキテクチャに依存することなくインターフェースを選択できるだけの柔軟性は提供されていません。

CTSD ADCのメリット：CTSD ADCと新たなASRCを組み合わせることで、ADCのデータ・インターフェース・モードを任意に設定することが可能になります。つまり、ADCのアーキテクチャに依存せず、アプリケーションで使用するデジタル・コントローラに適した任意のモードを使用できるということです。このことから、高性能のADCを使用する全く新たなアプリケーションが実現される可能性が生まれます。

シグナル・チェーンの大幅な簡素化

図9に、従来の高精度ADCを使用した場合とCTSD ADCを使用した場合のビルディング・ブロックを示しました。ADC用のドライバ、AAF、リファレンス用バッファから成る従来の構成が、CTSD ADCを採用することによって劇的に簡素化されることがわかります。

図10 (a) は、DTSD ADCを使用する場合のシグナル・チェーンの例です。この場合、ADCのデータシートに記載された性能を引き出すためには、微調整を行わなければなりません。その作業を簡素化するために、アナログ・デバイセズは多くのリファレンス設計を提供しています。それらを再利用／再調整することで、ADCを使用する様々なアプリケーションにおける作業負担を軽減できます。それでも、その作業が大きな負担であることは間違いありません。

図10 (b) に示したのは、CTSD ADCを使用する場合のシグナル・チェーンの例です。ADCへの信号入力部にもリファレンス部にもスイッチド・キャパシタが存在しないため、フロント・エンドが大幅に簡素化されています。スイッチングを伴うサンプリング回路はA/D変換部（ADCのコア部）の後段に存在しており、信号入力部とリファレンス入力部は純粋な抵抗性の回路で実現されています。つまり、CTSD ADCは、ほとんどサンプリングを伴わない比類のない手法で実現されたADCだということです。この種のADCの伝達関数は、AAFの応答によく似ています。つまり、干渉源を減衰させる性質を本質的に備えています。CTSD

技術により、ADCは簡単にプラグ＆プレイできるコンポーネントへと変貌したのです。

以下、本稿で説明した内容をまとめます。CTSD ADCを採用すれば、従来のADCを使用する場合と同等の性能レベルを達成しつつ、シグナル・チェーンを大幅に簡素化することができます。それだけでなく、以下に示すようなメリットも得られます。

- ▶ エイリアスが生じず、遅延を最小限に抑えられ、チャンネル間の位相マッチングに優れたシグナル・チェーンを実現できます。
- ▶ 広帯域幅の入力用のバッファとリファレンス用のバッファを選択したり微調整したりするためのステップが不要になります。アナログ・フロント・エンドを簡素化でき、より高いチャンネル密度を実現できます。
- ▶ サンプリング・クロックに依存して変化するODRの障壁を排除することが可能です。
- ▶ デジタル・コントローラに対するインターフェースを任意に選択できます。
- ▶ 周辺部品を削減できるため、シグナル・チェーンの信頼性が高まります。
- ▶ 部品点数を減らすことができ、実装面積を68%低減することが可能になります。また、お客様が製品を市場に投入するまでに要する時間を短縮することが可能です。

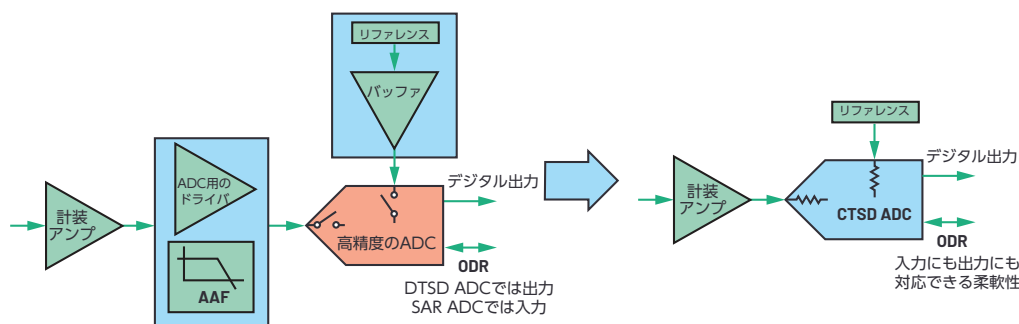


図9. ビルディング・ブロックの比較。
左は従来の高精度ADCを使用した場合、右はCTSD ADCを使用した場合の例です。

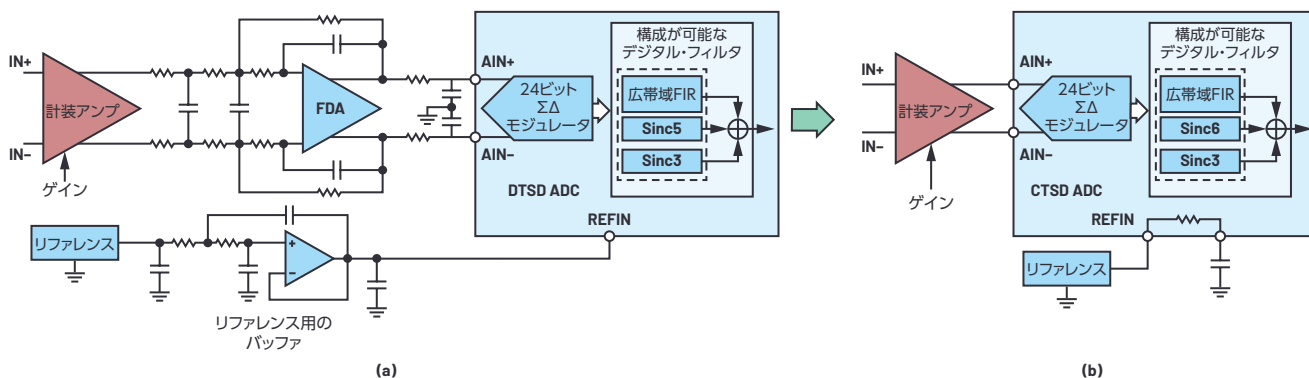


図10. シグナル・チェーンの比較。
左はDTSD ADCを使用した場合、右はCTSD ADCを使用した場合の例です。

Part 2以降では、CTSD ADCとASRCのコンセプトや、それらがシグナル・チェーンにもたらすメリットについて更に詳しく説明します。また、AD4134の機能を活用する方法についても解説します。CTSD ADCとASRCによってどのように設計が簡素化されるのかご理解いただけるはずです。

謝辞

本稿の執筆にあたり有益な知見を提供してくれたプロダクト・アプリケーション・エンジニアのNaiqian Renとプロダクト・マーケティング・エンジニアのMark Murphyに感謝します。

参考資料

Application Note [AN-282: Fundamentals of Sampled Data Systems (アプリケーション・ノートAN-282: サンプル・データ・システムの基本)], Analog Devices

Driving Precision Converters: Selecting Voltage References and Amplifiers (高精度コンバータを駆動する: 電圧リファレンスとアンプの選択), Analog Devices

Walt Kester [MT-021 Tutorial: ADC Architectures II: Successive Approximation ADCs (MT-021チュートリアル: ADCのアーキテクチャII: 逐次比較型ADC)] Analog Devices, 2009年

シグマ・デルタADCチュートリアル, Analog Devices

Wasim Shaikh, Srikanth Nittala [連続時間型の $\Sigma\Delta$ ADCにより、データ・アキュイジション用のシグナル・チェーンを簡素化] Analog Dialogue, Vol. 54, No. 3, 2020年8月



著者について

Abhilasha Kawle (abhilasha.kawle@analog.com) は、アナログ・デバイセズのシニア・アナログ設計エンジニアです。リニア/高精度技術グループ（インド バンガロール）に所属しています。2007年にインド理科大学院（バンガロール）で電子設計/電子技術に関する修士号を取得しました。



著者について

Wasim Shaikh (wasim.shaikh@analog.com) は、アナログ・デバイセズのアプリケーション・エンジニアです。2015年に入社しました。高精度コンバータ部門（インド バンガロール）に所属しています。2003年にプネー大学で学士号を取得しました。