

# 高い精度を実現する連続時間型の ΣΔ ADC【Part 2】 シグナル・チェーンの設計者が CTSDについて理解しておくべきこと

著者：Abhilasha Kawle、アナログ設計マネージャ

本稿では、連続時間型シグマ・デルタ（CTSD：Continuous-time Sigma-delta）方式のA/Dコンバータ（ADC）について、従来とは異なるアプローチで解説します。この使いやすい新たな高精度ADCは、なじみ深い数点の部品を接続するだけで使用できます。本稿のアプローチであれば、シグナル・チェーンの設計者はそのシンプルなシステムの動作を容易に思い描くことができます。本稿のPart 1では、従来のシグナル・チェーンにおける設計上の主な課題を列挙しました。そして、それらの課題は、高精度のCTSD ADCを採用することによって解決できることを明らかにしました。連続時間信号が備える完全性が維持され、最高の精度が得られるからです。では、CTSDのアーキテクチャでは、なぜそのようなことが実現できるのでしょうか。

従来、CTSD技術の概念を説明する際には、離散時間型のシグマ・デルタ（DTSD：Discrete-time Sigma-delta）変調器の話から始めていました。その上で、DTSD変調器の構成要素をCTSDの構成要素で置き換えるというアプローチによって解説が行われていました。確かに、それによりシグマ・デルタ（ΣΔ）変調に対する理解は深まりますし、そのアプローチに問題があるわけではありません。ただ、本稿では、CTSD ADCの本質的な長所について、直感的に理解できるようにしたいと考えています。そこで、まずは広く知られているクローズドループの反転アンプの話から始めることにします。そして、同アンプをADC、D/Aコンバータ（DAC）と組み合わせてCTSD変調器のループを段階的に構築するというアプローチを採用します。また、回路を構築していく過程で、ΣΔ変調についての基本的な解説も加えることにします。

## 【ステップ1】反転アンプについて、おさらいする

CTSD ADCの長所の1つは、入力部において、スイッチド・キャパシタで構成した従来のサンプリング回路ではなく、駆動が容易な抵抗性入力を使用する点にあります。入力インピーダンスの面

で、CTSD ADCに似ている回路の1つが反転アンプです。そこで、CTSD変調器の構築に向けた最初のステップでは、反転アンプについて改めて考えてみることにします。

クローズドループのオペアンプ回路は、アナログ入力を高い忠実度で再現したい場合に頻繁に用いられます。図1に、その最も一般的な構成だと言える反転アンプ回路を示しました<sup>1</sup>。忠実度を計る指標の1つは、入力に対する出力のゲインです。このゲインは、ΣΔ変調に関連する用語で言えば信号伝達関数（STF：Signal Transfer Function）に相当します。STFに影響を与えるパラメータについて定義するには、回路の解析を実施する必要があります。

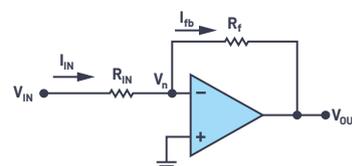


図1. 反転アンプの回路図。  
クローズドループのオペアンプ回路としては最も一般的な構成だと言えます。

この回路について、まずは有名な $V_{OUT}/V_{IN}$ の式を導出してみましょう。最初のステップでは、オペアンプのオープンループ・ゲインAは無敵大であると仮定します。この仮定により、オペアンプの反転入力 $V_n$ の電位はグラウンドのレベルになります。このノードにキルヒホッフの法則を適用すると、次式が得られます。

$$I_{IN} = \frac{V_{IN}}{R_{IN}}, \quad I_{fb} = -\frac{V_{OUT}}{R_f} \quad (1)$$

$V_{OUT}$ と $V_{IN}$ について解くと、ゲイン（つまりSTF）は次式のようにになります。

$$STF = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_{IN}} \quad (2)$$

次に、無限大のゲインという非現実的な仮定を破棄し、オペアンプのゲインAが有限である場合のSTFを導出してみましょう。そうすると、STFは次式のようにになります。

$$STF = -\frac{R_f}{R_{IN}} \times \left( \frac{A}{\left(1 + \frac{R_f}{R_{IN}}\right) + A} \right) \quad (3)$$

この後、一般的な教科書では $R_{IN}$ 、 $R_f$ 、 $A$ の各パラメータに対する感度について説明されるケースが多いでしょう。ただ、本稿ではそうした話題には触れず、CTSD変調器の構築に向けて話を進めることにします。

## 【ステップ2】反転アンプに離散化の概念を導入する

シグナル・チェーンでADCを使用するということは、 $V_{IN}$ をデジタル化する必要があるということを意味します。そこで、図1の回路にデジタル化の概念を導入します。但し、ADCによって入力信号を直接サンプリングするという従来の手法を適用するわけではありません。別の方法として、典型的なADCを反転アンプの出力の後段に配置することで、デジタル化したデータを取得できるようにします。ただ、反転アンプの構成を維持するには、出力信号を入力に帰還しなければなりません。当然のことながら、ADCの出力をそのまま入力に帰還することはできないので、アナログ電圧を生成する必要があります。そこで、図2に示すように、ADCの後ろにDACを配置することにします。

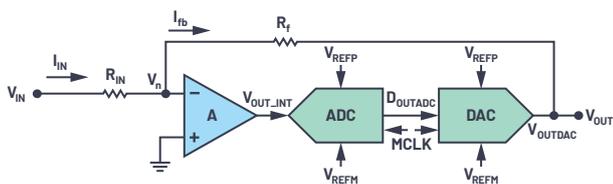


図2. 反転アンプにADCとDACを追加した回路

ADCに加えてDACも導入したので、 $V_{OUT}$ は $V_{IN}$ を再現できていることになります。つまり、 $V_{IN}$ から $V_{OUT}$ までの信号の流れに変化はないということです。但し、デジタル化を導入したことにより、量子化誤差という要素が加わっています。なお、ここでは、ADCとDACのリファレンスを次式のように設定することに注意してください。

$$V_{REFP} = V_{REF}/2, V_{REFM} = -V_{REF}/2 \quad (4)$$

その目的は、ループの動作（扱う信号）が0Vに対して対称になるようにすることと、数学的な導出を容易に行えるようにすることです。

## 【ステップ3】アナログ積分器を導入する

ここで、図2の反転アンプ回路の安定性について考えてみます。ADCとDACは、いずれもサンプリング・クロック（MCLK）で動作する離散領域の回路です。そして、遅延のないADCやDACを設計するのは不可能です。一般的なADC/DACでは、一方のクロック・エッジで入力信号のサンプリングが行われ、他方のエッジで必要な処理が実行されます。そのため、ADCとDACで処理された結果である $V_{OUT}$ は、1クロック・サイクル分の遅延時間が経過した後でなければ使用できません。図2の回路では、このような遅延を伴う信号がフィードバックされることになります。

帰還に生じるこの遅延は、回路の安定性に何らかの影響を及ぼすのでしょうか。それについて知るために、 $V_{IN}$ がどのように伝達されるのか追跡してみましょう。話をわかりやすくするために、 $V_{IN} = 1$ 、 $R_{IN} = 1$ 、 $R_f = 1$ で、オペアンプのゲインAは100であると仮定します。最初のクロック・サイクルでは、入力電圧は1で、DACの出力 $V_{OUT}$  ( $V_{OUTDAC}$ ) は0です。この出力が帰還されることになるわけですが、それは次のクロック・エッジまで実行できません。入力信号と帰還信号の誤差について、アンプとADCの出力の範囲で追跡すると、出力は指数関数的に増加し続けることがわかります。つまり、技術的な用語で言えば回路の暴走という問題が生じるということです。

表1. クロックのエッジでサンプリングされる値

	$V_{IN}$	$V_{OUT} = V_{OUTDAC}$	$V_n = (V_{OUT} + V_{IN})/2$	$V_{OUT\_INT} = -A \times (V_n)$	$D_{OUTADC}$
1つ目のサンプリング・エッジ	1	0	0.5	-50	-50
2つ目のサンプリング・エッジ	1	-50	~-25	~-2500	2500
3つ目のサンプリング・エッジ	1	2500	~-1250	~-12,500	-12,500

このような現象は、誤差がアンプによって増幅された瞬間に、ADCの入力部が機能することによって生じます。つまり、まだ帰還がかかっていない状態でADCが処理を行ってしまうということです。これは望ましいことではありません。これについては、ADCによる処理が、累積された誤差を平均化した信号に対して行われるようにすることで対処できます。つまり、帰還信号の1クロック分の遅延による誤差が平均化されるようにすればよいということです。そうすれば、システムの出力は抑制されます。

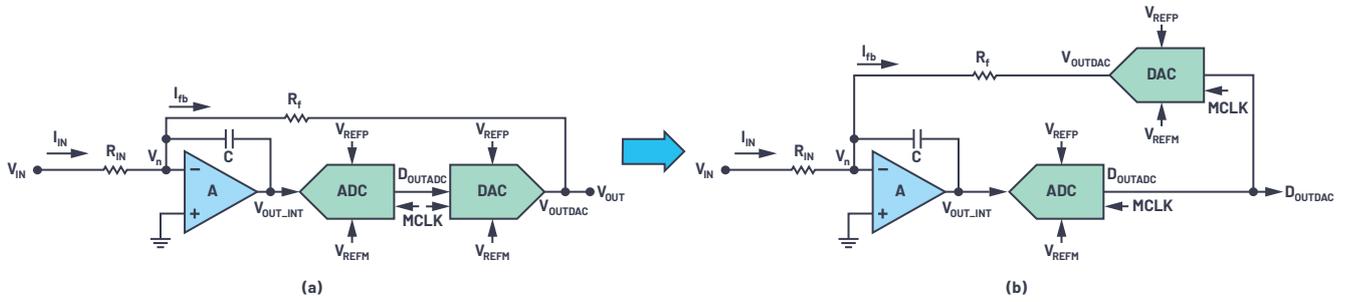


図3. 積分器を適用した回路。(a)は、単にループに積分器を導入した状態を表しています。  
(b)では、 $D_{OUTDAC}$ を出力として強調するために配置を変更しています。

このような処理は、平均化の機能を備えるアキュムレータによって実現することができます。そのアナログ版として利用できるのが積分器です。ループのゲインが高くなるのは、低い周波数帯においてのみです。低い周波数帯というのは、対象とする信号周波数の帯域に相当します。それにより、暴走の原因になる瞬間的な誤差がADCで発生しないようになります。

具体的な回路は、図3 (a) に示すようなものになります。ご覧のように、積分器に変更した反転アンプ、ADC、DACでループが構成されています。

#### 【ステップ4】 帰還抵抗を簡略化する

関心を持つべき信号は $D_{OUTDAC}$ です。そこで、図3 (b) に示すようにループの構成要素を並べ替え、システムの出力として $D_{OUTDAC}$ を強調することにしましょう。その上で、DACと $R_f$ のパスの簡略化を試みることにします。そのために、まずはDACについて詳細に掘り下げてみましょう。DACを使用する目的は、デジタル・コード $D_{IN}$ を、リファレンスに比例したアナログの等価電流／等価電圧に変換することです。

ここでは、連続性を備えることの利点をリファレンスまで拡大します。そのために、DACのアーキテクチャとしては、抵抗ラダー方式をベースとする一般的なものを想定することにします。それにより、リファレンスにスイッチングの負荷がかからないようにすることができます。以下の式で示される関係を使用して、 $D_{IN}$ を電流出力に変換する抵抗ラダー型のサーモメータDAC<sup>2</sup>を使用するということにしましょう。

$$I_{DAC} = \frac{V_{REF}}{R_f} \times \frac{D_{IN}}{2^N} \quad (5)$$

ここで、 $V_{REF}$ はDACに供給されるトータルのリファレンス電圧であり、 $V_{REF} = V_{REFP} - V_{REFM}$ の関係で表されます。また、それ以外の変数の意味は以下のとおりです。

- ▶  $D_{IN}$ : サーモメータ DAC への入力コード
- ▶  $R_f$ : 帰還抵抗 (各単位要素として分割)
- ▶  $N$ : ビット数

ここでは電流出力型のDACを使用しているため、電圧出力が得られるようにする必要があります。そこで、図4に示すように、I-V変換を担うトランスインピーダンス・アンプ<sup>3</sup>をDACの後段に配置します。これにより、以下の式で表される変換が行われます。

$$V_{OUTDAC} = I_{DAC} \times R_f \quad (6)$$

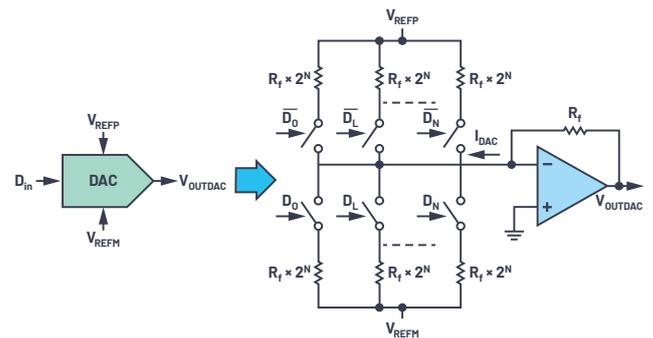


図4. 抵抗ラダー型のサーモメータDAC

再び、図3 (b) の離散化されたループをご覧ください。 $V_{OUTDAC}$ は、積分器を構成する帰還抵抗 $R_f$ を介して再び電流 $I_{fb}$ に変換されます。つまり、信号の流れは $I_{DAC} \rightarrow V_{OUTDAC} \rightarrow I_{fb}$ となっています。これを数学的に表すと次式ようになります。

$$I_{fb} = \frac{V_{OUTDAC}}{R_f} = I_{DAC} \quad (7)$$

上記の信号の流れと式から、 $V_{OUTDAC}$ を $I_{fb}$ に変換するのは冗長なステップであることがわかります。そこで、無駄な構成要素を削除し、簡素化を図るために $(V_{REFP} - V_{REFM})$ を $V_{REF}$ と表すことにします。

そうすると、ループは図5のように描き直すことができます。

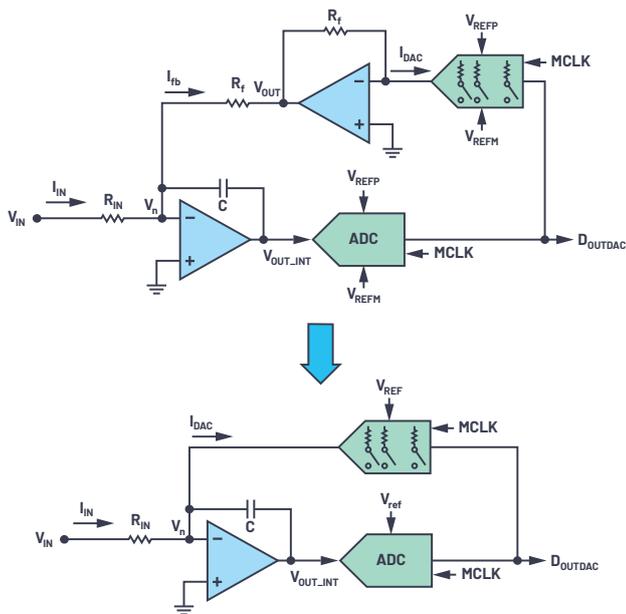


図5. 冗長なI-V変換部と帰還抵抗を削除した回路

これにより、1次のΣΔ変調ループが完成しました。ご覧のように、よく知られた構成要素である反転アンプ、ADC、DACをつなぎ合わせただけです。

### 【ステップ5】オーバーサンプリングについて理解する

ここまででCTSD変調器のループ構成について把握することができました。しかし、この架空のループが備える特殊性について、もう少し詳しく理解する必要があります。そのための最初のステップは、オーバーサンプリングについて理解することです。ADCは、アナログ信号の情報を抽出／解釈するのに十分な回数のサンプリングを実施し、それに対応するデジタル化された出力データが得られて初めて役に立ちます。ナイキストの定理によれば、入力信号を忠実に再現するためには、ADCのサンプリング周波数を信号の周波数の2倍以上に設定する必要があります。これが最小の要件となるわけですが、更にサンプリング周波数を高めてより多くのデータを取得できるようにすると、解釈を行う際の誤差を更に低減できます。このような考え方に従って、ΣΔ方式のADC/DACでは、ナイキスト周波数よりもはるかに高いサ

ンプリング周波数が使用されます。この手法は、オーバーサンプリングとして知られています<sup>4</sup>。オーバーサンプリングを採用すると、ナイキスト周波数でサンプリングを行う場合と比べて、はるかに広い周波数範囲にわたってノイズを分散することができます(図6)。その結果、本来の周波数対域内に存在する量子化ノイズの量が低減されます。

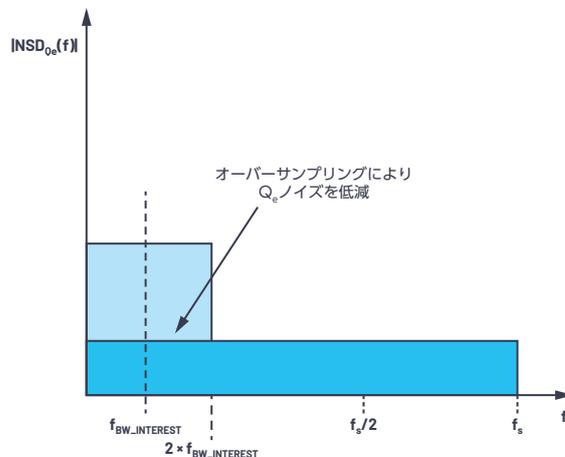


図6. ナイキスト・サンプリングとオーバーサンプリングの比較。オーバーサンプリングを行うことで、対域内のノイズ・スペクトル密度を低減できます。

### 【ステップ6】ノイズ・シェーピングについて理解する

シグナル・チェーンの設計者は、ΣΔ変調の専門家と話をしている際に戸惑いを覚えることがあるかもしれません。ΣΔ変調の専門家は、ノイズの伝達関数 (NTF : Noise Transfer Function) やノイズ・シェーピング<sup>4</sup>といった用語を多用するからです。ここでは、そうした特有の用語について直感的に理解できるように解説を進めます。そのために、本稿で扱っている反転アンプの出力に誤差 $Q_e$ という概念を追加することにしましょう(図7)。

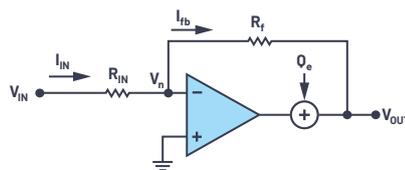


図7. 誤差 $Q_e$ の概念を追加した反転アンプ

この誤差によって出力に現れる影響は、次式で表すことができます。

$$V_{OUT} = \frac{Q_e}{1 + \frac{A}{1 + \frac{R_f}{R_{IN}}}} \quad (8)$$

この式は、誤差  $Q_e$  はアンプのオープンループ・ゲインに依存して減衰するという意味を示しています。繰り返しになりますが、これはクローズドループが備える長所です。この長所について理解すれば、それをCTSD変調器の構成要素であるADCの量子化誤差  $Q_e$  に拡張して考えられるようになるはず。量子化誤差  $Q_e$  は、積分器の出力で連続信号を量子化する際に発生します (図8)。

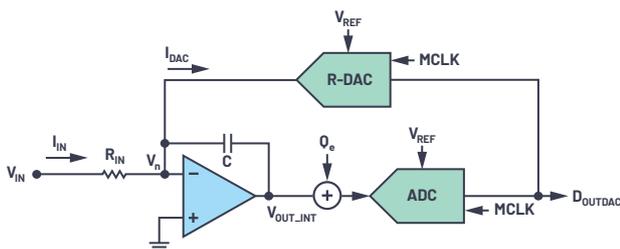


図8. 量子化誤差  $Q_e$  の概念を追加したCTSD変調器

このように考えれば、 $Q_e$  は積分器によって減衰させられるということを直感的に理解できるはず。積分器の伝達関数は、 $|H_{INTEG}(f)| = 1/|s \times RC| = 1/2\pi fRC$  となります。図9は、この式に対応する周波数特性を示したものです。この特性は、低い周波数でゲインが高くなるローパス・フィルタの特性と等価です。周波数が高くなるにつれて、ゲインは直線的に低下します。それに対応して、 $Q_e$  の減衰特性はハイパス・フィルタの特性と似たような形状になります。

この減衰特性を数学的に表現したものがNTFです。ここでは、ADCのサンプリング回路とDACのスイッチは無視することになります。NTF ( $V_{OUTADC}/Q_e$ ) は、反転アンプについて行ったのと同じ方法によって求めることができます (以下参照)。

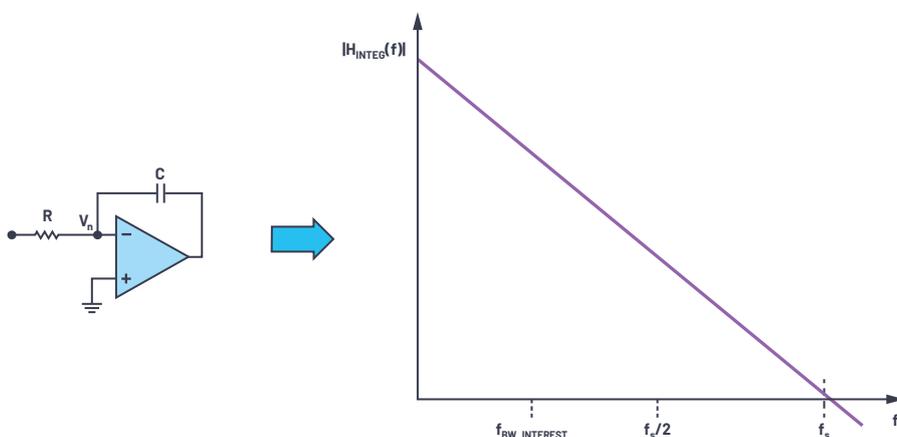


図9. 積分器の周波数特性

$$NTF_{int} = \frac{V_{OUTADC}}{Q_e} = \frac{sR_fC}{1 + sR_fC} \quad (9)$$

これを周波数領域で表現すると、ハイパス・フィルタの特性と同様の形状が得られるということです (図10)。対象とする周波数帯域では量子化ノイズは完全に減衰しており、考慮の必要がない高い周波数帯域へと押しやられています。これがノイズ・シェーピングの効果です。

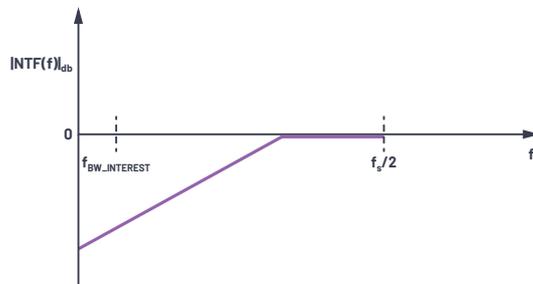


図10. サンプリング回路が存在しない場合のNTF。この仮定の下では、NTFはハイパス・フィルタの特性と同様の形状になります。

ループ内にサンプリング回路が存在する場合にも、量子化ノイズのシェーピング効果は同じように現れます。但し、その場合のNTFは図11のような周波数特性を示します。ご覧のように、サンプリング周波数の整数倍ごとにV字型のノッチが生じています。これは、 $f_s$  の倍数ごとに折り返しイメージが複製された結果です。

$\Sigma\Delta$ 変調のアーキテクチャには独特の特徴があります。そのアーキテクチャでは、分解能が4ビット程度といった精度の粗いADCの周囲に積分器とDACで構成されるループを配置します。そして、オーバーサンプリングとノイズ・シェーピングという概念が適用されます。それにより、対象となる周波数帯域内の量子化ノイズを大幅に低減します。その結果、精度の粗いADCが、16~24ビットの分解能を備えるADCであるかのように見える状態になるのです。

ここまででは、1次のCTSD ADCを例にとって説明を進めてきました。上述した基本的な特質は、任意の次数の変調器にも拡張できます。サンプリング周波数、処理の粗いADCの仕様、ループの次数は、最終的なADCに求められる性能要件によって決まります。この要件は、設計の際に行うべき最も重要な意思決定事項として位置づけられるはずで。

### 【ステップ7】 デジタル・フィルタを追加してCTSD ADCを完成させる

一般に、ADCによって得られたデジタル・データには、信号が備える情報を抽出するために外部のデジタル・コントローラによる後処理が適用されます。先述したように、通常、 $\Sigma\Delta$ 方式のADCでは信号がオーバーサンプリングされます。オーバーサンプリングされたデジタル・データを外部のコントローラに直接引き渡すと、処理の対象となるデータ量が著しく増えてしまうこととなります。そうすると、デジタル・コントローラの消費電力と占有面積によるコストが無駄にかかってしまいます。そこで、デジタル・コントローラにデータを引き渡す前に、性能に悪影響が及ばないようにしながら効果的に間引き処理を実施するということが行われます。この間引き処理はデシメーションと呼ばれ、デシメーション・フィルタというデジタル・フィルタによって実行されます。図12 (a) に、デシメーション・フィルタを内蔵した標準的なCTSD ADCのブロック図を示しました。

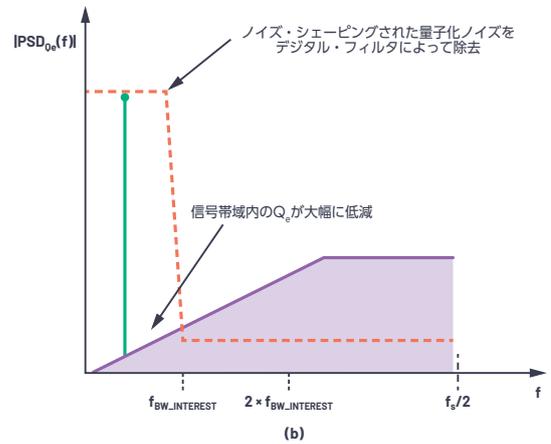
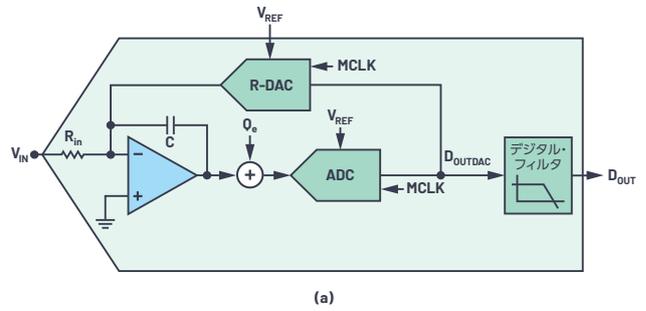


図12. CTSD ADCのブロック図 (a)。 (b) は変調器の出力とデジタル・フィルタの出力の周波数スペクトルです。いずれにも、入力信号の成分はそのまま含まれています。

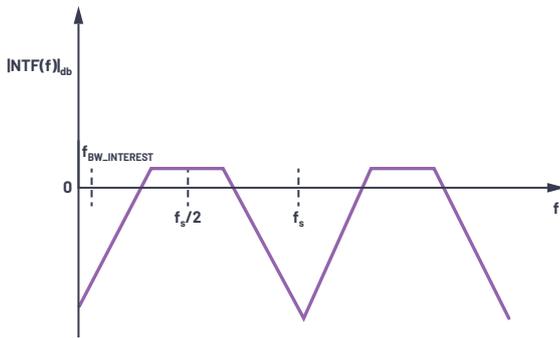


図11. CTSD ADCのNTF

図12 (b) は、帯域内のアナログ入力信号が、変調器の出力部、デジタル・フィルタの出力部でどのようになるのかを示したものです。変調器の出力部では、対象とする周波数帯域内の量子化ノイズがノイズ・シェーピングによって大幅に減衰していることがわかります。デジタル・フィルタの出力部では、対象とする周波数帯域以上の領域にシェーピングされたノイズが大幅に低減されています。また、最終的なデジタル出力D\_OUTのデータ・レートは、ナイキスト・サンプリングのデータ・レートまで落とされています。

### 【ステップ8】 クロックがCTSD ADCに及ぼす影響について理解する

ここまでで、CTSD ADCではどのようにして入力信号の連続的な完全性を維持するのか理解することができたでしょう。また、それによってシグナル・チェーンの設計が大幅に簡素化されることもわかりました。但し、このアーキテクチャにはいくつかの制約が存在します。それらは、主としてサンプリング・クロック (MCLK) に関するものです。CTSD変調器は、 $I_{IN}$ と $I_{DAC}$ の間の誤差電流を積分するという概念に基づいて動作します。この積分値に誤差があると、ループ内のADCによってそれがサンプリングされてしまいます。その結果は出力に反映されます。本稿で例にとっている1次の変調器の場合、 $I_{IN}$ と $I_{DAC}$ が一定であるとする、 $T_S$ のサンプリング期間における積分値は次式で与えられます。

$$\delta V_{out\_integ} = \frac{T_S}{RC} \times (I_{IN} - I_{DAC}) \quad (10)$$

入力が0である場合に、この積分誤差に影響を与えるパラメータとしては以下のものが挙げられます。

- ▶ MCLKの周波数：式(10)からわかるように、MCLKの周波数が変化した場合に同一の積分値を得るためには、積分の傾きを制御するRCの係数を再調整する必要があります。このことは、CTSD変調器はMCLKの固定周波数に対して調整されており、その周波数の変化には対応できないということの意味します。
- ▶ MCLKのジッタ：DACのコード（つまりは $I_{DAC}$ ）はクロック周期 $T_s$ ごとに変化します。 $I_{DAC}$ に対応する期間がランダムに変化すると、積分値の平均値が変化し続けることとなります(図13)。つまり、サンプリング・クロックの周期にジッタという形で誤差が生じると、変調器の性能に影響が及ぶことになります。

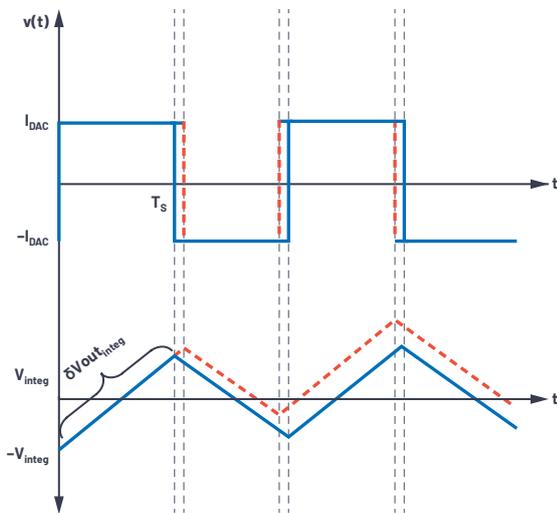


図13. クロックがCTSD変調器に及ぼす影響

上記のような理由から、CTSD ADCはMCLKの周波数とジッタに敏感だと言えます<sup>5</sup>。しかし、アナログ・デバイセズは、これに関連する問題を回避するための解決策を見いだしました。例えば、CTSD ADCを使用する場合、正確で低ジッタのMCLKを生成し、システムに沿ってADCまでルーティングする必要があります。

ます。これについては、ADCの近くに低コストの水晶と発振回路を配置することで対処できます。固定のサンプリング周波数に関する問題については、革新的な非同期サンプル・レート変換(ASRC: Asynchronous Sample Rate Conversion)によって対処することが可能です。ASRCにより、固定のサンプリング・クロック(MCLK)に依存することなく、デジタル・コントローラに対して可変の独立したレートでデジタル・データを出力することができます。この技術の詳細については、本稿のPart 3以降に説明します。

## 【ステップ9】CTSD ADCについて更に深く理解する

Part 1では、CTSD ADCがシグナル・チェーンにもたらすメリットについて説明しました。今回は、反転アンプを起点とし、CTSD変調器について解説してきました。図12(a)も、CTSD ADCが備える長所についての視覚的な理解に役立ったでしょう。

CTSD ADCの入力インピーダンスは、反転アンプの入力インピーダンスと等価です。また、抵抗性であるため駆動が容易です。革新的な技術を適用することで、変調器のDAC用に抵抗性のリファレンスを使用することも可能になっています。加えて、ADCのサンプリング回路は入力部に存在するのではなく、積分器の後段に配置されます。そのため、対象とする周波数帯域の外部にある干渉源に対しても本質的なエイリアス除去を適用することが可能です。Part 3以降では、CTSD ADCの長所と、それによってシグナル・チェーンにもたらされる影響について深く掘り下げます。Part 3では、CTSD ADCの最大の特徴とも言える本質的なエイリアス除去について解説することにします。また、CTSD ADCである「AD4134」によって得られた新たな評価データや性能パラメータを交えながら、エイリアス除去性能の定量化について詳しく説明します。

## 謝辞

CTSD ADC技術の説明を簡素化するために有益な知見を提供してくれたPraveen VarmaとRoberto Maurinoに感謝します。

## 参考資料

<sup>1</sup> Hank Zumbahlen [Mini Tutorial MT-213: Inverting Amplifier (ミニ・チュートリアル MT-213 : 反転アンプ)] Analog Devices、2013年2月

<sup>2</sup> Walt Kester [MT-014 Tutorial: Basic DAC Architectures I: String DACs and Thermometer (Fully Decoded) DACs (MT-014 チュートリアル : DACの基本的なアーキテクチャI: スtring DACとサーモメータ (フル・デコード) DAC)] Analog Devices、2009年

<sup>3</sup> Luis Orozco [分光システムのダイナミック・レンジを最大限に拡大するプログラマブル・ゲイン・トランスインピーダンス・アンプ] Analog Dialogue、Vol. 47、No. 2、2013年5月

<sup>4</sup> Walt Kester [MT-022 Tutorial: ADC Architectures III: Sigma-Delta ADC Basics (MT-022 チュートリアル : ADCのアーキテクチャIII :  $\Sigma\Delta$  ADCの基礎)] Analog Devices、2009年

<sup>5</sup> Pawel Czapor [クロック・ジッタが $\Sigma\Delta$  ADCに及ぼすあらゆる影響を理解する] Analog Dialogue、Vol. 53、No. 3、2019年4月

<sup>6</sup> Shanthi Pavan、Richard Schreier、Gabor C. Temes [Understanding Delta-Sigma Data Converters, 2nd edition ( $\Delta\Sigma$ 型アナログ/デジタル変換器入門 第2版)] Wiley、2017年1月



### 著者について

Abhilasha Kawle ([abhilasha.kawle@analog.com](mailto:abhilasha.kawle@analog.com)) は、アナログ・デバイセズのアナログ設計マネージャです。リニア/高精度技術グループ (インド バンガロール) に所属しています。2007年にインド理科大学院 (バンガロール) で電子設計/電子技術に関する修士号を取得しました。