

シグナル・チェーン用の電源システムを最適化する【Part 1】 電源ノイズの許容レベルを把握する

著者：Patrick Errgy Pasaquian、シニア・アプリケーション・エンジニア
Pablo Perez, Jr.、シニア・アプリケーション・エンジニア

はじめに

通信分野から産業分野まで、あらゆるアプリケーションでは、収集、伝送、保存されるデータの量が激増しています。第5世代の移动通信システム（5G）は、その最たる例だと言えるでしょう。このような背景から、アナログ信号の処理を担うデバイスにも、より高い性能が求められるようになっていきます。なかには、データ・レートに換算してGSPSのレベルの速度が要求されるケースもあります。実際、イノベーションは決して減速することはありません。次世代のエレクトロニクス・ソリューションには、更なる小型化と電力効率の向上が求められるはずです。加えて、ノイズについても、より高い性能が要求されることになるでしょう。

システムには、アナログ、デジタル、シリアル・デジタル、デジタルI/Oなど、様々な電源ドメインが存在します。最適な動的性能を得るためには、すべての電源ドメインで生成されるノイズを可能な限り低減しなければならないという考えに陥りがちです。しかし、ノイズを極限まで抑えようとすると、必要な労力はどんどん増えていくのに、得られる効果は減っていくという状態になるはずです。つまり、電源のノイズ性能については、適切なレベルまで向上させることを目標にするべきなのです。では、適切なレベルというのは、どの程度のものでしょうか。そのレベルを把握するには、どのようにすればよいのでしょうか。各ドメインの電源について、その出力スペクトルを最適な状態に制御するためには、まず電源の供給先となる各デバイスの感度を定量化する必要があります。ノイズの抑制に向けては知識が大きな力になります。知識があれば、無意味な設計を回避して、時間を大幅に節約することが可能になります。

本稿（Part 1）では、まず電源ノイズに対するシグナル・チェーンの感度を定量化する方法を説明します。続いて、許容可能な電源ノイズの最大値を算出する方法や測定方法を示します。更に、電源ノイズに対する現実的な要件と各電源ドメイン内のデバイスの感度をマッチさせるためのいくつかの方法を紹介します。Part 2以降では、A/Dコンバータ（ADC）、D/Aコンバータ（DAC）、RFトランシーバー用の配電回路網（PDN：Power Distribution Network）を最適化する方法について詳しく解説する予定です。

感度の定量化に使用する指標

本稿では、シグナル・チェーンの構成要素としてアナログ信号の処理を担うデバイスのことをアナログICと表記することにします。電源を最適化するための最初のステップは、電源ノイズに対するアナログICの感度を調べることです。そのためには、電源ノイズが主要な動的性能に及ぼす影響について理解する必要があります。その上で、電源ノイズに対する感度を評価することになります。感度については、PSRR（Power Supply Rejection Ratio：電源電圧変動除去比）とPSMR（Power Supply Modulation Ratio：電源変調比）を指標として用います。

多くのアナログICは、電源の変動の影響を除去する能力を備えています。PSRRとPSMRは、その性能を表す指標です。しかし、これら2つだけでは、電源のリプルをどのくらい低減すればよいのか判断することはできません。本稿では、PSRRとPSMRを用いて、許容可能な電源リップルの閾値を求める方法を示します。この閾値は、許容可能な電源ノイズの最大値に相当します。この閾値と電源の出力スペクトルを適合させることが、電源の最適化に向けた基本になります。最適化された電源を採用し、電源ノイズがその最大許容値を上回らないようにすれば、シグナル・チェーンを構成するアナログICの動的性能が低下することはありません。

電源ノイズがアナログICに及ぼす影響

まずは、電源ノイズがアナログICに及ぼす影響について理解する必要があります。その影響は、以下に示す3つのパラメータの値を測定することによって定量化できます。

- ▶ SFDR（Spurious-free Dynamic Range: スプリアスフリー・ダイナミック・レンジ）
- ▶ S/N比
- ▶ 位相ノイズ

電源ノイズによって、これらのパラメータにどのような影響が及ぶのかを理解しなければなりません。そのことが、電源ノイズに関する仕様の最適化に向けた最初のステップになります。

SFDRに現れる影響

アナログ信号処理を担うシステムでは、搬送波の信号に電源ノイズが結合する可能性があります。電源ノイズの影響は、周波数領域で評価した電源ノイズの強度に依存します。その強度は、搬送波の信号を基準として測定します。このような考えに基づく指標の1つがSFDRです。SFDRは、大きな干渉信号と区別できる最小の信号を表します。具体的には、最も大きなスプリアス信号（周波数スペクトル内のどこに存在するかは問いません）の振幅に対する搬送波信号の振幅の比として算出します。つまり、以下のような式で求められます。

$$SFDR = 20 \times \log \left[\frac{\text{搬送波信号}}{\text{スプリアス信号}} \right] \quad (1)$$

上式の構成要素の意味は以下のとおりです。

SFDR：算出したSFDRの値（単位はdB）

搬送波信号：搬送波信号の振幅（ピーク値またはフルスケール値）のrms値

スプリアス信号：周波数スペクトル内で最も大きいスプリアスの振幅のrms値

SFDRの規定方法は2つあります。1つは、信号のフルスケール値を基準にする方法です（dBFS）。もう1つは、搬送波信号を基準にする方法です（dBc）。電源リップルが搬送波信号に結合すると、望ましくないスプリアスが生成される可能性があります。そうするとSFDRが低下します。

図1に示したのは、アナログ・デバイセズの高速ADC「AD9208」のSFDR性能を評価した結果です。クリーンな電源を使用した場

合とノイズの多い電源を使用した場合を比較しています。これらは、同ADCの出力データにFFT（高速フーリエ変換）を施すことで取得しました。図1（b）では、1MHzの電源リップルが変調スプリアスとして搬送波周波数の横に現れています。このような電源ノイズの影響によって、SFDRが約10dB低下していることがわかります。

S/N比に現れる影響

上述したとおり、SFDRは周波数スペクトル内の最も振幅の大きいスプリアスに依存します。それに対し、S/N比はスペクトル内のトータルのノイズからの影響を受けます。S/N比は、アナログ信号処理を担うシステムが小振幅の信号を認識する能力を制限します。理想状態を前提とした場合、S/N比はシステム内のADC/DACの分解能によって決まります。S/N比は、1次～5次の高調波とDCを除くすべてのノイズ・スペクトル成分の合計値と搬送波信号の比として定義されます。具体的には、以下のような式で求められます。

$$SNR = 20 \times \log \left[\frac{\text{搬送波信号}}{\text{ノイズ・スペクトル成分}} \right] \quad (2)$$

上式の構成要素の意味は以下のとおりです。

SNR：S/N比（単位はdB）

搬送波信号：搬送波信号の振幅（ピーク値またはフルスケール値）のrms値

ノイズ・スペクトル成分：1次～5次の高調波を除くノイズ・スペクトル成分の合計値のrms値

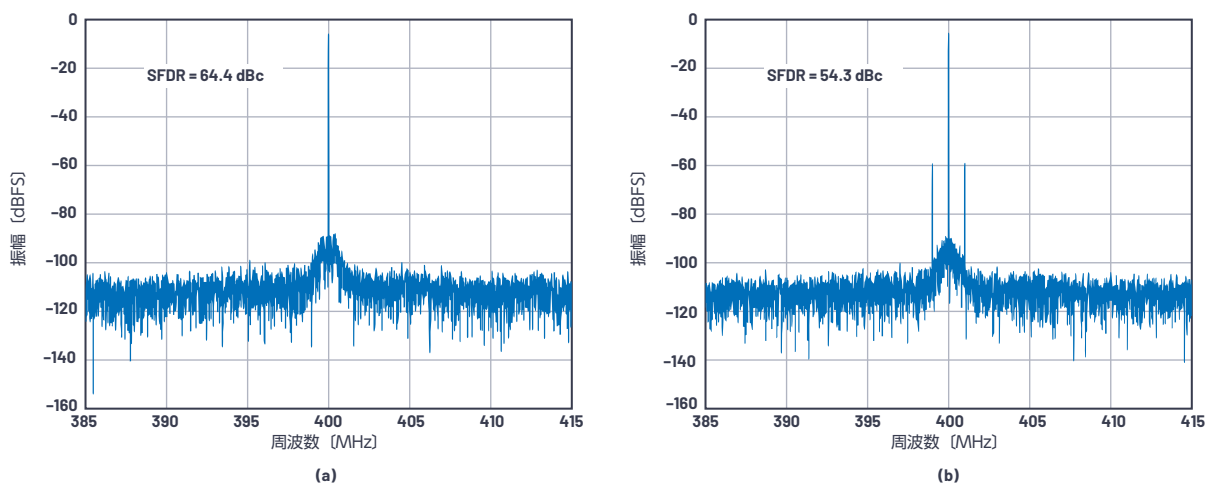


図1. AD9208のSFDR。(a)はクリーンな電源を使用した場合の結果、(b)はノイズの多い電源を使用した場合の結果です。

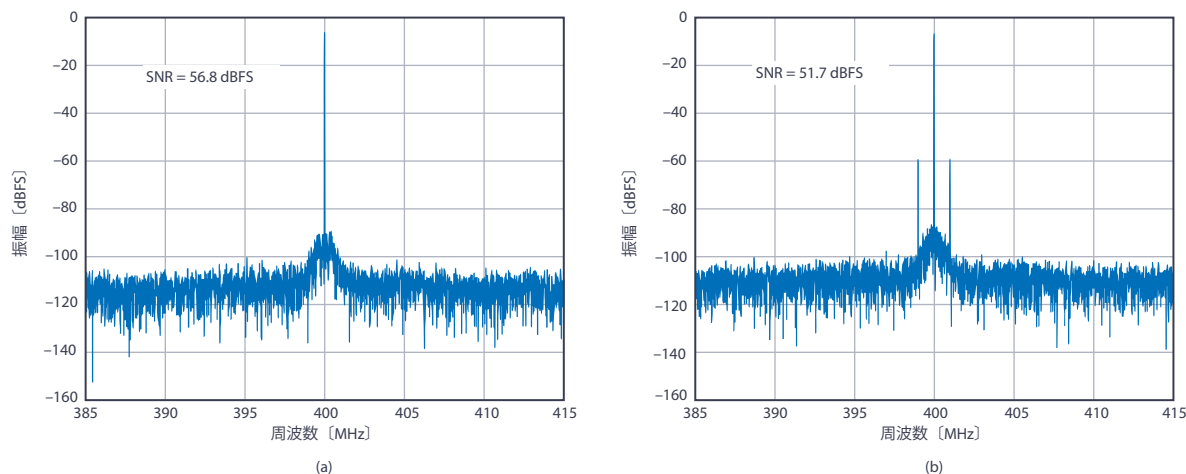


図2. AD9208のS/N比。(a) はクリーンな電源を使用した場合の結果、
(b) はノイズの多い電源を使用した場合の結果です。

電源ノイズが大きいと、そのノイズが搬送波信号に結合し、出力スペクトルにおいてノイズ成分が増加する可能性があります。そうすると、S/N比は低下します。図2に、AD9208のS/N比の評価結果を示しました。ご覧のように、1MHzの電源リップルが存在すると、ADCの出力にノイズ成分が現れます。その結果、S/N比が56.8dBFSから51.7dBFSに低下しています。

位相ノイズに現れる影響

位相ノイズは、周波数に対する信号の安定性の指標として使われます。発振器によって、周波数の安定した特定の集合が一定期間にわたって生成できれば理想的です。しかし、実際の信号には、望ましくない小さな振幅や位相の変動が必ず現れます。そのような位相の変動（ジッタ）の影響は、周波数スペクトルにおいて信号の両側に広がる形で観測されます。

位相ノイズについては、複数の方法で定義することができます。本稿では、位相ノイズを、単側波帯（SSB：Single Sideband）の位相ノイズとして定義することにします。この定義は一般的に用いられています。具体的には、以下の式によって求めます。

$$SSB\ PN = 10 \times \log \left[\frac{\text{側波帯の電力密度}}{\text{搬送波の総電力}} \right] \quad (3)$$

上式の構成要素の意味は以下のとおりです。

SSB PN：SSBの位相ノイズ（単位はdBc/Hz）

側波帯の電力密度：搬送波周波数のオフセット周波数における1Hz帯域幅あたりのノイズの電力（単位はW/Hz）

搬送波の総電力：搬送波のトータルの電力（単位はW）

アナログICの場合、クロック用の電源のノイズがクロックに結合した結果、位相ノイズが生成されます。その位相ノイズは、デバイス内部の局部発振器（LO）が生成する信号の周波数の安定性に影響を及ぼします。その結果、周波数スペクトルで見ると、LO周波数の裾の部分が広がった状態になります。そして、搬送波周波数のオフセット周波数（搬送波周波数と当該周波数の差分。周波数軸で見て、搬送波周波数から何Hz離れた位置にあるのかを表す）において電力密度が高まり、位相ノイズが増加します。

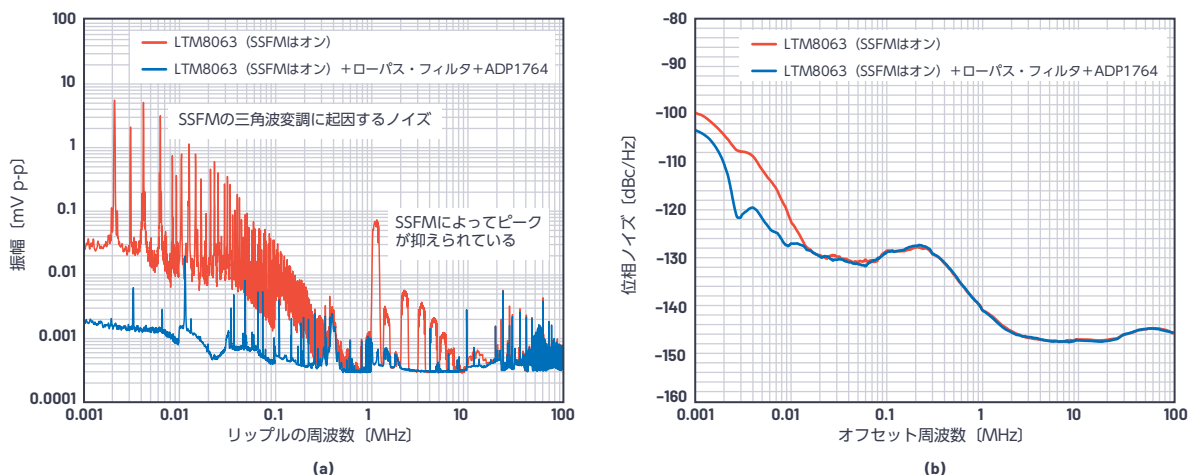


図3. 電源のノイズとADRV9009の位相ノイズ性能。2種類の電源を用意し、それぞれを使用してADRV9009を駆動しました。
(a) は2種類の電源の出力スペクトルです。両電源の出力ノイズ成分には大きな違いがあることがわかります。
(b) は、各電源を使用した場合のADRV9009の位相ノイズ性能です。

図3に示したのは、アナログ・デバイスズのトランシーバーIC「[ADRV9009](#)」に関する評価結果です。ここでは、2種類の電源を用意し、それぞれを使用して同ICを駆動しました。図3 (a) は、各電源の出力ノイズ・スペクトルを表しています。図3 (b) は、それぞれの電源によってADRV9009に生じた位相ノイズを測定した結果です。2つの電源は、いずれも μ Module[®]レギュレータである「[LTM8063](#)」をベースとして構成しました。評価を行う際には、同レギュレータが備えるSSFM (Spread Spectrum Frequency Modulation : スペクトラム拡散周波数変調) 機能を有効にしました。SSFMのメリットは、ノイズを広い周波数範囲に拡散できることです。それにより、レギュレータのスイッチング周波数とその高調波におけるノイズ性能を改善することが可能になります。その効果は、図3 (a) によって確認できます。赤いプロットを見ると、1MHzの成分とその高調波成分に幅の広いノイズのピークが生じている点に注目してください。ただ、SSFMを使用する場合、スイッチング周波数の信号に三角波変調を施すこととなります。その結果、100kHz以下の領域にノイズが生成されます。実際、2kHzの周辺からピークが現れ始めています。このようなトレードオフ要因が存在することに注意してください。

もう一方の電源には、1MHzよりも高い領域のノイズを抑えるためにローパス・フィルタを付加しています。また、全体的なノイズ・フロア（特に、SSFMに起因して10kHz以下の領域に生じるノイズ）を低減するために、ポストレギュレータとして「[ADP1764](#)」を追加しています。同製品は、低ノイズであるこ

とを特徴とするLDO（低ドロップアウト）レギュレータです。青いプロットを見ればわかるように、それらによって電源ノイズが全体的に低減されます。その結果、図3 (b) に示すように、ADRV9009の位相ノイズ性能は、10kHzのオフセット周波数より低い領域で改善されています。

電源ノイズに対するアナログICの感度

先述したように、電源リップルに対するアナログICの感度は、以下の2つのパラメータによって定量化できます。

- ▶ PSRR
- ▶ PSMR

以下、それぞれの概要と評価方法について説明します。

PSRRの概要、評価方法

多くのアナログICは、電源ピンに印加される一定周波数範囲内のノイズを減衰する能力を有しています。この能力のことをPSRRと呼びます。一般に、PSRRは、静的なPSRR（以下、DC PSRR）と動的なPSRR（以下、AC PSRR）の2種類に分けられます。DC PSRRは、DC電源電圧の変動に起因する出力オフセットの変化の指標として用いられます。ただ、DC PSRRの良し悪しはさほど大きな問題にはなりません。電源システムから負荷であるアナログICに、十分にレギュレートされたDC電圧を供給すれば済むことだからです。

一方のAC PSRRは、アナログICが一定の周波数範囲にわたってDC電源電圧に含まれるAC信号を除去する能力を表します。AC PSRRを評価する際には、まずADC/DAC/トランシーバーなどの電源ピンに正弦波信号を印加します。そして、それらのICの出力スペクトルを取得します。その出力スペクトルにおいて、正弦波の周波数に現れるエラー・スプリアスを観測することでAC PSRRを求めることができます(図4)。AC PSRRは、以下の式で算出できます。

$$AC_{PSRR}(dB) = 20 \log \left[\frac{\text{印加リップル}}{\text{エラー・スプリアス}} \right] \quad (4)$$

上式の構成要素の意味は以下のとおりです。

印加リップル：電源ピンに結合した正弦波の振幅の測定結果

エラー・スプリアス：印加リップルに起因して出力スペクトルに現れるスプリアスの振幅

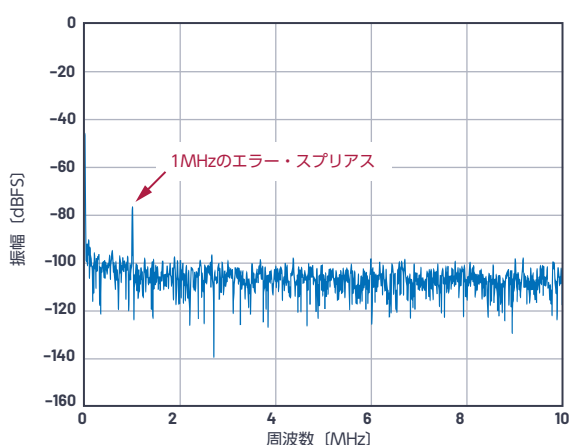


図4. 電源リップルに起因するエラー・スプリアス。
アナログICの出力スペクトルを観測した結果です。

図5に、PSRRの評価に使用される標準的な測定環境のブロック図を示しました。ここではDUT（被測定デバイス）として、サンプリング・レートが10GSPSの高速ADC「AD9213」を例にとることにします。そのアナログ電源（1.0V）には、周波数が1MHz、振幅が13.3mV p-pの正弦波を意図的に結合させます。これにより、1MHzのノイズ成分もA/D変換されることになります。得られたデータにFFTを適用すると、ノイズ・フロア

上（-108dBFS）に1MHzのスプリアスが現れます。そのスプリアスの振幅は-81dBFSです。アナログ入力のフルスケール範囲は1.4V p-pなので、124.8 μVのピークtoピーク電圧が生じるということになります。式（4）を使用して1MHzにおけるAC PSRRを計算すると、40.5dBとなります。図6に、AD9213のアナログ電源（1.0V）に印加する正弦波信号の周波数を変更しながらAC PSRRを計測した結果を示しました。

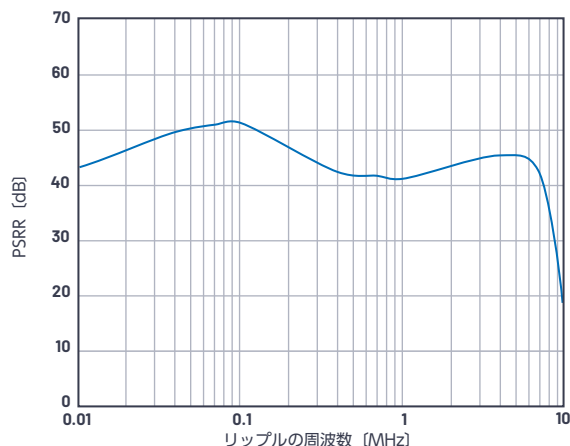


図6. AD9213のAC PSRR。
1.0Vのアナログ電源について測定した結果です。

PSMRの概要、評価方法

PSMRは、PSRRとは異なる形でアナログICに影響を及ぼします。電源ノイズは、RF搬送波信号に変調をもたらす可能性があります。その電源ノイズに対するアナログICの感度を表すものがPSMRです。その影響は、アナログICで使用される搬送波の周波数付近（側波帯）に変調スプリアスとして現れます。

PSMRの評価を行う際には、電源電圧に変調をかける必要があります。これは、ライン・インジェクタ/結合回路を用いて、入力リップル信号とクリーンなDC電圧を結合することによって実現します。電源リップルは、信号発生器によって正弦波信号を生成し、それを電源ピンに印加することで表現します。その正弦波によってRF搬送波に変調がかかります。結果として、正弦波の周波数に等しいオフセット周波数に側波帯のスプリアスが生成されます。このスプリアスのレベルに対しては、正弦波の振幅とデバイスの感度の両方が影響を及ぼします。PSMRの評価環境としては、図5に示したPSRRの評価環境と同じものを使用できます。

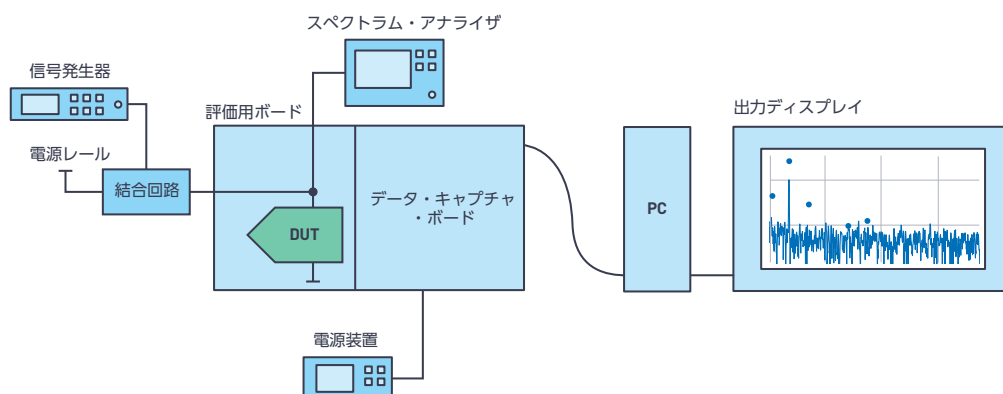


図5. PSRR/PSMRの測定環境

但し、出力ディスプレイに表示するのは、搬送波信号とその側波帯のスプリアスです（図7）。PSMRは、以下の式によって算出できます。

$$PSMR(dB) = 20 \log \left[\frac{\text{印加リップル}}{\text{変調スプリアス}} \right] \quad (5)$$

上式の構成要素の意味は以下のとおりです。

印加リップル：入力電源ピンに結合した正弦波の振幅の測定結果

変調スプリアス：印加リップルに起因して搬送波周波数の側波帯に現れるスプリアスの振幅

ここでは、サンプリング・レートが12.6GSPSの高速DAC「AD9175」を100MHzの搬送波で動作させます。その状態で、周波数が10MHz、振幅が約3.05mV p-pの電源リップルを、アナログ電源（1.0V）に意図的に結合させます。それにより、搬送波信号の側波帯に24.6 μ V p-pの変調スプリアスが現れます。オフセット周波数は電源リップルの周波数に等しく、約10MHzとなります。式（5）を使用して、10MHzにおけるPSMRを計算すると41.9dBになります。図8は、AD9175のチャンネルDAC0を対象とし、アナログ電源（1.0V）のPSMRを評価した結果です。搬送周波数を様々な値に変更して計測を行っています。

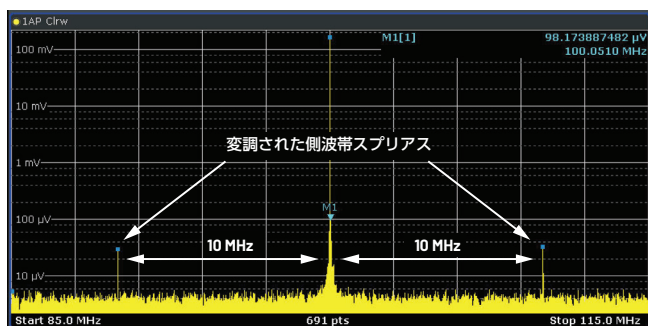


図7. 変調された側波帯スプリアス。
電源リップルに起因して搬送波信号の周辺に現れます。

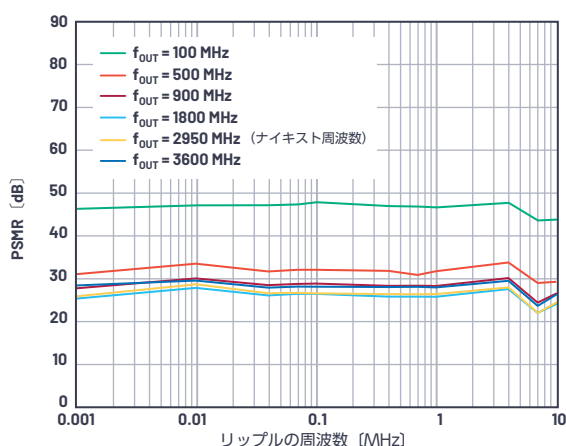


図8. AD9175のPSMR。チャンネルDAC0を対象とし、アナログ電源（1.0V）について評価を実施しました。

電源リップルの最大許容値の算出

続いて、アナログICの各電源ドメインにおける電圧リップルの最大許容値を求める方法を説明します。その値は、各種のアナロ

グICに固有の閾値とPSMRを組み合わせることにより算出できます。ここで言う閾値としては、スプリアスの許容レベル（電源リップルに起因し、アナログICの動的性能に大きな影響を及ぼすことのないリップル）を表す複数の値のうちいずれかを選択します。具体的には、SFDR、LSB（Least Significant Bit）の割合（単位は%）、出力スペクトルのノイズ・フロアのいずれかを使用できます。本稿では、出力スペクトルのノイズ・フロアを閾値として使用することにします。以下に示す式は、入力リップルの最大許容値 V_{R_MAX} を、PSMRと各デバイスのノイズ・フロアの測定値の関数として表したものです。

$$V_{R_MAX} = \left[10^{\frac{PSMR}{20}} \right] \times \text{閾値} \quad (6)$$

上式の構成要素の意味は以下のとおりです。

V_{R_MAX} ：ノイズ・フロアにスプリアスが生成されていない状態の各電源レールにおける電圧リップルの最大許容値

PSMR：対象とする電源レールのノイズ感度（単位はdB）

閾値：事前に定義された閾値（本稿ではノイズ・フロアの値）

例えば、AD9175の場合、ノイズ・フロアの値は約1 μ V p-pです。搬送波の周波数が1800MHz、リップルの周波数が10MHzである場合、PSMRは約20.9dBです。式（6）を使用すると、電源ピンにおけるリップルの最大許容値は11.1 μ V p-pとなります。電源リップルの大きさがこの値以下であれば、アナログICは動的性能を損なうことなく稼動することができます。

図9に示したのは、Silent Switcher[®] 2を採用した降圧レギュレータ「LT8650S」を使用した場合の評価結果です。同レギュレータの出力スペクトル（出力にLCフィルタを付加した場合と付加していない場合）と、AD9175のアナログ電源（1.0V）に対する最大許容リップルの値を示しています。LT8650Sの出力スペクトルを見ると、スイッチング周波数とその高調波の位置にスプリアスが現れています。同レギュレータによってAD9175に直接給電した場合、スイッチング周波数のノイズの大きさは閾値を上回ります。

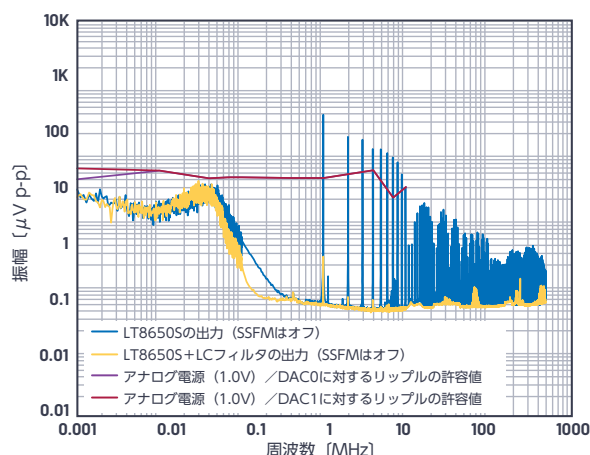


図9. LT8650Sの出力スペクトル。アナログ電源（1.0V）において許容できる最大リップル電圧もプロットしています。

その場合、図10に示すように、変調された側波帯のスプリアスが出力スペクトルに現れます。それに対し、LT8650SにLCフィルタを追加した場合、スイッチング周波数に起因する電源ノイズはリップルの許容値以下に抑えられ、AD9175の出力にも影響は現れなくなります（図11）。

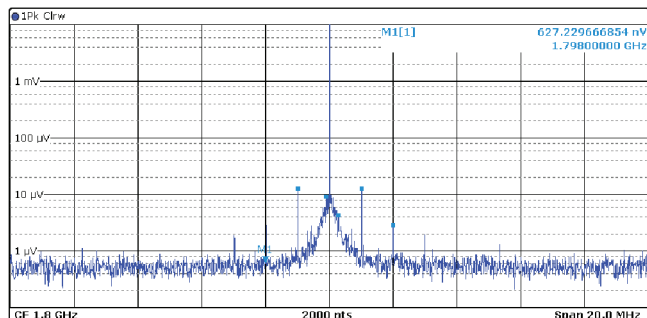


図 10. AD9175 (DAC0) の出力スペクトル (その1)。
同ICのアナログ電源には、LT8650Sの出力をそのまま供給しています。
搬送波の周波数である1800MHzにおけるスペクトルを示しています。

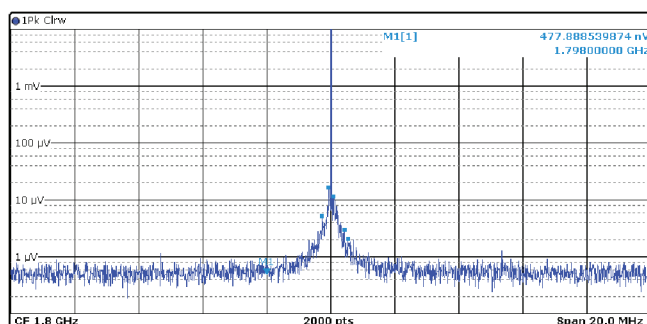


図 11. AD9175 (DAC0) の出力スペクトル (その2)。
同ICのアナログ電源には、LT8650SにLCフィルタを追加し、
その出力電圧を供給しています。搬送波の周波数である
1800MHzにおけるスペクトルを示しています。

まとめ

昨今の高速アナログICは、本来、卓越した動的性能を提供してくれるはずですが、その性能は電源ノイズによって簡単に損なわれてしまいます。システムの性能が低下するのを回避するには、電源ノイズに対するシグナル・チェーンの感度について十分に理解する必要があります。そのためには、まずPDNの設計に不可欠な最大許容リップルの値を把握します。その値が定まれば、様々なアプローチを適用し、電源の設計を最適化することが可能になります。最大許容リップルに対するマージンを十分に確保すれば、高速アナログICの動的性能がPDNによって損なわれることはなくなるはずです。

参考資料

Peter Delos 「PSMRの謎を解く——PSRRとはどう異なるのか？」
Analog Devices、2018年12月

Peter Delos, Jarrett Liner 「DACの位相ノイズ性能を改善、
極めて精度の高いDDSアプリケーションを実現可能に」 Analog
Dialogue、Vol. 51、No. 3、2017年8月

「The Essential Guide to Data Conversion (データ変換の基
本)」 Analog Devices

Umesh Jayamohan 「Powering GSPS or RF Sampling ADCs:
Switcher vs. LDO (GSPS/RF サンプリグ対応のADCへの給
電方法: スイッチング・レギュレータとLDOレギュレータを比
較する)」 Analog Devices、2015年11月

Aldrick Limjoco, Patrick Errgy Pasaquian, Jefferson Eco 「従
来の半分のスペースでGSPS サンプリグ ADCに低ノイズ電源
を供給する Silent Switcher μ Moduleレギュレータ」 Analog
Devices、2018年10月

Naveed Naeem, Samantha Fontaine 「バイパス・コンデン
サを内蔵するDAQ用 μ Module、そのPSRRを正しく評価する」
Analog Dialogue、Vol. 54、No. 3、2020年7月



著者について

Pablo Perez Jr. (pablo.perezjr@analog.com) は、アナログ・デバイセズのシニア・アプリケーション・エンジニアです。2019年5月の入社以来、航空宇宙／防衛分野を担当しています。同分野に加え、産業、通信、医療などの分野で使用する標準的なスイッチング・レギュレータの改変と評価、リニア・レギュレータ／スイッチング・レギュレータ／パワー・マネージメントICの評価といった業務も経験しました。マニユエルS.エンベルガ大学財団（フィリピン ケソン州ルセナ市）で電子工学／通信工学の学士号を取得しています。



著者について

Patrick Errgy Pasaquian (patrick.pasaquian@analog.com) は、アナログ・デバイセズのシニア・アプリケーション・エンジニアです。2014年に入社して以来、主に航空宇宙／防衛分野向けの電源システムを担当しています。アプリケーションの開発、設計の評価、航空宇宙／防衛用途に向けたシグナル・チェーンの電源設計などの業務に加え、EngineerZoneやWho's Whoによる顧客サポートなどにも従事。ADI General Technical Conference (GTC)、Asia Technical Symposium (ATS)、ADI Philippines Technical Symposium (ADTS) などに向けたプロジェクトに参画したり、論文を執筆したりしてきました。セントラル・フィリピン大学（フィリピン イロイロ市）で電子工学の学士号を取得しています。