

ソフトウェア無線向けの次世代トランシーバー、周波数ホッピング機能が大きく進化

著者：Mizhou (Michelle) Tan、RF プロダクト・アプリケーション・エンジニア

概要

本稿では、まず周波数ホッピング（FH：Frequency Hopping）の概念について説明します。その上で、ソフトウェア無線（SDR：Software Defined Radio）向けのトランシーバーIC「**ADRV9002**」が備える柔軟性の高いフェーズ・ロック・ループ（PLL）を利用して提供されるFH機能について説明します。同ICが提供する4つの主要なFH機能については、特に詳しく解説を行います。例えば、同ICのFH機能を利用すれば、リンク16のアプリケーションを実現できます。また、シングルチャンネルのアプリケーションでもデュアルチャンネルのアプリケーションでも、キャリア周波数の設定を高速／リアルタイムにロードしてFH機能を利用することが可能です。更に、ADRV9002のFH機能は、マルチチップ同期機能やデジタル・プリディストーション（DPD：Digital Predistortion）機能とも組み合わせられます。そのため、同ICは複雑な通信システムの高度な要件を満たすことが可能な魅力的なソリューションだと言えます。

はじめに

FHでは、従来の手法とは異なり、キャリア周波数を急速に変化させることによって無線信号を送信します¹。これについて、ニコラ・テスラは1903年の米国特許「Method of Signaling（信号伝達の方法）」の中で初めて言及しています。また1942年には、女優のヘディ・ラマーと作曲家のジョージ・アンタイルが、魚雷の無線操縦が妨害されるのを防ぐためのものとして、ピアノ・ロールを使用し、88種の周波数を切り替える手法を考案しました。それにより、FHの概念は更に強固なものになりました。過去100年の間に、防衛用アプリケーション向けのFHは大きく進化しました。第1次世界大戦の時点では、FHは司令部間の低速／非リアルタイムの通信に用いられていました。それが現在では、

航空機、船舶、陸上に配備されたシステム間で行われる高速／リアルタイムのマルチメディア通信に利用されています。加えて、FHは、Bluetooth®を利用したPAN（Personal Area Network）をはじめとする多くの無線パーソナル通信ネットワークでも使われています。更には、トランシーバーや模型自動車、ドローンといった民生／ホビー向けの無線分野でも広く利用されています。

FHとは何か？

図1は、FHの基本的な概念を説明するためのものです。この図では、全周波数帯と時間の経過を2次元の格子に分割して表しています。任意のタイム・スロットにおいて、異なる周波数帯が通信に利用されることがわかります。このようにすることで、狭帯域の干渉に対する高い耐性と、傍受や悪意のある電波妨害に対抗するための強力な能力を得ることができます。

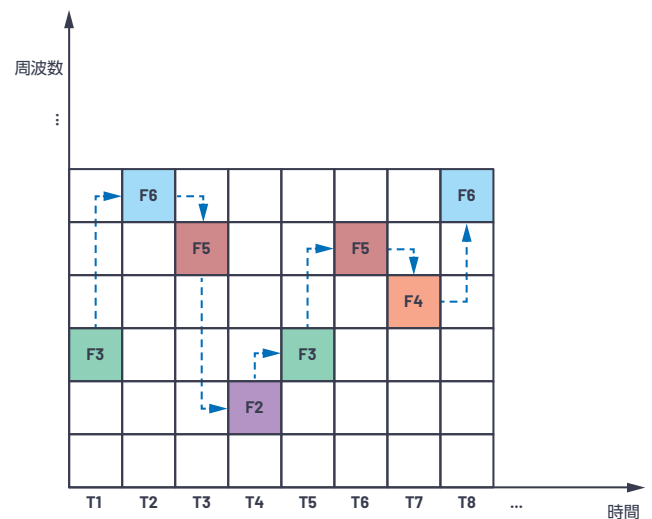


図1. 周波数ホッピングの基本的な概念

ホッピングのパターンがランダムであれば、セキュリティの確保のためにトランスミッターとレシーバーの間でのみデコードが行えるようにするもう1つのレイヤを追加すると同様の効果が得られます。また、FHの信号を使うと、相互干渉を最小限に抑えられます。そのため、既存の通信との間で帯域幅を共有することが容易になります。その結果、周波数の利用効率を高めることができます。ホッピングのレートを高く設定して使用する周波数帯を増やせば、FHの長所がより顕著になります。そうすれば、FHは様々なアプリケーションに対するより魅力的なソリューションになります。

SDRに対応する次世代トランシーバー

ADRV9002は、狭帯域／広帯域の両方に対応するSDR向けのデュアルトランシーバーICです。最高レベルのRF性能を備えているだけでなく、FHやDPDといった高度なシステム機能も提供します。30MHz～6GHzで動作することから、kHzレベルの狭帯域にも最高40MHzの広帯域にも対応できます。つまり、UHF（極超短波）帯、VHF（超短波）帯、ISM（産業、科学、医療用）帯、セルラ用の周波数帯をカバーできるということです。

図2に、ADRV9002のブロック図を示しました。同ICは、高度なデジタル信号処理用のアルゴリズムを備える送受信チャンネルを2つずつ搭載しています。多くのトランシーバーICは、受信（Rx）データパス用に1つ、送信（Tx）データパス用に1つの専用PLLを搭載しています。ADRV9002も、赤色の破線で示したようにRF対応のPLLを2つ搭載しています。但し、どちらのPLLも任意のレシーバー、トランスミッターに適用することができます。また、レシーバー、トランスミッターの両方のソースとしても使用できますし、いずれにも適用しないという選択も行えます。このような柔軟性は、ADRV9002ならではの非常に大きな特徴だと言えます。逆に、送信専用モード（1T/2T）、受信専用モード（1R/2R）、送受信モード（1T1R/2T2R）など、シングルチャンネル／デュアルチャンネルの様々なTDD（Time Division Duplex）アプリケーションにおいてFHを利用する上では、このような柔軟性が不可欠です。デュアルチャンネルの動作は、チャンネル・ダイバーシティとチャンネル・マルチプレクスの両方をサポートしています。また、2つのPLLがピンポン・モードで動作することによって、FHのタイミングに関する厳しい要件を満たせるようになっています。

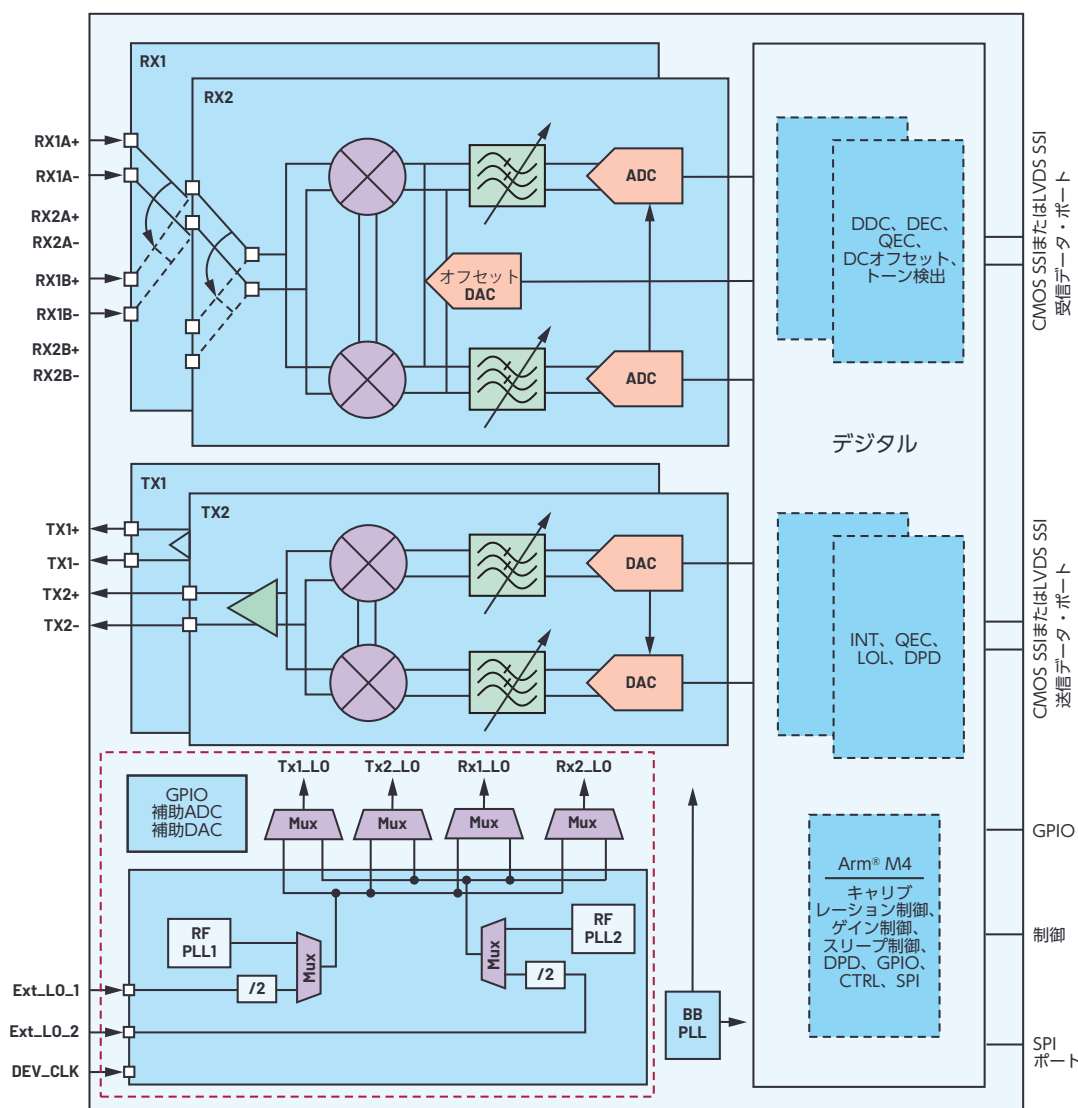


図2. ADRV9002のブロック図。
柔軟性の高いPLLを備えています。

4つの主要なFH機能

ADRV9002は、FH向けに4つの主要な機能を備えています。以下、それらの機能について説明します。

超高速FH——2つのPLLのマルチプレクスとPLLの高速再チューニング

FHの機能は、PLLを再チューニングし、別の周波数の生成／切り替えを行うことによって実現します。ADRV9002は、PLLの使い方によってFHの様々なモードを実現します²。図1の各タイム・スロットは、ホッピング・フレームを表しています。同フレームは、図3に示すように遷移時間とドウェル時間から成ります。

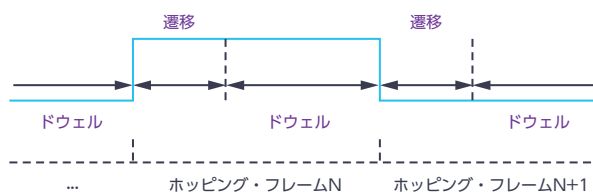


図3. ホッピング・フレームの構造

ADRV9002の低速FHモードでは、周波数を変更する際の遷移時間が十分に長くなります（チャンネルのセットアップ時間とPLLのチューニングに必要な時間よりも長い）。このモードでは、TDD動作する送受信チャンネルのペアには1つのPLLしか必要ありません（PLLの再チューニング・モード）。一方、遷移時間がより短い（チャンネルのセットアップ時間とPLLのチューニングに必要な時間よりも短い）高速FHを実現するモードでは、2つのPLLを使用します（PLLのマルチプレクス・モード）。この場合、2つのPLLはピンポン方式で相互に連携して動作します。つまり、一方のPLLによって現在の周波数を生成／供給している間に、他方のPLLは次の周波数に再チューニングされるということです。それにより、周波数を変更するために必要な遷移時間を大幅に短縮することができます。結果として、非常に高速なFHが可能になります。表1は、これら2つのモードについてまとめたものです。

表1. PLLの使い方に基づくFHの2つのモード

FHのモード	遷移時間	チャンネルのペア用のPLL	許容できるPLLの再チューニング時間
PLLのマルチプレクス	PLLの再チューニング時間よりも短い	2つのPLL	遷移時間2つ分 + ドウェル時間1つ分よりも短い
PLLの再チューニング	PLLの再チューニング時間よりも長い	1つのPLL	遷移時間1つ分よりも短い

表1に示すように、選択すべきモードは、ユーザが定義する遷移時間によって決まります。

図4は、PLLのマルチプレクス・モードについてより詳しく説明するためのものです。先述したように、各タイム・スロットは、遷移時間とドウェル時間から成るホッピング・フレームに対応しています。ドウェル時間中に一方のPLLが使用されている間、他方のPLLは同じホッピング・フレームの遷移時間が始まった時点でチューニングを開始します。チューニングは、次のホッピング・フレームの遷移時間が終わるまで続けることができます。したがって、PLLのチューニングに必要な時間が、ドウェル時間1つ分と遷移時間2つ分の合計値よりも短ければ、マルチプレクス・モードは正常に動作します。

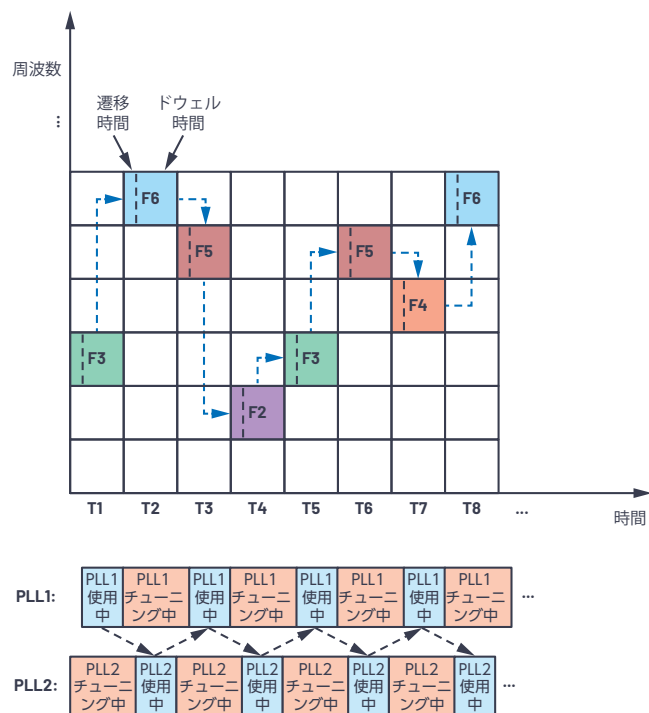


図4. 高速FHを実現するPLLのマルチプレクス・モード

PLLのマルチプレクス・モードを使用したFHは、リンク16のような防衛用アプリケーションには不可欠です。リンク16は、NATO（北大西洋条約機構）が採用している最も重要な戦術データ・リンク規格の1つだと言えます。960MHz～1.215GHzの無線周波数帯で動作し、電波妨害に対する耐性を備える高速なデジタル・データ・リンクです³。ADRV9002では、初期化を実施する際にホッピング周波数の範囲全体に対して適切にキャリブレーションを行い、PLLの高速再チューニング・モードを使用することによってタイミングに関する厳しい要件を満たすことができます。PLLの再チューニング時間は、ADRV9002のPLLで使用するリファレンス・クロックの周波数（レート）に依存します。

表2に、様々な周波数のリファレンス・クロックに対するPLLの再チューニング時間を示しました。リファレンス・クロックの周波数が300MHzである場合、PLLの再チューニング時間は約15マイクロ秒です。リンク16のホッピング・フレーム長が13マイクロ秒である場合、PLLのマルチプレクス・モードにおける再チューニング時間が15マイクロ秒だとすると、表1に示すように、遷移時間が2マイクロ秒より長ければタイミングの要件を満たすことができます。

表2. PLLの高速再チューニング・モードにおける再チューニング時間

PLLのリファレンス・クロック [MHz]	PLLの再チューニング時間 [マイクロ秒]
30	91
38.4	77
50	56
100	27
150	21
200	20
250	17
300	15

稿末に示した参考資料3「Performance Analysis of a JTIDS/Link-16-Type Waveform Transmitted over Slow, Flat Nakagami Fading Channels in the Presence of Narrowband Interference (狭帯域干渉の存在下で低速／平坦なNakagamiフェージング・チャンネルによって送信されるJTIDSリンク16信号の分析)」によれば、リンク16のメッセージ・データは、パッキング構造に応じて、シングル・パルスまたはダブル・パルスとして送信することができます。シングル・パルスは、6.4マイクロ秒のオン時間と6.6マイクロ秒のオフ時間から成ります。トータルの継続時間は13マイクロ秒です。一方、ダブル・パルスは、図5に示すように2つのシングル・パルスで構成されます。2つのパルスは同じデータを伝送するのですが、異なるキャリア周波数を使用します。遷移時間は6.6マイクロ秒（2マイクロ秒より長い）になる可能性があり、ADRV9002を使えばリンク16のFHを実現できることになります。

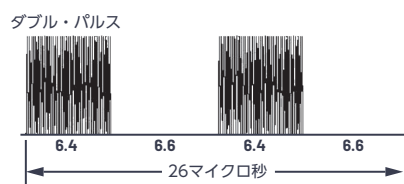


図5. リンク16の標準的なダブル・パルス

図6に、リンク16のホッピング・フレームを使用した場合のADRV9002の送信出力を示しました（簡略化を目的として送信専用のFHを使用）。これらは、ADRV9002の評価用ボードを使用し、その送信出力ポートにTektronixのスペクトラム・アナライザ「RSA306B」を接続して観測した結果です。この実験では、ADRV9002で達成可能な最小の遷移時間を示すために、図5に示した標準的なパルスは使用していません。パルスのオン時間は6.4マイクロ秒から11マイクロ秒に延ばし、オフ時間は6.6マイクロ秒から2マイクロ秒に短縮しています。上側のプロットは、電力対時間の形で出力を観測した結果です。送信側のFHは13マイクロ秒ごとに生じ、連続する送信ホッピング・フレーム間の遷移時間は約3マイクロ秒であることがわかります。一方、下側のプロットは、周波数対時間の形で出力を観測した結果です。この実験において、送信キャリア周波数については、1MHzステップで4種の周波数を繰り返し生成しています。下側のプロットを見ると、想定どおり、送信出力として1MHzステップの4種の周波数が繰り返し生成されていることがわかります。また、ドウェル時間全体にわたって高い周波数精度が得られていることも見てとれます。

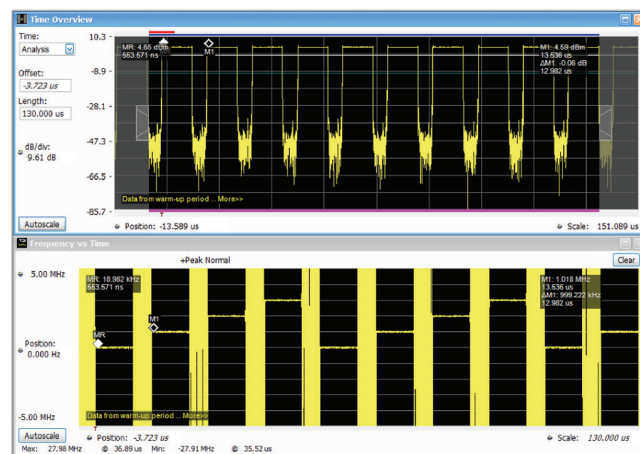


図6. リンク16のFHを使用した場合の送信出力

リンク16のFHの周波数精度を調べるために、Keysight Technologiesの「E5052B」やRohde & Schwarzの「FSWP」など、より高度な計測器を使用して更に実験を続けました。

表3に示したのは、送信キャリア周波数を400MHz、400.1MHz、400.2MHz、400.3MHzでホッピングした場合の周波数誤差の計測結果です。送信用の入力は、すべてのホッピング・フレームで400MHzの出力を生成するように構成しました。計測期間は100マイクロ秒に設定しているため、7つのホッピング・フレームが完全に含まれます。周波数の測定は128ナノ秒ごとに行いました。ドウェル時間の開始時には、PLLが完全にロックしていることが確認できます。ドウェル時間における周波数誤差は、位相ノイズ性能に依存します。表3の計測結果は、連続する7つのホッピング・フレームにおける周波数オフセット（出力周波数と400MHzの差の絶対値）の平均値、最大値、最小値を表しています。ご覧のように、ほとんどのフレームでは平均周波数誤差が1ppm未満に収まっています。また、同じ実験を数十回繰り返し、再現性が得られることも確認しました。なお、計測される値については、使用する装置や試験環境によって異なる可能性があります。

表3. リンク16のFHにおける周波数精度

ホッピング・フレーム番号	平均周波数誤差 [Hz]	最大周波数誤差 [Hz]	最小周波数誤差 [Hz]
1	348	730	46
2	424	997	4
3	267	563	20
4	327	892	7
5	253	569	2
6	394	903	12
7	253	677	17

ADRV9002は、PLLのループ・フィルタの帯域幅を微調整する機能を備えています。表3に示したのは、ループ・フィルタの帯域幅を1200kHzに設定した場合の結果です。帯域幅を広く設定すると、PLLの再チューニング時間を改善し、ドウェル時間が始まる前に確実かつ完全にPLLをロックすることができます。なお、ループ・フィルタの帯域幅を選択する際には、アプリケーションに必要な位相ノイズ性能を評価する必要もあります。

最高128種の周波数エントリをロードする静的／動的テーブル

ADRV9002は、FHのすべてのモードでホッピング・テーブルの概念を利用しています²。ホッピング・テーブルには、各ホッピング・フレームの周波数とその他の動作パラメータのリストが含まれています。ホッピング・テーブルは、静的なものとして扱うことができます。その場合、同テーブルは初期化中にロードされ、オンザフライでは変更できなくなります。また、ホッピング・テーブルは動的なものとして扱うことも可能です。その場合、同テーブルはホッピングの実行中にロードされます。テーブルの内容は、オンザフライで変更可能です。2種類のテーブルには、最小1から最大64までのエントリを含めることができます。ピンポンと

似た概念を採用しており、ユーザはいずれかのテーブルを選択してロードすることが可能です。一方のテーブルが現在のホッピング・フレームで使用されている間に、もう一方のテーブルをロードし、次のホッピング・フレームに備えるといったことが行えます。各エントリは、ADRV9002に対して、特定のホッピング・フレームの構成を通知します。ホッピング・テーブルでは、インデックスを自動的にインクリメントすることができます。あるいは、デジタルGPIOを介して指定した任意のタイミングで特定のエントリにアクセスし、インデックスを付加することも可能です。自動インクリメントについては、2つのホッピング・テーブルを使用する場合、1つ目のテーブルの最初のエントリから2つ目のテーブルの最後のエントリまでインクリメントし、再び1つ目のテーブルの最初のエントリに戻ります。1つのホッピング・テーブルだけを使用する場合には、連続的にループします。

図7に、2つのホッピング・テーブルの例を示しました。A、Bの各ホッピング・テーブルには、N個のエントリ（ $1 \leq N \leq 64$ ）が存在します。各エントリには、4つの重要なパラメータが含まれています。ホッピング周波数、中間周波数（受信IFモードのみ）、受信ゲインのインデックス、送信減衰量の4つです。TDD動作では、各チャンネル専用のセットアップ信号（送信チャンネルごとに1つ、受信チャンネルごとに1つ）を使用し、ADRV9002に対してホッピング・フレームごとにどのチャンネル（送信か受信か）をイネーブルにするのか通知する必要があります。ホッピング・テーブルの各エントリには、受信と送信の両方に関するパラメータが含まれていますが、必要なパラメータだけが使用されます。

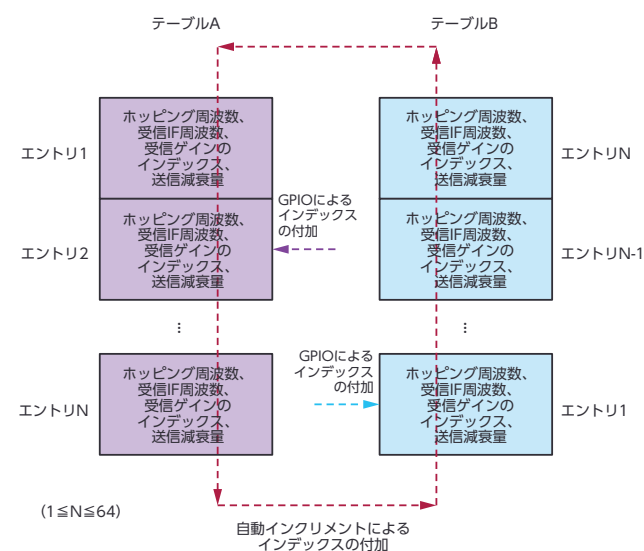
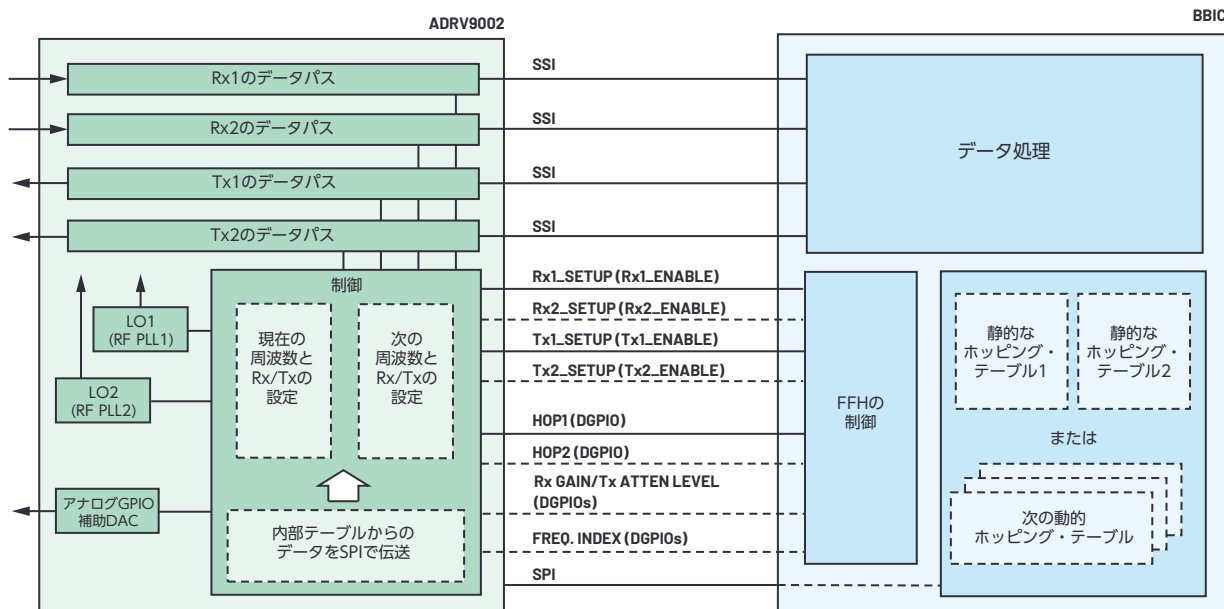


図7. ホッピング・テーブルの内容。
インデックスを付加する方法も示しています。

FHにおけるホッピング・テーブルの役割について理解するには、ADRV9002とベースバンドIC（以下、BBIC）の間で行われる通信の概要を把握しておく必要があります。



HOPn：新たな周波数に切り替えるタイミングであることを表す入力イベント
 TXn_SETUP：次のホッピングをTxnチャンネルで行うことを表す入力イベント
 RXn_SETUP：次のホッピングをRxチャンネルで行うことを表す入力イベント
 Rx GAIN/Tx ATTEN LEVEL：アクティブなRx/Txフレーム期間中にゲインのレベルを選択するためのオプションの信号
 FREQ. INDEX：ADRV9002の内部にプリロードしたテーブルを基に新たな周波数を選択するためのオプションの信号

図8. ADRV9002とBBICの関係を表すブロック図。
 FHの実行中には両者の間で通信が行われます。

図8は、ADRV9002とBBICの関係を表すブロック図です。BBICはFH動作の主体として機能し、FHのモード、チャンネルのセットアップ信号（Rx1_ENABLE、Rx2_ENABLE、Tx1_ENABLE、Tx2_ENABLE）、HOP信号（HOP1、HOP2）、静的／動的なホッピング・テーブル（ホッピング周波数、受信IF周波数、受信ゲイン、送信減衰量）を設定します。そのために、BBICは、SPI（Serial Peripheral Interface）またはデジタルGPIOを介してADRV9002との間で通信を実施します。ADRV9002は、BBICからの信号を受け取ることでFHのノードとして機能し、データパスと局部発振周波数（LO）の設定を行います。

図9は、動的テーブルをロードする様子を示したものです。この例では、ホッピング・テーブルA、同Bごとに1つの周波数だけを使用します。また、フレームごとにオンザフライでホッピング周波数を変更可能な極端な例を取り上げています。ここでは、PLLのマルチプレクス・モードを使用しています。図8に示すように、ホッピング・フレームのタイミングの境界は、ホッピング信号の立上がりエッジと立下がりエッジの両方で規定されます。また、各ホッピング・フレームは、先述したように遷移時間とドウェル時間から成ります。チャンネルのセットアップ信号の立上がりエッジによって、1フレーム分の遅延（PLLのマルチプレクス・モードに必要）に続くホッピング・フレームの種類が規定されます。

なお、チャンネルのセットアップ信号は、送信セットアップ信号または受信セットアップ信号のうちいずれかを表している場合があります。図9では、信号を簡略化して示しています。TDD動作には送信と受信の両方が必要なので、送信セットアップ信号

と受信セットアップ信号の両方を個別に設定しなければなりません。チャンネルのセットアップ信号はホッピング・フレームの種類を表しますが、BBICによって開始されるホッピング・テーブルのロードをトリガするために使用することもできます。ホッピング・テーブルのロードは、チャンネルのセットアップ信号の立下がりエッジの後に続くホッピング信号のエッジまでに完了する必要があります。その後、PLLは同じホッピング信号のエッジで、その周波数へのチューニングを開始します。そして、次のホッピング信号のエッジが合図となって次のホッピング・フレームの準備が整えられます。ホッピング・テーブルAと同Bはピンポン・モードで動作します。そのため、ロードの完了後には、一方のテーブルで指定された周波数でFHが実行されると共に、もう一方のテーブルで指定された周波数のチューニングが行われます。

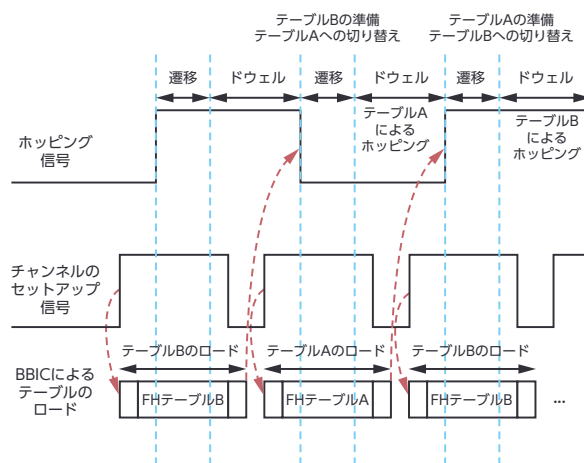


図9. 動的テーブルをロードする例。
 PLLのマルチプレクス・モードを使用し、
 1つのテーブルあたり1つの周波数を設定します。

図10に、送信周波数対時間の形で取得した送信出力を示しました。それぞれ、1回のロードあたり4つのエントリ、1回のロードあたり8つのエントリに対応する動的テーブルを使用した場合の結果です。送信入力には0kHz、-100kHz、-200kHz、-300kHzの周波数に対応する4つのフレームがあります。それらは、連続的にループすることによってADRV9002に供給されます。また、0kHzの入力フレームが3.1GHzのLOとアラインされるように、ホッピング・フレームと完全にアライン/同期するようにしています。FHが行われている間、LOが次の周波数に変化すると、送信入力周波数も次の周波数に変わります。

ホッピング・テーブルAと同Bは、FHが行われている際に動的にロードされます（ここでは、観測を行いやすくするために、テーブルの内容はロードごとに変化しないようにしています）。1回のロードあたり4つのエントリの例では、3.1GHzで4つの連続する送信出力フレームが観測された後、3.1004GHzで4つの連続するフレームが観測されるはずですが、その後、同じパターンが何度も繰り返されることが想定されます。一方、1回のロードあたり8つのエントリの例では、3.1GHzで4つの連続する送信出力フレーム、3.1004GHzで4つの連続するフレーム、3.1008GHzで4つの連続するフレーム、3.1012GHzで4つの連続するフレームが観測され、同じパターンが何度も繰り返されると想定されます。図10に示した送信出力から、動的テーブルのロードによって予想どおりの動作が得られていることがわかります。

デュアルチャンネルによるダイバーシティとマルチプレクス

図2に示したように、ADRV9002は送信側、受信側共にデュアルチャンネルに対応しています。両方のチャンネルにFHを適用することで、チャンネル・ダイバーシティ、チャンネル・マルチプレクスのうちどちらかを実現することができます。

ダイバーシティでは、2つのチャンネルは同じPLL（1つまたは2つ）、同じホッピング・テーブル、同じTDDのタイミング設定を使用することで同時にホッピングします。ADRV9002のマルチチップ同期（MCS：Multichip Synchronization）機能を有効にすると、デタミニスティックな遅延で自身または別のADRV9002が備える複数のチャンネルを互いに完全に同期させることができます。また、PLLが周波数の再チューニングを行うたびに、MCS機能によって位相同期をとることも可能です。MCS機能を使えば、FHの実行中でも複数のチャンネルの同期を実現できます。そのため、ADRV9002はFHを必要とするMIMO（Multi Input Multi Output）ダイバーシティのアプリケーションにとって魅力的なソリューションになります。FHの実行中にMCS機能を使用する場合の要件/制約については、[ADRV9001のユーザ・ガイド²](#)をご覧ください。

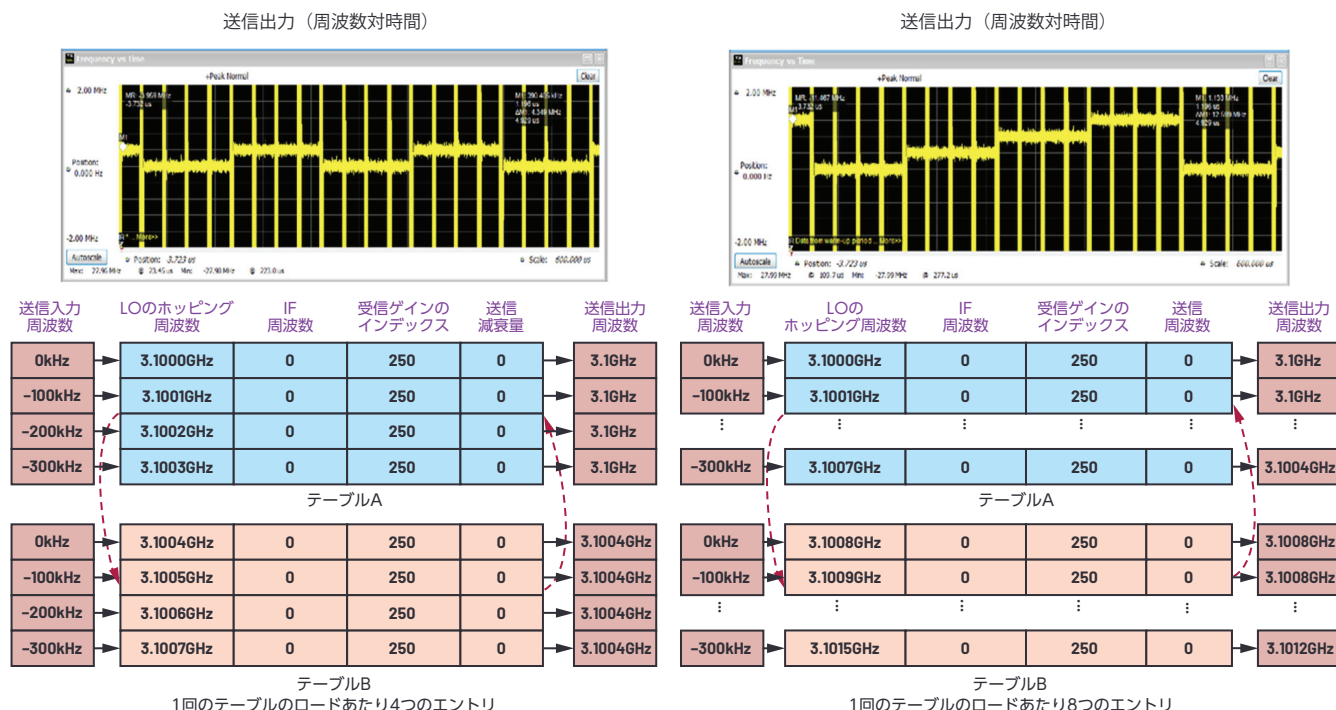


図10. 動的テーブルによって得られる送信出力。
1回のロードあたり4つのエントリの場合と、1回のロードあたり8つのエントリの場合を比較しています。

一方、チャンネル・マルチプレクスにおいて、チャンネルの各ペアは1つのPLLを使用し、互いに独立してFHを実行します。この場合の制約の1つは、FHが非常に高速に行われる場合には送受信チャンネルのペアに対して2つのPLLが必要であることから、1つのADRV9002ではチャンネル・マルチプレクスに対応できないということです。

2T2Rだけでなく、ADRV9002はFH用に1T2R、2T1Rの動作もサポートしています。このように、ユーザ固有の要件を満たせるだけの高い柔軟性を備えていることも特筆に値します。

DPDによるFHのサポート

ADRV9002は、狭帯域／広帯域アプリケーションの両方に向けてDPD機能を提供します。DPD機能を利用すれば、パワー・アンプ（PA）の非直線性を補正して効率を大幅に高めることができます。また、ACPR（Adjacent Channel Power leakage Ratio）の規格に準拠することが可能になります。

ADRV9002は、DPDとFHを同時に実行するという先進的な機能を提供します。この機能を利用する場合、ユーザは最大8つの周波数領域を設定します。各周波数領域に対しては、DPDのアルゴリズムによって最適なソリューションが提供されます。また、このDPD機能では、各領域向けに、送信の終了時と開始時に係数のセットを保存／ロードすることもできます。それにより、ホッピング周波数の範囲全体でPAの直線性を確保することが可能になります。

DPDの機能は、適応フィルタ処理のプロセスだと言えます。係数を計算するためには周期的にサンプルのセットを取得する必要がありますので、ホッピングのフレーム長は、DPDにおけるキャプチャ長の要件を満たすよう十分に長くする必要があります。DPDの更新を必要とせず、初期にロードした係数のみを使用する場合には、この制約は生じません。

通常、ADRV9002のトラッキング・キャリブレーションは、高速FHが行われている際には実行されません。ただ、初期キャリブレーションは、FHの設定に従い、複数の周波数領域に基づいて実行されます。そのため、最高の性能を発揮することができます。

ADRV9002の評価用ソフトウェアを使用し、
FH性能を評価する

FHの性能は、ADRV9002の評価用ソフトウェア (TES: Transceiver Evaluation Software) と評価用ボードを使用することにより十分に評価することができます。TESは、Xilinx® のFPGA評価キット「ZC706」、「ZCU102」をサポートしています²。図11に示すように、FHの動作モード、ホッピング・テーブル、GPIO、TDDのタイミングといったFH関連のパラメータは、専用のページで簡単に構成できるようになっています。また、TESにはFPGAの同期機能が組み込まれているので、TDDのタイミングを正確に制御し、送信／受信フレームをホッピング・フレームと完全に同期させることが可能です。TESには、FHに関する多くのサンプルも用意されています。それらを利用すれば、より詳細な検討が行えます。

FHのモードの構成

Internal L0T (Hopping)

P1 L1 Power Consumption

Low Power

L0T Optimization

Automatic

P1 L1 Calibration

Load

Configuration

Shortest Frame Duration

60

µs

Transmission Time

30

µs

Hop Mode

MLDX Preprocess

Table Index Control

Pre Hoping

Hop Pin 1

Pin 05

Hop Pin 2

Unassigned

Dynamic Table Load (requires Automated TDO)

☐

Number of Hops per Dynamic Table Load

One

Internal L02 (Hopping)

P1 L2 Power Consumption

Low Power

L02 Optimization

Automatic

P1 L2 Calibration

Load

Channels

☐ Rx1 Enabled

☐ Rx2 Enabled

☒ Tx1 Enabled

☐ Tx2 Enabled

Sounds of Operation

Carrier Frequency

Minimum

3100000000

Maximum

31015000000

Hz

Qs Gain Index

230

230

Tx Attenuation

0

0

dB

Our FPGA and evaluation software constrain the number of hops per dynamic table load. The product does not.

ホッピング・テーブルの構成

Hop Table A:

Carrier Frequency (Hz)	Rx Offset Frequency (Hz)	Rx Gain Index	Tx Attenuation (dB)
3102000000	0	250	0
3100100000	0	250	0
3100200000	0	250	0
3100300000	0	250	0

Hop Table B:

Carrier Frequency (Hz)	Rx Offset Frequency (Hz)	Rx Gain Index	Tx Attenuation (dB)
3103400000	0	250	0
3100500000	0	250	0
3100600000	0	250	0
3100700000	0	250	0

GPIOの構成

Hop Table	Hop Index	Gain / Altern Index	Corner (Hz)	Gain	Attenuation (mV)
A	00	000	5180000000	250	12500
A	01	000	5180000000	252	12500
A	10	010	5180000000	240	13000
A	11	011	5180000000	242	13000
B	00	000	5180000000	240	13000
B	01	000	5180000000	237	14000
B	10	110	5180000000	235	14000
B	11	111	5180000000	232	14500
A	00	000	5180000000	250	12500

Control Mapping by GPIO

Table Index Sequence: Upload a sequence of indexes corresponding to row indices in the hop table(s).

Table Select Sequence: Upload a sequence of A and B or 1 and 2 to match tables.

Gain / Altern Sequence: If enabled, upload a sequence of row indices in gain/altern table.

Our FPGA will toggle GPIO pins to set the hop table, hop table index, and gain / alternation table index according to a sequence you upload. In the FPGA user file box, you control the pins in real time.

Executed Sequence

GPIO Pins for Control of Hop Table

Table Select Pin:

Table Index Pin 1:

Table Index Pin 2:

Table Index Pin 3:

Table Index Pin 4:

Table Index Pin 5:

Table Index Pin 6:

Gain / Altern Index Pin 1:

Gain / Altern Index Pin 2:

Gain / Altern Index Pin 3:

TDDのタイミングの構成

③ Pseudo Automated RTL Style Machine for FPGA

ILU Configuration

Choose an existing ILU configuration: LTE_40M_TX_ONLY_FTH_DUAL_HOFI.json

Save As...

Frames and Sequences

Frame Duration: 143097 Clock Cycles

Sequencing of Frames: Wspool one configuration banner

Number of Frames in Sequence: 5 Frames

TDD Clock

TDD Clock Rate: 200 MHz

TDD Preamble: 5.000 ms

DMA Sync

☐ Enable DMA Sync

図 11. TES の FH の構成用ページ

まとめ

ADRV9002は、SDRに対応する次世代トランシーバーです。同ICが提供する高度なシステム機能のうちの1つがFH機能です。同ICは2つのPLLを搭載しているだけでなく、複数のFHモード、ホッピング・テーブルのロード、インデックスの付加といった面で高い柔軟性を備えています。そのため、様々なシステムでFH機能を活用することができます。その結果、高度な要件を満たすことが可能になります。また、ADRV9002のTESとソフトウェア開発キット（SDK）を利用すれば、あらゆる機能について十分な評価を実施することができます。



著者について

Mizhou (Michelle) Tan (mizhou.tan@analog.com) は、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。約3年間にわたり、RFトランシーバー製品やアプリケーションの設計／開発をサポートしています。2004年から2018年までは、Agere Systems、LSI Logic、Intelでアルゴリズム、システム、ソフトウェアを担当する技術者として業務に従事していました。学会や論文誌向けに15本以上の論文を発表。無線通信とデジタル信号処理の分野で9件の特許を取得しています。中国の四川大学で電気工学の学士号と修士号を取得。2004年にニュージャージー工科大学で電気／コンピュータ工学の博士号を取得しました。

参考資料

- ¹ John G. Proakis 「Digital Communications, 3rd edition (デジタル通信 第3版)」 McGraw-Hill、1994年3月
- ² 「UG-1828: ADRV9001 System Development User Guide (UG-1828 : ADRV9001 システム開発向けのユーザ・ガイド)」 Analog Devices、2020年12月
- ³ Kao Chin-Han 「Performance Analysis of a JTIDS/Link-16-Type Waveform Transmitted over Slow, Flat Nakagami Fading Channels in the Presence of Narrowband Interference (狭帯域干渉の存在下で低速／平坦なNakagamiフェージング・チャンネルによって送信されるJTIDSリンク16信号の分析)」 Naval Postgraduate School、2008年