

新たなMEMSスイッチ製品で、ATEによるテストの合理化とスループットの向上を図る

著者：Richard Houlihan、プロダクト・マーケティング・マネージャ
 Naveen Dhull、プロダクト・アプリケーション・エンジニア
 Padraig Fitzgerald、主席IC設計エンジニア

概要

先進的なデジタル・プロセッサICの品質を保証するためには、DCパラメトリック・テストや高速デジタル・テストを実施する必要があります。そのためには、ATE（自動試験装置）による出荷検査の工程が不可欠です。ただ、それには多大なコストと工程管理上の複雑な課題が伴います。そこで、本稿ではMEMS（Micro Electro Mechanical System）ベースのSPDTスイッチ「ADGM1001」をATEに適用することで、課題の解決を図る方法を紹介します。その方法では、単一のテスト用ボードを使用した1回のテストによって、DCパラメトリック・テストと高速デジタル・テストの両方を実施します。それにより、デジタルSoC（System on Chip）やRF対応のSoCのテスト（出荷検査）にかかるコストを削減し、工程管理を簡素化することが可能になります。



図1. デジタルSoCの検査を担当するオペレータ。テスト用ボードを試験装置に設置する様子を示しています。

ATEが抱える課題

5G向けのモデムIC、グラフィックスIC、CPUといった先進的なICでは、より高速かつ高密度の通信が行われるようになっていきます。それに伴い、半導体の市場も拡大を続けています。今日のATEの設計者にとっては、より複雑さが増すなかで、そうした製品の品質を保証しつつ、より厳しくなるスループットの要件に応えることが究極の課題になっています。重要な側面としては、トランスミッタ（Tx）とレシーバー（Rx）のチャンネル数が増加していることが挙げられます。それらのチャンネルについては、高速デジタル・テストとDCパラメトリック・テストの両方を実施しなければなりません。このことが原因で、半導体製品のテストはますます複雑になっています。そうした課題を解決しなければ、テスト時間は増大し、テスト用ボード（負荷ボード）の複雑さは増し、検査工程のスループットは低下する一方です。つまり、ATEに関連する運用コストの増加と生産性の低下に歯止めが利かなくなるといえます。

ATEが抱える課題を解決するには、DC領域でも高周波領域でも問題なく動作するスイッチが必要になります。ADGM1001であれば、完全なDC信号（周波数が完全に0Hz）と最高64Gbpsの高速信号を通過／遮断することができます。これを採用すれば、効率が高い単一のテスト用プラットフォームを構築することが可能になります。言い換えれば、DCパラメトリック・テストと高速デジタル通信規格に対応するテストの両方を実施可能な環境を構築できます。つまり、1回デバイスをセッティングすれば、すべてのテストを単一の環境上で実施できるようになるということです。なお、高速デジタル通信規格の例としては、PCI Express 4/5/6（PCIe Gen 4/5/6）、PAM（Pulse Amplitude Modulation）4、USB4などが挙げられます。

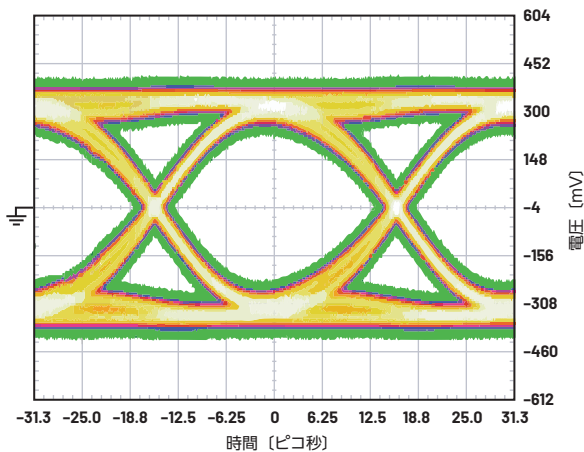


図2. ADGM1001のアイ・ダイアグラム。
32Gbpsにおける結果です。測定はRF1とRFCの間で行いました。
リファレンスのトレースはありで、
パターンとしてはPRBS $2^{15}-1$ を使用しました。

HSIO ピンのテスト方法

量産環境においては、高速入出力（HSIO：High Speed Input Output）インターフェースのテストが難易度の高い課題になります。一般に、HSIOインターフェースの検証方法としては、高速ループバック・テスト用のアーキテクチャを実装するということが行われます。つまり、1つの構成の中に高速テスト用のパスとDCテスト用のパスを組み込むことになります。

通常、高速ループバック・テストを行うには、図3（左）のような構成を使用します。このような構成により、トランスミッタから送信した高速なPRBS（Pseudo-Random Binary Sequence）信号をテスト用ボードでループバックし、レシーバー側で受信することです。レシーバー側では、シーケンスを解析してBER（Bit Error Rate）を算出します。

導通性のテストやリークのテストといったDCパラメトリック・テストは、デバイスの機能を確認するためにI/Oピンに対して実施されます。それらのテストを行うには、電流を強制的に印加して電圧を測定することで障害の有無を調べるDCテスト・システムが必要になります。そうしたシステムには、図3（右）のようにDUT（被測定デバイス）のピンを直接接続しなければなりません。

上記のとおり、DUTのI/Oについては、高速ループバック・テストとDCパラメトリック・テストの両方を実施する必要があります。デジタルSoCを対象としてそれらのテストを適用する手法は

いくつか存在します。例えば、高速ループバック・テストとDCパラメトリック・テストのそれぞれに向けて2種類のテスト用ボードを用意する方法が考えられます。ただ、その場合、1つのボード上に1つのDUTをセットするという作業を2回行い、2回にわたってテストを実施しなければなりません。それに対し、1つのテスト用ボード上にリレーを実装し、各テスト向けに接続を切り替えるという方法をとれば、1つのボード、1回のテストで必要な作業が簡潔します。

しかし、リレーを使用する方法はSoCの進化に伴い限界に近づいてきました。なぜなら、多くのリレーは8GHz以上では動作しないからです。つまり、リレーを使用する方法では、信号の速度とテスト・カバレッジについて妥協が必要になるということになります。また、リレーはサイズが大きく、ボード上でかなりの実装面積を占めます。そのため、ソリューションのサイズに影響が及びます。加えて、リレーは一般的には1000万回の開閉サイクルにしか耐えられません。つまり、必ず信頼性の問題が浮上します。結果として、テスト用のシステムのアップタイムとテスト用ボードの寿命に制約が生じます。

図3に示した方法では、高速ループバック・テストとDCパラメトリック・テストを実行するために、DUTを2回セットして2種類のテストを実行する必要があります。図3（左）は、高速ループバック・テスト用の設定です。この場合、カップリング・コンデンサを介してDUTのトランスミッタをレシーバーに接続します。一方、図3（右）は、DCパラメトリック・テスト用の設定です。この場合、DUTのピンはパラメトリック・テストに使用するATEに直接接続します。上述したとおり、SoCの高速化が進んだ結果、リレーが制約となり、高速ループバック・テストとDCパラメトリック・テストの両方を単一のテスト用ボードを使って実施することができなくなっています。

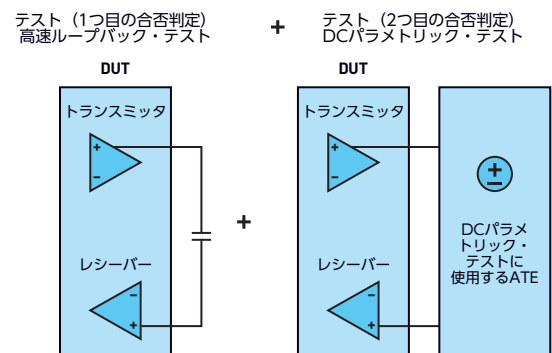


図3. 2種類のテスト用ボードを使用して
テストを実施する場合の構成

テストを2回に分けることに伴う課題

上述したように、従来の手法によって高速SoCの検査を行う場合、高速ループバック・テストとDCパラメトリック・テストを2回に分けて実施しなければなりません。それに伴う課題としては、以下のような事柄が挙げられます。

- ▶ **2種類のハードウェアの管理が煩雑になる：**高速ループバック・テストとDCパラメトリック・テストには、異なるテスト用ボードが必要です。つまり、2種類のボードを維持／管理しなければなりません。そのため、特に大量の製品の検査が必要な場合には、大きなオーバーヘッドが追加されます。
- ▶ **テスト時間とコストの増大：**ここまでに説明したとおり、すべてのDUTについて2回のテストを実施しなければなりません。つまり、各テストのインデックス時間は2倍になります。その結果、当然のことながら検査にかかるコストは増加し、スループットにも深刻な影響が及びます。
- ▶ **テスト時間を最適化できない：**2種類のハードウェアを使用するという条件下では、テスト時間を最適化することができません。1つ目のテストに合格したのに、2つ目のテストで不合格になるDUTが増えれば、より多くのコストが発生することになります。1つ目のテストにかかった時間は、結果的に無駄であったということになるからです。
- ▶ **人為的なミスが生じやすい：**すべてのDUTを2回テストするということは、人為的なミスが発生する確率が2倍になるということを意味します。
- ▶ **セットアップに要する時間が2倍になる：**テストを2回実施するにあたっては、2種類のハードウェアが必要になります。つまり、ハードウェアのセットアップにかかる時間は2倍になります。
- ▶ **工程管理のオーバーヘッドが増える：**テストを2回実施するということは、DUTを運搬する回数が増加するということを意味します。各種のATEの間や、場合によってはテスト施設の間で、DUTを移動させなければならず、生産計画や工程管理の面で課題が生じます。

2回のテストの問題を解決するMEMSスイッチ、DC～34GHzの動作と卓越した実装密度を提供

ADGM1001は、DC～34GHzの範囲で動作するMEMSスイッチです。パッケージのサイズは5mm×4mm×0.9mmで、高い実装密度を実現します。そのため、図4に示すように高速ループバック・テストとDCパラメトリック・テストの両方に対応できます。高速ループバック・テストを実施する際には、同ICを介してトランスミッタからの高速信号をレシーバーに受け渡します。それを受けて、レシーバー側では復号化を行った上でBERを算出します。一方、DCパラメトリック・テスト（導通性やリークのテスト）を行う場合は、同ICを使用して各ピンをATEに接続します。DCパラメトリック・テストを実施する際には、同ICを介して、一部のアプリケーションで求められるATEとの高速通信を実施することもできます。

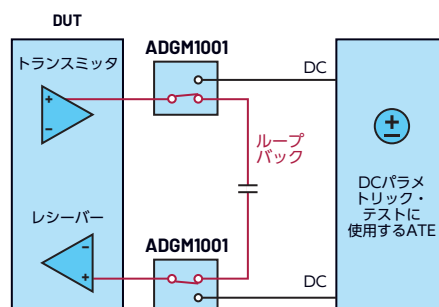


図4. ADGM1001の利用方法。
高速ループバック・テストとDCパラメトリック・テストの両方を単一のテスト用ボードを使用して行えるようになります。この図では、非反転側のチャンネルのテスト方法を示しています。

図5は、高速デジタル・テストについて、リレーを使用する場合とMEMSスイッチ（ADGM1001）を使用する場合を比較したものです。MEMSスイッチを使用する場合、リレーを使用する場合と比べて実装面積が50%近く小さくなります。ADGM1001のパッケージは5mm×4mm×0.9mmのLGAであり、一般的なリレーの1/20程度に抑えられるからです。

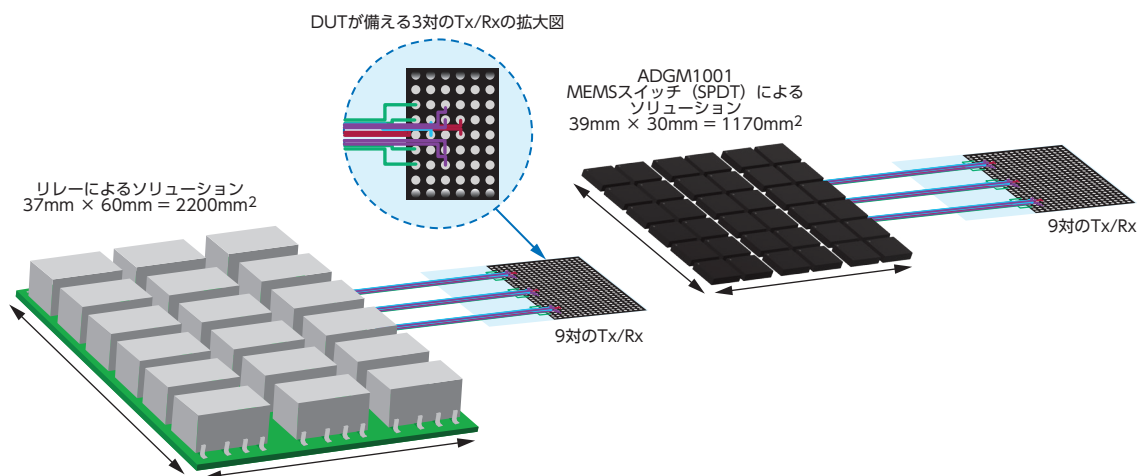


図5. 高速ループバック・テスト向けのソリューション。
リレーを使用する場合とADGM1001を使用する場合を比較しています。

PCIe Gen 4/5、PAM4、USB4、SerDes (Serializer Deserializer) といった高速インターフェースでは、トランスミッタ/レシーバーから成る複数のチャンネルが使用される傾向があります。その状況に対応するには、レイアウトを複雑にすることなくプリント基板の実装密度を高めることにより、チャンネル間のばらつきを抑えなければなりません。MEMSスイッチは、進化を続ける高速技術のニーズに応え、デジタルSoCのテスト用ボードの高密度化、高機能化に貢献します。

一般に、リレーはサイズが大きく、高周波性能の面で限界があります。したがって、PCIe Gen 4/5、PAM4、USB4、SerDesなど、高密度化が求められる高速技術に対応するのは困難です。多くのリレーは8GHz以上では動作せず、高い周波数における挿入損失が大きくなります。そのため、テスト・カバレッジが低くなると共に、シグナル・インテグリティに影響が及びます。

ADGM1001の詳細

ADGM1001は、MEMSベースのSPDTスイッチです。DC～34GHzという広い範囲にわたり、業界最高水準の性能を提供します。寄生容量を非常に小さく抑えて広い帯域幅を実現する技術により、64Gbpsまでの信号に対する影響を最小限に抑制しています。また、チャンネルのスキュー、ジッタ、伝搬遅延も最小限に抑えられているので、高い忠実度でデータを転送することが可能です。挿入損失は34GHzにおいてわずか1.5dBで、オン抵抗も3Ω (代表値) に抑えられています。69dBmという優れた直線性を備え、最大で33dBmのRF電力に対応します。5mm×4mm×0.9mmの小さなSMD品 (プラスチック・パッケージ) であり、3.3Vの電源電圧を使用するシンプルな低電圧の制御インターフェースを備えています。このような多くの特徴を備えていることから、ADGM1001はATEのアプリケーションに対する最適な選択肢になります。図4に示すように、高速ループバック・テストとDCパラメトリック・テストの両方を1回のテストとして実行できます。

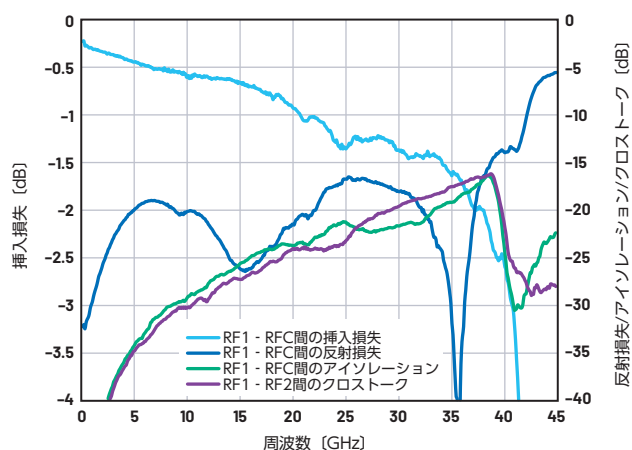


図6. ADGM1001のRF性能

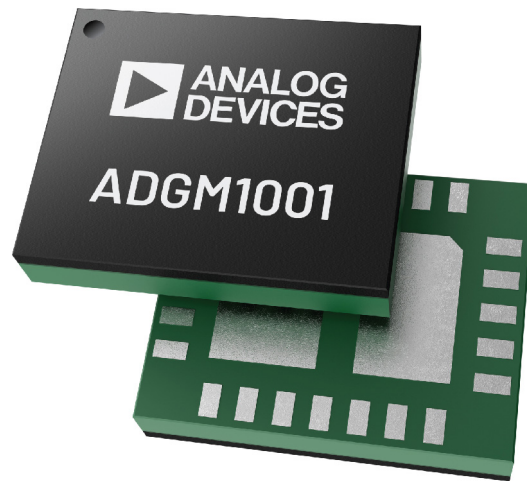


図7. ADGM1001の外観。パッケージは5mm×4mm×0.9mmの24ピンLGAです。

ADGM1001は使いやすい製品です。 V_{DD} ピン (23番ピン) に3.3Vを供給すれば動作します。動作電源電圧の範囲は3.0V～3.6Vです。電源を投入したら、ロジック制御インターフェース (1番ピン～4番ピン) またはSPI (Serial Peripheral Interface) を介して、容易に制御することができます。使いやすさを実現すると共に実装面積を抑えるために、必要なすべての受動部品を1つのパッケージ内に統合しています。図8に、ADGM1001の機能ブロック図を示しました。

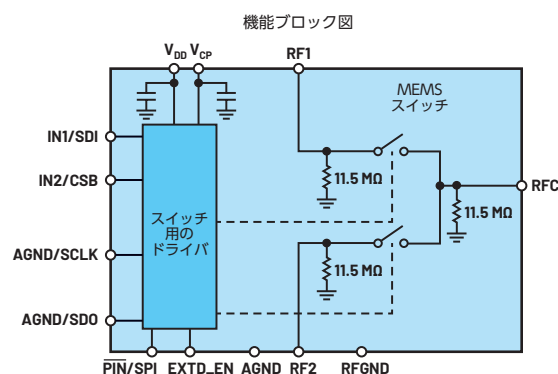


図8. ADGM1001の機能ブロック図

ADGM1001によるテストの合理化によって得られるメリット

DGM1001を採用すれば、テスト用ボードを1つにまとめ、テストを1回で済ませられるようになります。それにより、以下のようないメリットが得られます。

- ▶ **卓越した高速性と DC 性能**：ATE の業界にとって、広い帯域幅を実現することは大きな課題でした。ADGM1001 は DC ～ 34GHz の帯域幅だけでなく、業界をリードする様々な性能を提供します。そうした性能の例としては、挿入損失、直線性、RF 電力、オン抵抗といった重要なパラメータが挙げられます。
- ▶ **運用コストの削減**：ADGM1001 を採用すれば、以下の理由で運用コストを削減できます。
 - **ハードウェアの削減**：1 回のテストに必要なテスト用のハードウェアは 1 つだけです。つまり、2 種類のハードウェアと試験装置に資金を投入する必要はありません。そのため、運用コストを大幅に削減することができます。
 - **試験装置のアップタイム**：ADGM1001 は、1 億サイクルの動作寿命を備えています。リレーと比べて卓越した信頼性が得られるので、試験装置のアップタイムが長くなります。このことも、運用コストの削減につながります。
- ▶ **検査工程のスループットの向上**：ADGM1001 を採用すれば、テストは 1 回で完了します。そのため、インデックス時間が半分に、テスト時間が大幅に短縮されます。つまり、検査工程のスループットとアセットの利用率が向上します。
- ▶ **将来にわたって利用できる高密度のソリューション**：ADGM1001 は、高密度化と高機能化に寄与します。一方で、スイッチには、将来的により高い周波数まで動作範囲を広げることが求められます。MEMS ベースのスイッチ技術には、そうしたニーズに対応するための確固たるロードマップが存在します。様々な技術の進歩に完全に足並みをそろえた技術だと言えます。

- ▶ **工程管理のコストの削減**：テストの回数を 1 回に減らせれば、DUT を運搬しなければならない回数が減少します。それによって、工程管理のコストが低下し、生産計画におけるオーバーヘッドが緩和されます。
- ▶ **人為的なミスの低減**：DUT のテストの回数が 1 回になれば、運搬回数や必要な手作業も削減されます。その結果、人為的なミスが発生する確率が低下します。

まとめ

ADGM1001 は、DC ～ 34GHz に対応する先進的なスイッチ製品です。これを採用すれば、SoC の高速ループバック・テストと DC パラメトリック・テストを 1 つのテスト用ボードを使用して 1 回で実行することが可能になります。それにより、テスト時間を削減できるだけでなく、テスト用ボード上の実装面積の縮小（対応可能な DUT の数とスループットの向上につながります）、アップタイムの延伸（信頼性の向上）も実現されます。

高速 SoC のテストに関するニーズは、SoC の進化に応じてより厳しいものになります。アナログ・デバイセズは、そうしたニーズを満たす MEMS スイッチ・ファミリを提供しています。ADGM1001 は、そのファミリに追加された最新の製品です。アナログ・デバイセズの MEMS スイッチ技術には、将来の技術的なニーズに応えるための確固たるロードマップが存在します。具体的には、将来的に求められると考えられる、より高い周波数での動作を実現するスイッチ機能を開発していきます。この技術の今後の進化にご期待ください。



著者について

Richard Houlihanは、アナログ・デバイセズのプロダクト・マーケティング・マネージャです。スイッチ／マルチプレクサの主要な製品ラインを対象として、マーケティングとビジネス開発を指揮しています。設計、製品ライン管理、マーケティング、事業部門の統括など、エレクトロニクス業界で25年にわたり多様な職務に従事。アナログ・フロント・エンドのアーキテクチャに関する知識や広範な市場における様々な経験を生かし、戦略的なイノベーションと製品開発を統括しています。ダブリン大学トリニティ・カレッジで電気工学の学士号、ボストンのノースイースタン大学で経営学の修士号を取得しています。



著者について

Naveen Dhullは、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。2011年にICレイアウト・エンジニアとして入社。2016年に、スイッチ／マルチプレクサを担当するアプリケーション・グループに異動しました。以降、プロダクト・アプリケーション・エンジニアとして、主にCMOS/MEMS技術をベースとするRFスイッチを担当しています。2011年にアイルランドのウォーターフォード工科大学で電子工学の学士号を取得しました。



著者について

Pdraig Fitzgeraldは、アナログ・デバイセズの主席IC設計エンジニアです。高精度スイッチ・グループで、MEMSベースのスイッチ製品／デバイスの設計を担当しています。2002年に半導体スイッチの評価エンジニアとして入社。2007年からスイッチの設計に携わっています。2002年にリムリック大学で電子工学の学士号を取得。コーク工科大学でMEMSスイッチの信頼性に関する修士課程を修了しています。更に、ロンドン大学で金融経済学の修士号も取得しました。