

# 低消費電力／高精度の シグナル・チェーンで注意を払うべき タイミング要因【Part 1】

著者：Padraic O'Reilly、プロダクト・アプリケーション・エンジニア

## 概要

計測アプリケーションや監視アプリケーションでは、多くの場合、システムの精度を確保しつつ消費電力を低減することが求められます。そのためには、タイミングに関連する要因について考慮する必要に迫られるはずです。おそらくは、アナログ・フロント・エンド（以下、AFE）のタイミングや、A/Dコンバータ（ADC）のタイミング、デジタル・インターフェースのタイミングなどについて検討しなければならないでしょう（図1）。この連載ではPart 1とPart 2の2回に分けて、そうした事柄について解説します。Part 1では、まずADCの2つの主要なアーキテクチャであるシグマ・デルタ（ $\Sigma\Delta$ ）型と逐次比較型（SAR）について簡単にまとめます。その上で、 $\Sigma\Delta$  ADCを使用するシステムについての解説を進めます。Part 2では、SAR ADCを使用するシステムについて検討すべき事柄を明らかにします。それらの解説を通して、分析／制御／評価用のタイミング・ツール「ACE (Analysis Control Evaluation)」も紹介することにします。このツールを使用すれば、システム設計やソフトウェア開発を行う際、タイミングに関連する影響や設定について可視化を実現することができます。

## はじめに

「時間厳守」というのは、昔からどのようなことにも適用できる重要な言葉です。エンジニアリングの分野も例外ではありません。信号のサンプリングを実施する際には、時間に関する要件を満たすことが非常に重要になります。システムを設計する際には、タイミングに関する目標を達成し、性能の要件を満たすと共に消費電力を削減しなければなりません。特に、物理的な事象を測定するためのシグナル・チェーンで使用するADCについては、タイミングが重要な鍵になります。ADCを使用するにあたっては、

まず $\Sigma\Delta$ とSARのうちどちらのアーキテクチャを選択するか検討する必要があります。使用するアーキテクチャを決定したら、求められるシステム性能を実現するための回路を構築します。そのときに検討しなければならないのが、タイミングの要件についてです。特に、低消費電力、高精度のシグナル・チェーンを構成する上では、タイミングについて十分に配慮しなければなりません。

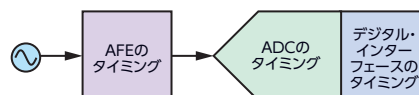


図1. シグナル・チェーンの構造。  
各ブロックのタイミングについて検討を実施する必要があります。

## 速度の観点からは、SARと $\Sigma\Delta$ のうち どちらを使うべきなのか？

本稿では、温度、圧力、流量などに対応する信号を計測するためのアプリケーションに焦点を絞ります。特に、高精度、低消費電力であることが求められるシステムに注目することにします（詳細については「高精度、低消費電力」のページを参照）。また、測定帯域幅は10kHz未満であることを前提とします。ただ、本稿で取り上げる多くのトピックは、広帯域を対象とする計測システムにも適用することが可能です。

従来、低消費電力のシステムを設計するにあたり、変化が遅い低速の信号を高い精度で測定したい場合には $\Sigma\Delta$  ADCが選択されていました。一方、SAR ADCは、より多くのチャンネルを変換の対象とし、高速な測定を行いたいケースに場合により有用なものであると考えられていました。しかし、「AD4630-24」のような新たなSAR ADCは、従来 $\Sigma\Delta$  ADCが使われていた高精度の領域でも利用されるようになっていきます。つまり、両者の使い分けについて厳格な決まりがあるというわけではありません。

表1は、両アーキテクチャを採用したADCの実例として、 $\Sigma\Delta$ 型の「AD4130-8」とSAR型の「AD4696」についてまとめたものです。いずれの製品も低消費電力であることを特徴とします。以下では、これらをベースとし、シグナル・チェーンに関連するタイミングについて考えていくことにしましょう。

表1. 超低消費電力のADC

|         | AD4130-8                                             | AD4696                                            |
|---------|------------------------------------------------------|---------------------------------------------------|
| アーキテクチャ | $\Sigma\Delta$                                       | SAR                                               |
| チャンネル数  | 16                                                   | 16                                                |
| 分解能     | 24ビット                                                | 16ビット                                             |
| 最高速度    | 2.4kSPS                                              | 1MSPS                                             |
| 消費電流    | 変換時 (2.4kSPS) は<br>32 $\mu$ A、スタンバイ時は<br>0.5 $\mu$ A | 変換時 (10kSPS) は<br>58 $\mu$ A、スタンバイ時は<br>2 $\mu$ A |
| 省電力機能   | デューティ・<br>サイクリング、FIFO                                | デュアルSDO、<br>自動サイクル                                |

サンプリング周波数か、出力データ・レートか？

SAR ADCでは、既知の時点で入力信号のレベルを取得することにより、サンプル・データを出力します。最初のサンプル (& ホールド) フェーズの後には変換フェーズが訪れます。サンプル・データを得るまでに必要な時間は、サンプリング周波数に応じて大きく異なります。

一方、 $\Sigma\Delta$  ADCは、変調器の動作周波数でサンプル・データを採取します。 $\Sigma\Delta$ 変調器ではオーバーサンプリングが行われるので、サンプル・レートは入力信号のナイキスト周波数をはるかに上回ります。そのようにして周波数スパンが追加されることから、より高い周波数にノイズが追いやられます。この種のADCでは、変調器からの出力データに対してデシメーションと呼ばれる処理を適用します。それにより、高い精度と引き換えにサンプル・レートを低下させます。その処理を実現するのはデジタル・フィルタ (ローパス・フィルタ) です。デジタル・フィルタによる処理の内容は、時間領域での平均化に相当します。

このように、 $\Sigma\Delta$  ADCとSAR ADCとでは、変換結果を得るための方法が大きく異なります。SAR ADCをベースとする技術ドキュメントでは、サンプリング周波数 ( $f_{\text{SAMPLE}}$ ) をベースとした説明が多くなります。それに対し、 $\Sigma\Delta$  ADCのデータシートでは、出力データ・レート (ODR: Output Data Rate) が重視されます。本稿では、ADCのタイミングについて詳しく説明するにあたり、両アーキテクチャの違いについても触れることにします。

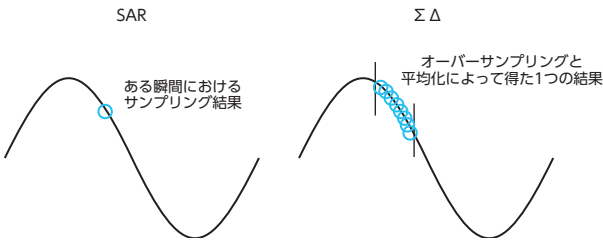


図2. SAR ADCと $\Sigma\Delta$  ADCの違い。SAR ADCでは $f_{\text{SAMPLE}}$ 、 $\Sigma\Delta$  ADCではODRが重要な意味を持ちます。

マルチプレクス型のADCでは、複数のチャンネルのうち1つを順次選択して変換を実行します。同ADCについては、全チャンネルの変換に要する時間 (セットアップ時間などを含む) をスルーブット・レートと呼びます。

シグナル・チェーンのタイミングに関して最初に検討すべきことは、センサーのバイアス/励起とシグナル・チェーンのパワーアップに要する時間です。電圧源と電流源をオンにし、センサーにバイアスをかけ、スタートアップするまでにかかる時間の仕様を明らかにしなければなりません。例として、AD4130-8が内蔵するリファレンス回路をターンオンするためにかかるセトリング時間について考えてみます。その時間は、リファレンス・ピンに特定の負荷容量が接続されている場合で280マイクロ秒となります。内蔵回路が生成するバイアス電圧は、センサーを励起するために使用することができます。そのスタートアップ時間はアナログ入力ピンに接続された容量に左右され、3.7マイクロ秒/nFという値になります。

シグナル・チェーンのパワーアップ時間が明確になったら、ADCのアーキテクチャに応じたタイミングに関する検討事項を確認します。以下では、まず超低消費電力のアプリケーションを実現する測定用のシグナル・チェーンで、 $\Sigma\Delta$  ADCを使用するケースについて考えます。その場合にはどのようなタイミングに注目すればよいのかということをはっきりとします。なお、シグナル・チェーンでSAR ADCを使用する場合にも、タイミングに関連する影響については、 $\Sigma\Delta$  ADCを使用する場合と重なる部分があります。例えば、システム・レベルの消費電力を改善するためには、マイクロコントローラとのやり取りに要する時間を最小限に抑えるといった具合です。そうした事柄については、Part 2 で詳しく解説することになります。

$\Sigma\Delta$  ADCを使用する場合に検討の対象とすべきブロック

SAR ADCではなく、 $\Sigma\Delta$  ADCを選択した場合には、タイミングについて検討すべき固有の事柄が生じることになります。シグナル・チェーンを構築するにあたって検討の対象とすべき回路ブロックは3つあります。AFE、ADC、デジタル・インターフェースの3つです。それぞれのタイミングについては、慎重に検討を行わなければなりません。

AFEのタイミングについて検討すべき事柄

3つのブロックのうち、まずはAFEに注目することになります。AFEの設計に関する詳細は、アプリケーションの種類に応じて異なります。ただ、ほとんどの回路には共通する側面があります。

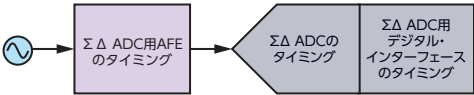


図3.  $\Sigma\Delta$  ADCを使用するシグナル・チェーン。AFEのタイミングについて留意する必要があります。

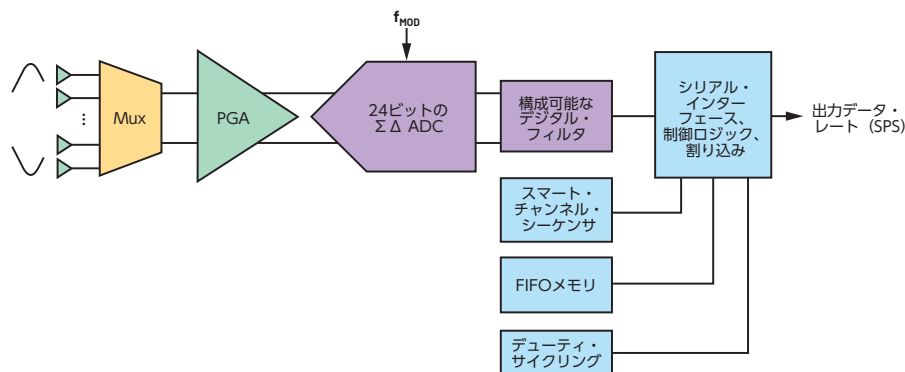


図4. AD4130のブロック図。  
同製品は超低消費電力のΣΔADCです。

AD4130-8は、シグナル・チェーン製品の中では、**高精度、低消費電力向け**のグループに分類されます。高いレベルの性能を達成しつつ消費電力を削減するための豊富な内蔵機能を利用できるよう特別に設計されています。そうした機能の例としては、FIFO (First In, First Out)、スマート・チャンネル・シーケンサ、デューティ・サイクリングなどが挙げられます。

AD4130-8は、アナログ・デバイスが提供するΣΔADCの中で最も消費電力が少ない製品です。しかも、電圧リファレンス、プログラマブル・ゲイン・アンプ (PGA)、マルチプレクサ、センサー用の励起電流源／バイアス電圧源など、シグナル・チェーンにおいて重要になるビルディング・ブロックを数多く内蔵しています。その点を考慮すると、消費電流が極めて少ないというのは驚くべきことです。

ここで、AD4130-8と共に使用するAFEについて考えてみます。同ADCは、アナログ入力部にPGAを搭載しています。それにより、入力電流を最小限に抑えることができます。また、入力部を駆動するための外付けアンプは不要です。オーバーサンプリングを実現する変調器の後段にはデジタル・フィルタが配置されています。同ADCの帯域幅は、このフィルタによって決まります。同ADCは、数多くのsinc3/sinc4フィルタや、50Hz/60Hzのノイズを除去するように設計されたフィルタを備えています。sinc3/sinc4のデジタル・フィルタは、外付けのアンチエイリアシング (折返し誤差防止) フィルタ (以下、AAF) と組み合わせて使用する必要があります。このAAFの目的は、入力信号の帯域幅を制限することです。例えば、変調器の動作周波数 $f_{MOD}$ に依存して周波数が変化するノイズなどにより、通過帯域 (変換結果) にエイリアスが発生しないようにするために使用します。

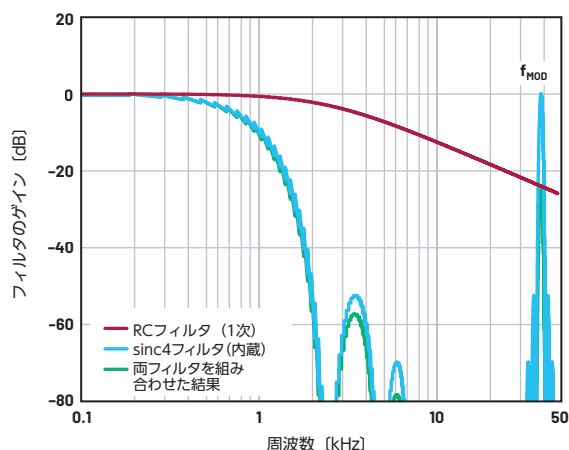


図5. 外付けフィルタ (AAF) と内蔵フィルタの組み合わせによって得られる周波数応答 (シミュレーション結果)

## AAFの設計

アプリケーションによっては、AAFとして高次のものが必要になることもあるかもしれませんが、通常は1次 (1ポール) のローパス・フィルタを使用することで要件を満たすことができるはずです (図6)。AAFは、対象とする信号をサンプリングする条件に基づいて設計します。その3dB帯域幅は以下の式で表されます。

$$f_{3\text{ dB}} = \frac{1}{2 \times \pi \times RC} \quad (1)$$

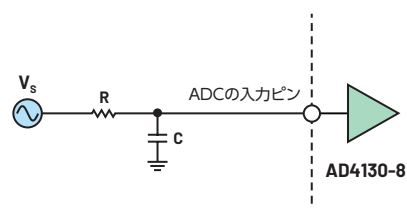


図6. AAFの構成。  
通常は1次のローパス・フィルタを使用すれば十分です。

AAFを設計する際には、コンデンサと抵抗の値を選択します。抵抗の値は大きい方が望ましいのですが、そうするとノイズに関しては不利に働きます。一方、コンデンサの値については下限があります。コンデンサの値とピンの容量値の比が重要になります。コンデンサの両端に現れる可能性がある最大の電圧ステップに基づき、回路を充電するのに必要な時間を把握することが重要です。コンデンサに現れる電圧は、時間に対して次式で表される変化率を示します。

$$V_C = V_S \left( 1 - e^{-\frac{t}{RC}} \right) \quad (2)$$

各変数の意味は以下のとおりです。

$V_C$  : ある時点におけるコンデンサの両端の電圧

$V_S$  : 供給する電圧

$t$  : 時間

パワーアップする際、ステップ・サイズ $V_S$ は、ADCの入力電圧範囲（ $\pm V_{REF}/[\text{ゲイン}]$ ）と同程度になる可能性があります。

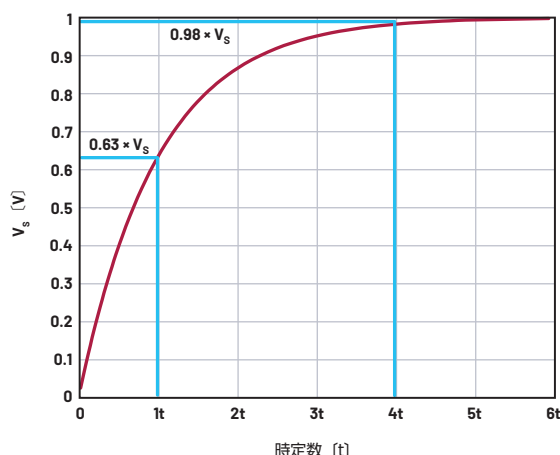


図7. 1次ローパス・フィルタのセトリング時間。  
フルスケールが1Vのステップ状の変化に対する応答を示しています。

ここで図7をご覧ください。時定数（ $\tau = R \times C$ ）の4倍の時間が経過すると、信号が $0.98 \times V_S$ に到達することがわかります。

時定数の何倍の時間が必要であるかは、ステップ・サイズ $V_S$ との比の自然対数をとることで算出できます（以下参照）。

$$N_T = \ln \left( \frac{V_S}{V_{HALF\_LSB}} \right) \quad (3)$$

上の式の $V_{HALF\_LSB}$ は、ADCの入力電圧スパンに対応するLSBの半分に相当します。 $N_T$ は、入力が $V_{HALF\_LSB}$ 以内にセトリングするまでの時間に対応する値です。つまり、時定数の $N_T$ 倍の時間を確保すればセトリングが完了するということになります。また、 $V_{HALF\_LSB}$ は、必要な電圧精度に置き換えることができます。システムの設計においてLSBの半分以内の分解能が必要である場合、分解能がNビット、内蔵PGAのゲインが1、バイポーラ入力ADCでは、次式が成り立ちます。

$$V_{HALF\_LSB} = \left( \frac{2 \times V_{REF}/Gain}{2^N + 1} \right) \quad (4)$$

入力電圧をデジタル値に変換するまでに要する時間 $t_{ACQ}$ は、 $N_T$ に $\tau$ （時定数である $R \times C$ ）を掛けることで求められます（以下参照）。

$$t_{ACQ} = \tau \times N_T \quad (5)$$

従来、マルチプレクス型のADCでチャンネルの切り替えを行う際、チャンネル間で大きな電圧の差（あるチャンネルは負のフルスケール、次のチャンネルは正のフルスケール）がある場合には、同様の計算を行う必要がありました。AD4130-8では、この問題を解決するために、低消費電力のプリチャージ・バッファを内蔵しています。このバッファは、チャンネル間の切り替えを行う際にオンになります。それにより、チャンネルを切り替えた後の最初の変換は、最速のデータ・レートでも適切に行えるようになります。また、同ADCは、コモンモード入力範囲全体に対応できるように設計されたPGAも搭載しています。そのため、システム設計においては、広範なコモンモード電圧に対して十分なマージンを確保することが可能です。このことは、信号の測定を行う上で非常に役に立ちます。あるチャンネルが負のフルスケールになり、次のチャンネルが正のフルスケールになるケースが最も厳しい条件になります。

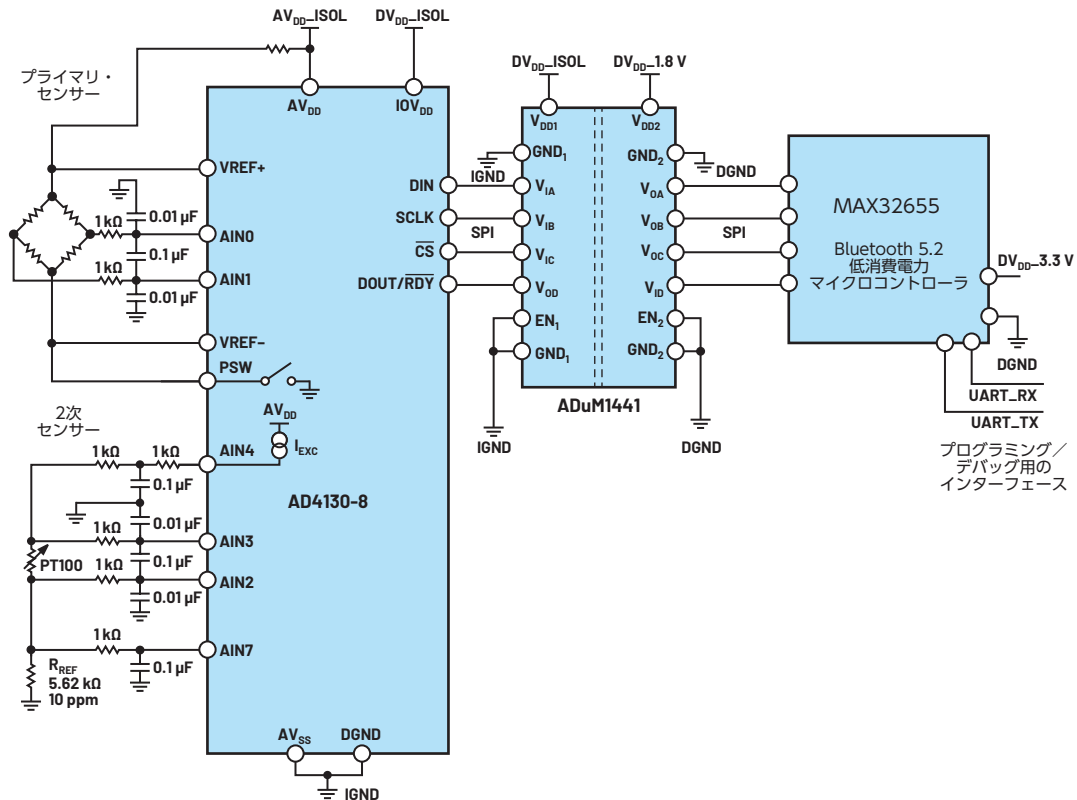


図8. AD4130-8とローパス・フィルタを組み合わせた回路。  
マイクロコントローラとの間に絶縁を施しています。

### 【具体例】AAFとして使用するローパス・フィルタ

図8に、分解能が24ビットのADCであるAD4130-8を使用した具体的な回路例を示しました。これは、ホイートストン・ブリッジをベースとするセンサー用の回路です。AAFは、1kΩの抵抗と0.01μFのコンデンサによって構成しています。-3dB周波数は16kHz以下の位置にあります。V<sub>REF</sub>は2.5V、PGAのゲインは1に設定しています。

この回路では、プライマリ・センサーの出力をシングルエンドのAAFでフィルタリングしています。上記のRCの値から、時定数は以下ようになります。

$$\tau = 10 \mu\text{s} \quad (6)$$

差動信号のフィルタとしては、プライマリ・センサーの出力を1kΩの抵抗0.1μFのコンデンサで受け取っています。そのため、次式が成り立ちます（この式の詳細については、[MT-070](#)をご覧ください）。

$$\begin{aligned} \tau &= 50 \mu\text{s} \quad (1 \text{ k}\Omega \times 0.1 \mu\text{F}/2) \\ V_{\text{HALF\_LSB}} &= 298 \text{ nV} \end{aligned} \quad (7)$$

差動センサーの時定数によってシングルエンドの値が決まるため、システム全体としては以下の式が成り立ちます。

$$\begin{aligned} N_T &= 16\tau \quad (V_{\text{STEP}} = 5V \text{ の場合}) \\ t_{\text{ACQ}} &= 0.8 \text{ ms} \end{aligned} \quad (8)$$

上記の式は、システムがパワーアップしてサンプル・データを集めるまでに必要なセトリング時間を表しています。これは、外付けのAAFが存在することから必要になる時間です。それまでに取得されたサンプル・データは、デジタル領域で破棄することが可能です。または、この充電時間を考慮し、サンプル・データを取得する瞬間を遅らせることでも対応できます。

フィルタを設計する際、抵抗とコンデンサについて上記の値とは異なる値を使用するケースもあるでしょう。LTspice®では、AD4130-8とAAFをまとめてモデル化することができます。あるいは、図9に示すように、システムやシグナル・チェーンのレベルでモデル化することも可能です。図9の例では、抵抗R2の値を変化させることで、RTD（測温抵抗体）に対応する回路の動作をシミュレーションしています。

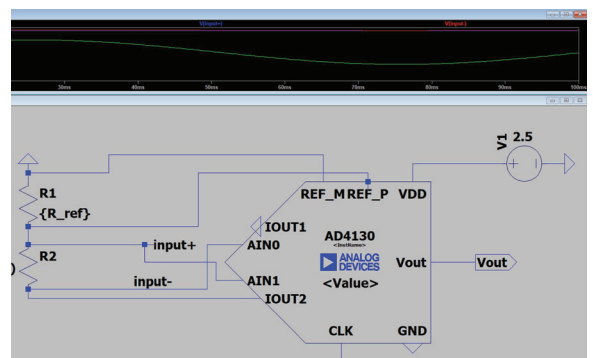


図9. LTspiceによるRTD（抵抗R2）のシミュレーション



## AFEのタイミングについて検討すべき事柄

次に取り上げるのはΣΔ ADCのタイミングです (図10)。ΣΔ ADCではODRが重要であることに留意しながら、その内部タイミングについて考えてみます。

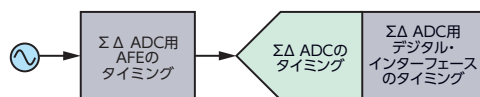


図10. ΣΔ ADCを使用するシグナル・チェーン。  
ΣΔ ADCではODRが重要な意味を持ちます。

ΣΔ ADCでは、高いサンプリング・レートで低分解能 (1ビット) の内蔵ADCを動作させてアナログ信号をデジタル化します。オーバーサンプリング、ノイズ・シェーピング、デジタル・フィルタを併用することによって、高い実効分解能が実現されます。

AD4130-8では、SPI (Serial Peripheral Interface) を介してレジスタにデジタル・データを書き込むことで、オーバーサンプリング・レートとデシメーション・レートを制御することができます。ただ、変調器におけるサンプル・レート $f_{MOD}$ の値は固定です。基本的に、FSの値 (後述) は、デジタル・フィルタが結果を得るために使用するサンプルの数 (AD4130-8では16刻み) を変更するために使用します。FSのワードが変化すると、ADCによる変換結果あたりのオーバーサンプリング用の変調クロックの数が増えます。

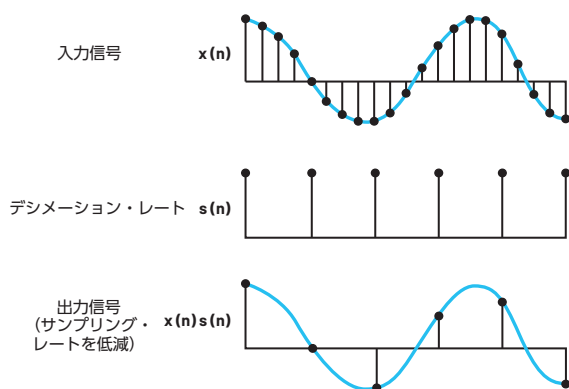


図11. デシメーションの処理

デシメーションを適用することにより、ADCの出力の実効サンプリング・レートを下げることができます。その際には、精度の向上が図られることになります。デシメーションは、オーバーサンプリングのプロセスで生じた冗長な信号情報を除去する方法だと考えられます。デシメーションの対象となるデータの数が多いほど (デジタル・フィルタにおいて1度の計算の対象になるサンプル・データの数が多いほど)、得られる精度は向上します。同時に、以下の式に従ってODRは低下します。

$$f_{ADC} = \frac{f_{MOD}}{16 \times FS} \quad (9)$$

各変数の意味は以下のとおりです。

$f_{ADC}$ : 出力データ・レート

$f_{MOD}$ : マスタ・クロックの周波数

FS: デシメーション比の制御に使用する乗数

## フィルタによる遅延

複数のチャンネルがイネーブルの状態にある場合、データシートに記載されたODR ( $f_{ADC}$ ) とデータのスループット・レートとの関係は複雑になります。その背景には、チャンネルを切り替える際にデジタル・フィルタによって生じる遅延があります。デジタル・フィルタがセトリングするまでに必要な時間は、sincフィルタの種類によって異なります。ここで図12をご覧ください。これは、アナログ入力に対応するデジタル・データが得られるまでの様子を表したものです。ご覧のように、sinc3フィルタによって行われる最初の変換には3回の変換サイクルが必要なことがわかります。同様に、sinc4フィルタによる最初の変換には4回の変換サイクルが必要です。図中の $t_{SETTLE}$ は、マルチプレクサによる切り替えを考慮してユーザーがプログラムすることが可能なセトリング時間を表しています。一般に、フィルタの次数が高いほどノイズは低減されます。しかし、次数が高い場合、フィルタがセトリングするまでに必要な変換サイクルの数が増えてしまいます。このことは、高次のフィルタの欠点だと言えます。

ΣΔ ADCのチャンネルにおける最初の変換 (sinc3の場合)

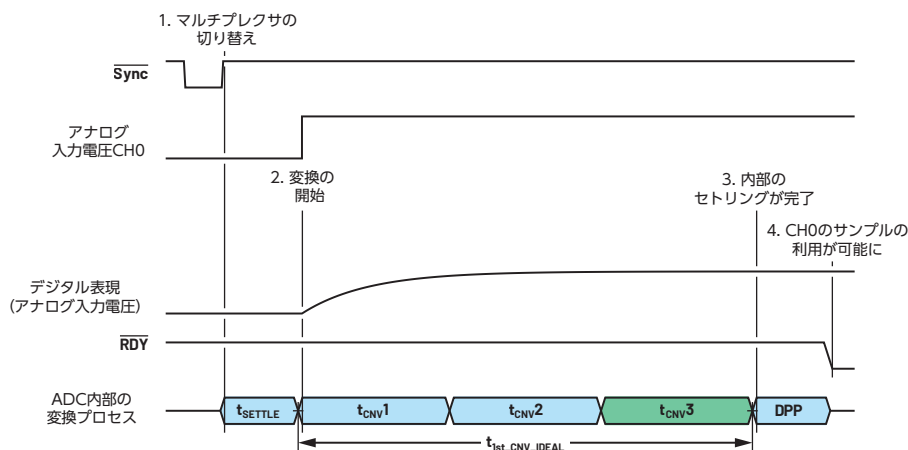


図12. フィルタによる遅延

## デジタル・インターフェースの タイミングに関する検討事項

続いて、AD4130-8のようなΣΔ ADCのデジタル・インターフェースにおけるタイミングについて検討します（図13）。この種のタイミングについては、ソフトウェア・ツールを利用すると理解しやすくなります。そうしたツールの代表的な例がアナログ・デバイス社のACEです。ACEはいくつかのツールを統合したものであり、その1つとしてタイミング・ツールが含まれています。シーケンサとFIFOに関するタイミング図を利用すれば、それらの設定について理解するのが容易になります。

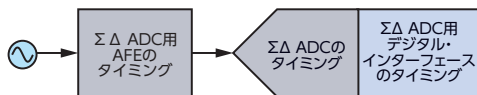


図13. ΣΔ ADCを使用するシグナル・チェーン。デジタル・インターフェースのタイミングについても検討する必要があります。

AD4130-8のシーケンサを利用すれば、各入力チャンネルに対して異なるデジタル・フィルタを適用したり、セトリングやタイミングについて様々な設定を行ったりすることができます。ACEのタイミング・ツールを利用することにより、いつデータを取得できるようになるのか計算するプロセスを簡素化することができます。

スループット・レートを計算する際には、次のような過ちを犯さないように注意しなければなりません。というのは、複数のチャンネルがイネーブルの状態にある場合に、セトリングしたチャンネルのODRの値を読み取り、イネーブルの状態にあるチャンネルの数で割ることでは適切な値を得ることはできません。なぜなら、その方法ではデジタル・フィルタによる遅延が反映されない

からです。言い換えれば、スループット・レート（データシートに記載されたODRに対する実効ODR）を計算する場合には、フィルタによる遅延を考慮しなければならないということです。複数のチャンネルがイネーブルである場合、図14に示すように、最初のセトリング時間 $t_{SETTLE}$ だけでなく、ADC内部の変換サイクルである $t_{1st\_CNV\_IDEAL}$ も算出する必要があります。

全チャンネルに対し、同じフィルタとセトリング時間が設定されており、どのチャンネルでも変換の繰り返しがない場合、システムのスループット・レートは次式で表されます。

$$\left[ \begin{array}{l} \text{スループット・} \\ \text{レート [SPS]} \end{array} \right] = \frac{1}{(t_{1st\_CNV\_IDEAL} + t_{SETTLE})} \div CHs \quad (10)$$

ここで、各変数の意味は以下のとおりです。

CHs：イネーブルになっているチャンネルの数

$t_{1st\_CNV\_IDEAL}$ ：フィルタによる遅延を含む変換時間

$t_{SETTLE}$ ：デジタル制御が可能なタイミングのパラメータ。延長は可能だが、マルチプレクサのセトリングを考慮してプログラムが可能な最小の時間を設定する

スループット・レートは、 $1/CNV\_ODR$ の時間（図14で緑の線によって示された時間）の総計を算出することによって計算できます（以下参照）。

$$t_{1CNV\_ODR} = t_{1st\_CNV\_IDEAL} + t_{SETTLE} \quad (11)$$

$$\left[ \begin{array}{l} \text{スループット・} \\ \text{レート [SPS]} \end{array} \right] = \frac{1}{(\sum t_{1CNV\_ODR})}$$

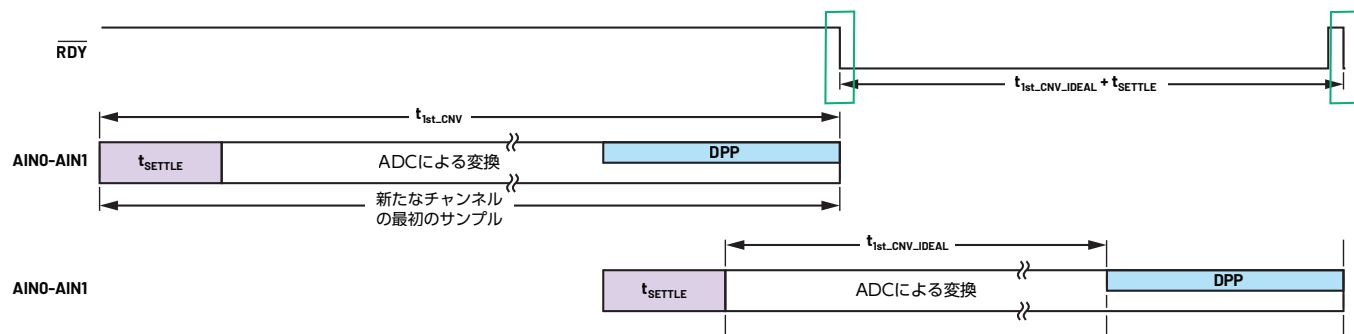


図14. 最初の変換に対応するODR。フィルタによる遅延も含んでいます。

## 【具体例】圧力センサー用のシグナル・チェーンにおけるタイミング

図15に示したのは圧力センサー（ロード・セル）用のシグナル・チェーンです。このように複数の圧力センサーと温度センサーを備えるシステムを設計したい場合には、タイミングの面でどのようなことを考慮すればよいのでしょうか。

質問A：このシステムでは、1個のAD4130-8によって何個の圧力センサーに対応することができますか？

質問B：圧力センサーからの電圧出力範囲が3mV/Vである場合、分解能としてはどのような値が期待できますか？

質問C：システムのダイナミック・レンジに関する要件を満たすためには、工場のラインで少なくとも14ビットの実効分解能が得られる必要があったとします。その場合、何個のロード・セルを使用してシステムを構築すればよいのでしょうか？

### 質問Aに対する答え

ここでは、質問Aに対する答えを導き出すための手順を示します。

#### ステップ1：ゲインを選択する

$AV_{DD}$ は1.8V、 $REF_{IN+} \sim REF_{IN-}$ は1.8Vであるとしします。

3mV/Vのロード・セルを1.8Vで励起すると、各ロード・セルの最大出力は5.4mVになります。

PGAのゲインをその最大値である128に設定したとします。その場合、ADCへの入力値は $5.4\text{mV} \times 128 = 0.7\text{V}$ になります。これであれば、1.8Vの範囲に十分収まります。そこで、PGAで使用するゲインは128が適切だということになります。

#### ステップ2：FSの値を選択する

最速の設定として、sinc3フィルタを使用し、FSの値として1を選択することになります。

#### ステップ3：1つのチャンネルのスループット・レートに基づき、システムのチャンネル数を計算する

以下の条件を基に、チャンネル数を計算します。

$$1\text{CNV\_ODR} : 1 / 1.667 \text{ [ミリ秒]} = 600\text{SPS}$$

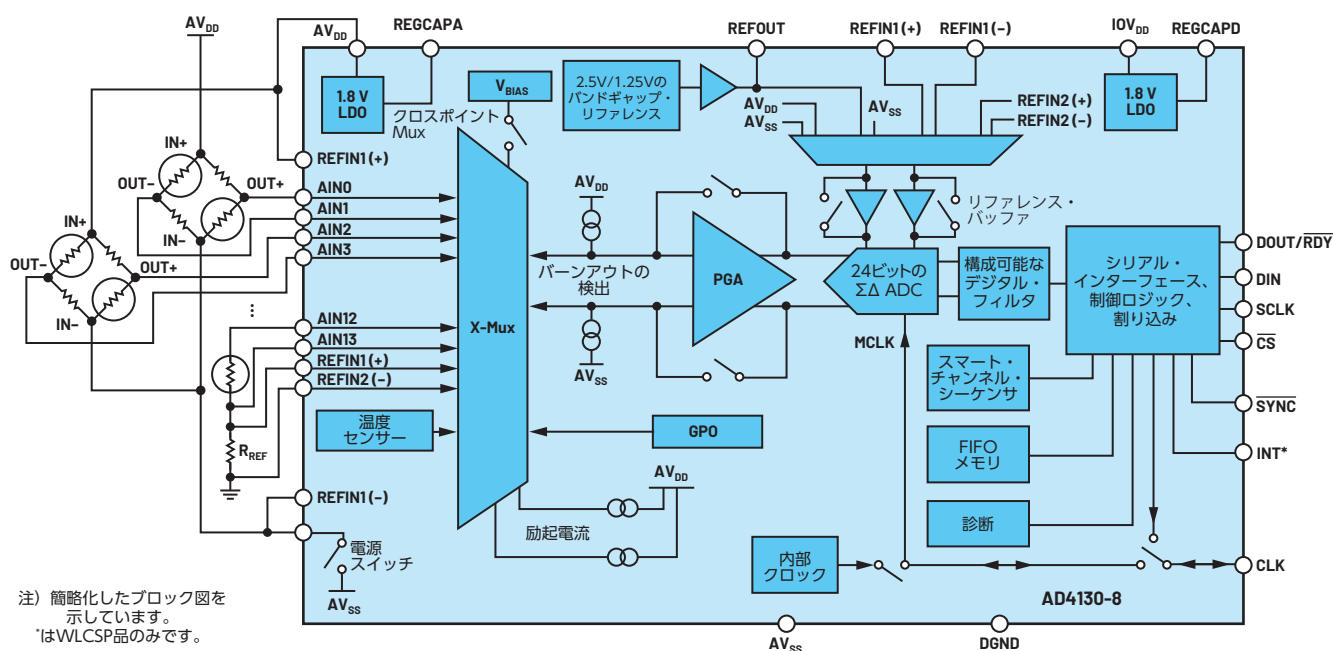
$$\text{スループット・レート} : 600\text{SPS} / N_{\text{ch}}$$

ここで、1CNV\_ODRは、マルチチャンネル・システムにおいて、構成が同じで変換の繰り返しがない1つのチャンネルのスループット・レートです。10チャンネルの場合、60SPSでサンプリングすることができます。

以上のことから、質問Aに対する答えは、1システムあたり9個のロード・セルを使用できるというものになります。

#### ステップ4：データシートに示された実効分解能の表を活用する

データシートに記載されたノイズと実効分解能の表を見る際には、考慮すべきもう1つのポイントがあります。それは、計算を行う際には、スループット・レートではなく、フィルタのFSの値をベースにする必要があるというものです。データシートに記載されているODRは、セトリングした1つのチャンネルのODRです。



注) 簡略化したブロック図を示しています。  
\*はWLCSP品のみです。

図15. 圧力センサー用のシステムのブロック図



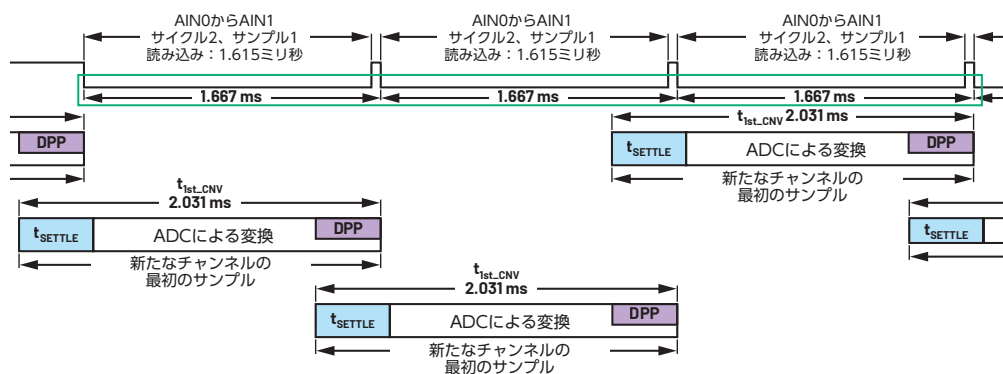


図 16. タイミング・ツールによる  $t_{1\text{CNV\_ODR}}$  の総和の算出

| FS (Dec.) | ODR (SPS) | Gain = 1<br>PGA_BYP = 1 | Gain = 1    | Gain = 2    | Gain = 4    | Gain = 8    | Gain = 16   | Gain = 32   | Gain = 64   | Gain = 128  |
|-----------|-----------|-------------------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| 30        | 21.82     | 21.1 (18.3)             | 20.7 (18.1) | 20.8 (18.1) | 20.2 (17.4) | 19.2 (16.5) | 18.7 (16.1) | 18 (15.3)   | 17.4 (14.7) | 16.9 (14.1) |
| 6         | 36.36     | 20.9 (18.1)             | 20.5 (17.8) | 20 (17.3)   | 19.7 (17.1) | 18.9 (16.2) | 18.1 (15.4) | 17.4 (14.7) | 17.1 (14.4) | 16.3 (13.6) |
| 5         | 43.64     | 20.7 (18.1)             | 20.2 (17.5) | 20.3 (17.5) | 19.6 (16.8) | 18.8 (16.1) | 18.1 (15.4) | 17.3 (14.5) | 16.7 (14.1) | 16 (13.4)   |
| 2         | 709.1     | 20 (17.3)               | 19.6 (16.8) | 19.2 (16.5) | 18.8 (16.1) | 18 (15.3)   | 17.2 (14.5) | 16.6 (13.8) | 16.1 (13.4) | 15.3 (12.6) |
| 1         | 2181.6    | 18.8 (16.1)             | 18.6 (15.9) | 18.3 (15.5) | 17.9 (15.1) | 17 (14.3)   | 16.2 (13.5) | 15.7 (13.1) | 15.3 (12.6) | 14.4 (11.7) |

図 17. ゲインとFSの関係

システムを設計する際には、データシートを注意深く読み解く必要があります。その際には、記述の解釈について注意を払わなければなりません。複数のチャンネルがイネーブルの状態にある場合には、スループット・レート (SPS単位) が低下します。データシートには分解能の表が示されているはずですが、それを誤って解釈すると、もっと高い分解能が得られると考えてしまう可能性があります。セトリングしたチャンネルのODRについては、FSの値を変更した場合、高い精度を実現するためにより強力なオーバーサンプリングやデシメーションが適用されます。その結果、システムの速度は低下することになります。複数のチャンネルがイネーブルの状態にある場合に、ADCの各チャンネルからのデータの読み取り速度、つまりはスループット (SPS単位) が低下していたとします。その場合、原因は複数のチャンネルでサンプリングを行っていることにあります。オーバーサンプリングの強化に起因するものではないため、分解能が向上することはありません。

### 質問Bに対する答え

図 18 に示した表を見ると、FS が 1 でゲインが 128 である場合、実効分解能は 11.7 になることがわかります。したがって、質問 B に対する答えは 11.7 ビットです。

| FS (Dec.) | ODR (SPS) | Gain = 64   | Gain = 128  |
|-----------|-----------|-------------|-------------|
| 2047      | 1.17      | 21.2 (18.5) | 2 (17.3)    |
| 480       | 5         | 19.8 (17)   | 18.4 (15.7) |
| 240       | 10        | 18.7 (16)   | 17.9 (15.2) |
| 160       | 15        | 18.3 (15.6) | 17.6 (14.9) |
| 80        | 30        | 17.9 (15.2) | 17.1 (14.4) |
| 48        | 50        | 17.4 (14.7) | 16.7 (14)   |
| 40        | 60        | 17.3 (14.6) | 16.6 (13.9) |
| 20        | 120       | 16.6 (13.9) | 16 (13.3)   |
| 10        | 240       | 16.3 (13.5) | 15.5 (12.7) |
| 5         | 480       | 15.4 (12.7) | 14.7 (12)   |
| 3         | 800       | 14.7 (12)   | 14 (11.3)   |
| 2         | 1200      | 13.9 (11.2) | 13.2 (10.5) |
| 1         | 2400      | 12.1 (9.41) | 11.7 (8.94) |

図 18. データシートに掲載された表の例。分解能とゲインの関係を表しています。

### 質問Cに対する答え

質問 C に答えるためには、質問 A のステップ 2 に戻る必要があります。

### ステップ 2 : FS の値を選択する

質問 C の分解能の要件に基づき、FS の値を選択します。14 ビットの実効分解能を得るためには、FS の値として 3 を選択する必要があります。

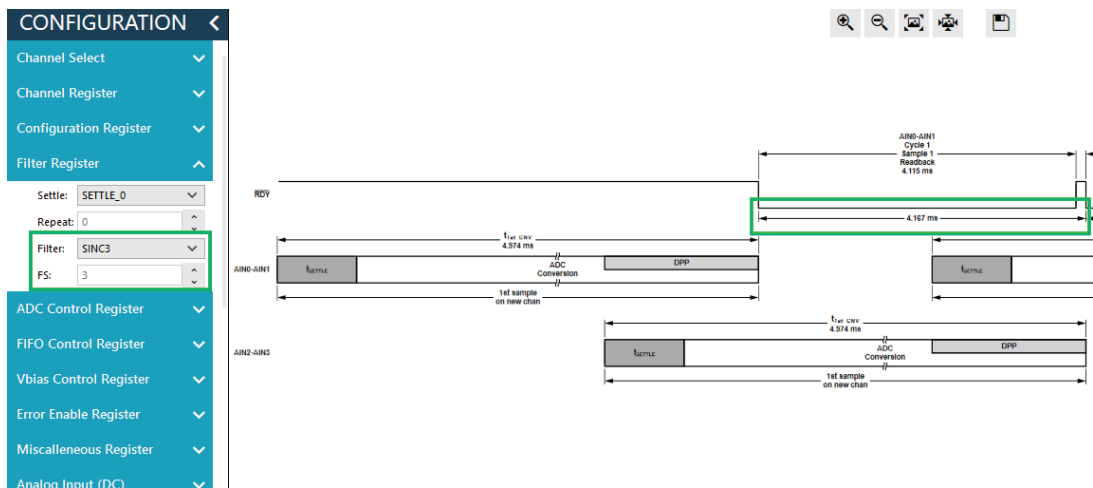


図 19. タイミング・ツールの活用例。フィルタの種類とFSの値を変更し、フィルタによる遅延を含む最初の変換のODRを確認します。

### ステップ3：1つのチャンネルのスループット・レートを 基に、システムのチャンネル数を計算する

タイミングAFMを使用することにより、必要な分解能（1/4.167マイクロ秒）を達成することができます。スループット・レートは240SPS/Nchです。このデータ・レートでは4つのチャンネルを使用することができます。質問Cに対する答えは3チャンネルです。

### デューティ・サイクリング

スループット・レートが低く、ODRが高いシステムについて考えます。その例としては、ヘルス・モニタリング用の機器が挙げられます。そうした機器のシステムは、ホスト・コントローラにより、ほとんどの時間はスタンバイ・モードにあり、定期的に変換を実施するように制御されます。AD4130-8は、デューティ・サイクリングという機能を備えています。これを使用すれば、機器によって次のような連続的な変換が行われるよう制御を実施できます。すなわち、デューティ・サイクルの3/4または15/16はスタンバイ・モードにあり、デューティ・サイクルの1/4または1/16で変換を実施するといった具合です。アクティブな時間とスタンバイの時間は、ユーザが設定することができます。

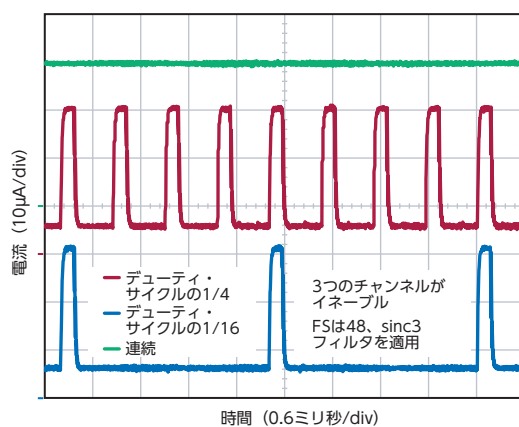


図 20. デューティ・サイクリングを適用した結果

また、AD4130-8は $\overline{\text{SYNC}}$ ピンを備えています。このピンを使用することにより、あらかじめ選択した複数のチャンネルについて、変換を行うタイミングをデタミスティックに制御することができます。同ADCは、次のように設定することも可能です。すなわち、まずは消費電流の少ないスタンバイ・モードで動作を開始し、その状態で変換シーケンスを機能させてスタンバイ・モードからアクティブなモードに移行し、複数のチャンネルで変換を実施して、変換が完了したらスタンバイ・モードに戻るといった具合です。

## 【具体例】 デューティ・サイクリングを利用する

ここでは、圧力センサーのシグナル・チェーンと同じ設定を例にとります。スループット・レートを600SPS/Nch、2つのチャンネルをイネーブルの状態にすると、ODRは300SPSになります。また、電源電圧が3Vの場合の平均電流は28.7 $\mu$ Aです（図21）。

デューティ・サイクリングによって、1/16がイネーブルの状態になるよう設定すると、スループット・レートは24.489SPSになります。その期間（40.834ミリ秒）の平均電流は4.088 $\mu$ Aになります（図22）。

## FIFO

AD4130-8は、FIFOを内蔵しています。それを使用すれば、変換によって得られたデータをバッファし、マイクロコントローラ／ホスト・コントローラが変換処理を待っている間に低消費電力

の状態に移行する機会を提供することができます。結果として、システムの消費電力を低減することが可能になります。ここでタイミングに関して検討すべき最も重要な事柄は、連続的に変換を実施しながらホストがFIFOからのデータを迅速に読み込むようにし、変換の欠落を防ぐことです。

指定した数のサンプル・データ（ウォーターマークと呼ばれます）が収集されたら、FIFOからデータを定期的に取り出すことができます。必要とするサンプル数に達すると割り込みが有効になり、ホストがFIFOのデータを読み出します。割り込みをクリアするためには、FIFOを空にしなければなりません。FIFOからデータを読み出すためには、あらかじめ定義済みの期間を用意しておく必要があります。使用するSCLKの周波数に応じ、変換を欠落させることなく読み出すことができるデータの数が決まります。

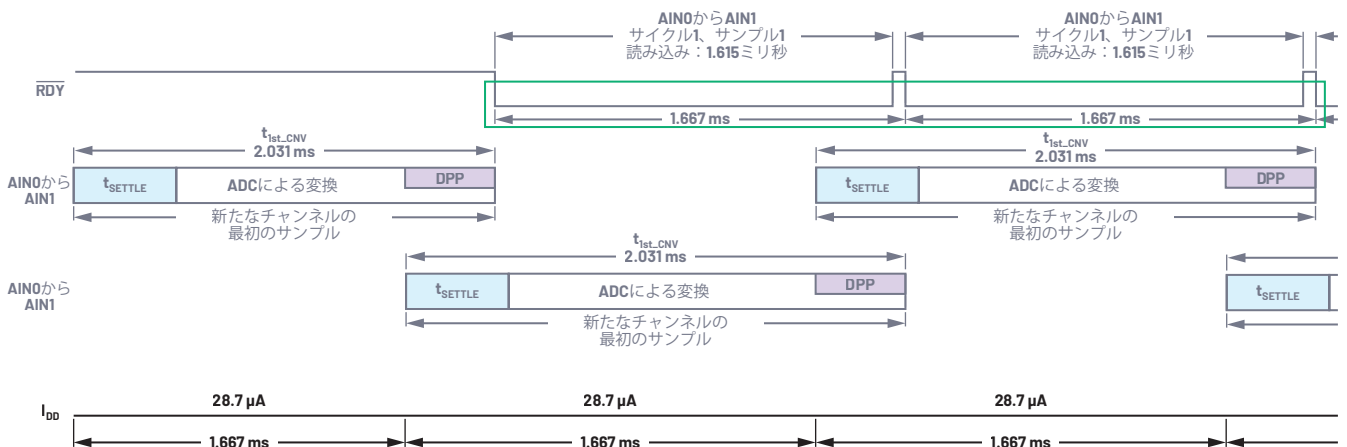


図 21. デューティ・サイクリングをイネーブルにする前のスループット（時間）と消費電流

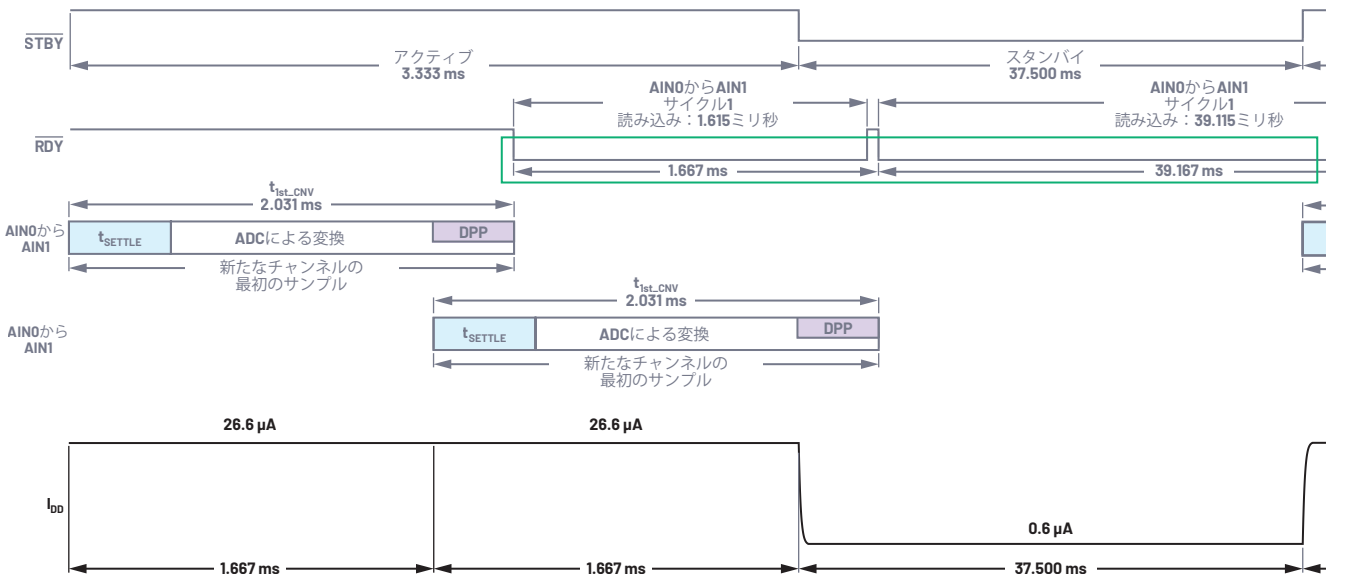


図 22. デューティ・サイクリングをイネーブルにした後のスループット（時間）と電流

SCLK Freq. (min) 11.213 MHz  
 SCLK minimum frequency to readback FIFO samples, 11.213 MHz (ungated), exceeds specified SCLK frequency, 5 MHz.  
 Reduce the watermark level to avoid missed conversions.

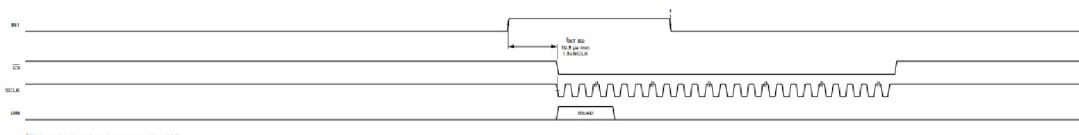
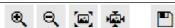


図 23. ACE による AD4130-8 の分析。  
 FIFO からのデータの読み出しに使用するウィンドウとアラートが表示されています。

タイミング・ツールである ACE を使用すると、システムの設計を行う際、SCLK を変化させたり、ゲーティッド・クロックを使用したりすることで、ウォーターマークのレベルを下げる必要があるのはどのような場合なのかということを把握することができます。FIFO からデータを読み出すケースは、それに該当する一例です。

続いては、2400kSPS の最大 ODR で動作する 1 つのチャンネルで、連続的に測定を実施する例を取り上げます。ウォーターマークのレベルを 256 に設定し、読み出しを試みるケースを考えます。その場合、変換を欠落させることなく FIFO からデータを読み出すためには、729.2 マイクロ秒の時間が必要になります。読み出すべきデータの量は、4112 ビットです。ACE を利用すれば、変換を欠落させることなく FIFO からのデータを読み出すためには、ホストの SPI には 5.64MHz のクロック周波数が必要であることがわかります。一方、AD4130-8 では、このクロックの周波数は最高 5MHz と定められています。つまり、このままでは仕様に反している状態になるということです。同 ADC の仕様の範囲内に収めるためには、ウォーターマークを修正すればよいでしょう。

本稿で説明したとおり、 $\Sigma \Delta$  ADC を使用する場合には、検討すべきトレード・オフ、タイミングの要因、機能について様々な配慮が必要であることがわかります。Part 2 では、SAR ADC をベースとするシステムのタイミングに影響を与える要因や機能について解説します。

表 2.  $\Sigma \Delta$  ADC (AD4130-8) についてのまとめ

| 項目               | タイミングへの影響                      | 低消費電力のシグナル・チェーンへの影響                  |
|------------------|--------------------------------|--------------------------------------|
| シグナル・チェーンのパワーアップ | 各ブロックのパワーアップが遅れる               | すべてのシグナル・チェーンに適用                     |
| AAF              | 変換結果に影響を及ぼす遅延が生じる可能性がある        | AD4130-8 ではチャンネルの切り替え時にフィルタをプリチャージ   |
| sinc フィルタによる遅延   | マルチプレクス型システムではスループット・レートに影響が及ぶ | マルチプレクスによって消費電力の削減が可能 ( $\mu A/Ch$ ) |
| デューティ・サイクリング     | デューティ・サイクリングの実行中にスループット・レートは低下 | 平均電流は比例して減少                          |
| FIFO             | 変換の欠落を防ぐためには注意が必要              | ホスト・コントローラを低消費電力の状態に移行させることが可能       |

## 参考資料

Maithil Pachchigar 「マルチプレクス・データ・アクイジション・システム設計におけるSARとシグマ・デルタ ( $\Sigma$ - $\Delta$ ) コンバータのトレード・オフ」 Analog Devices、2016年4月

Walt Kester 「Which ADC Architecture Is Right for Your Application? (アプリケーションの種類に応じ、ADCのアーキテクチャを適切に選択する)」 Analog Dialogue、Vol. 39、No. 9、2005年6月

Albert O'Grady 「Transducer/Sensor Excitation and Measurement Techniques. (トランスデューサ/センサーの励起と測定)」 Analog Dialogue、Vol. 34、No. 5、2000年

Alan Walsh 「高精度SAR A/Dコンバータ (ADC) のフロントエンド・アンプとRCフィルタの設計」 Analog Dialogue、Vol. 46、No. 12、2012年12月

Steven Xie 「高精度ADC用のフィルタ設計における課題と検討事項」 Analog Dialogue、Vol. 50、No. 4、2016年4月

Walt Kester 「MT-021: ADC Architectures II: Successive Approximation ADCs (ADCのアーキテクチャII: 逐次比較型のADC)」 Analog Devices、2009年

Ke Li、Colm Slattery 「電磁式流量計の設計——検討すべき事柄とソリューション」 Analog Dialogue、Vol. 50、No. 6、2016年6月

「SPICE Model for a Platinum RTD Sensor (白金RTDセンサーのSPICEモデル)」 Analog Devices、2022年

「MT-070 Tutorial: In-Amp Input RFI Protection (計装アンプの入力部をRFIから守る)」 Analog Devices、2009年



### 著者について

Padraic O'Reillyは、アナログ・デバイセズのアプリケーション・エンジニアです。低消費電力、高精度のADC/DACを使用するシグナル・チェーンのテスト/計測を担当。異なる技術をベースとする複数種の製品を組み合わせ、シグナル・チェーンを構成することに精通しています。マイクロ波に対応するRFシステム(PLL、レーダー、無線レシーバーなど)と高精度のミックスド・シグナル・コンバータ・システム(DAC、ADC、ASICなど)の両方に関する専門知識を有しており、計測、アプリケーションに関連する様々な業務に携わってきました。リムリック大学で電子工学の学士号を取得しています。