

# アプリケーションの要件に応じ、 シグナル・チェーンの消費電力を 削減する方法

著者：Lluís Beltran Gil、プロダクト・アプリケーション・エンジニア

## 概要

本稿では、まずアナログ・デバイセズが提供する高精度かつ低消費電力のシグナル・チェーンの例を紹介します。その上で、実際のアプリケーションにおいて、その電力効率を更に最適化する方法を示します。具体的には、システム・レベルの最適化手法をいくつか取り上げ、それぞれについて詳細に解説することにします。システムの消費電力は、消費電力の少ないコンポーネント製品を選択するだけで十分に削減できるとは限りません。更なる節電を実現するには、パワー・スケーリング、パワー・サイクリング、デューティ・サイクリングといった手法を適用しなければならないことがあります。また、チャンネル・シーケンサ、FIFO (First In, First Out)、電圧監視ブロックなど、ICが備える機能を活用すべきケースも存在します。そうした技術により、システム設計の複雑さを軽減しつつ、ホスト・コントローラを含むシステム全体のレベルで消費電力を削減することが可能になります。

## はじめに

米国にお住まいの方であれば、「太鼓を叩く小さなウサギ」のテレビ・コマーシャルを目にしたことがあるのではないのでしょうか。バッテリーのコマーシャルに登場するそのウサギは、数十年前から「ずっと進み続けること」に執念を燃やしています。計測システムの中には、バッテリー駆動の形で利用されるものも少なくありません。その例としては、温度、圧力、流量などを検出するためのフィールド機器が挙げられます。また、バイタル・サインの遠隔監視を実現する機器なども代表的な例です。そうしたアプリケーション向けのシステムを設計する際には、低消費電力のシグナル・チェーンを採用することが不可欠です。現在では、商用電源から給電するシステムであっても、環境への影響やエネルギーに関連するコストを最小限に抑えるために電力効率を高めることが求められます。そうしたなか、バッテリー駆動のシステムにおいて

消費電力に関する要件が厳しくなるのは当然のことです。システムの構成要素であるシグナル・チェーンでは、消費電力を抑えることが必須となります。低消費電力の設計を実現できれば、並列接続のバッテリー・セルの数を削減することが可能になります。結果として、ソリューションのサイズを小さくできるといった間接的なメリットが得られます。また、システムの消費電力を削減することは、IC (ダイ) の温度を抑えられるということにつながります。そうすれば、製品の寿命を延ばすこともできます。

高精度かつ低消費電力のシグナル・チェーンは、電力効率の高いハードウェアを短時間で設計するための優れた出発点になります。ただ、消費電力の少ないコンポーネントを選択するだけで十分であるとは限りません。パワー・スケーリング、パワー・サイクリング、デューティ・サイクリングなど、消費電力を最適化するための手法を導入すれば、システムの消費電力を更に削減することができます。また、設計を行う際には、適切な抵抗値を選択したり、適切なメモリを採用したりする必要もあります。それらも、消費電力に関する厳しい目標や最適なバッテリー寿命を達成する上で大きな要因になるかもしれません。

例えば、シグナル・チェーンの中に特定のアプリケーションには不要なビルディング・ブロックが存在している可能性があります。また、特定の条件下では一時的にパワーダウンできるビルディング・ブロックが存在するかもしれません。それらを特定すれば、消費電力を削減するための手法を適用することが可能になります。それに向けては、適切なタイミングの分析<sup>1, 2</sup>と動作のステージングあるいはデューティ・サイクリングを実施しなければなりません。いくつかのビルディング・ブロックが大部分の時間、アイドル状態にある場合には、それらをシャットダウン・モードに移行させたり、電源をオフにしたりすることができます。なお、デバイスの完全なパワー・サイクリングを実施する場合、シャットダウン・モードを使用する場合と比べ、電力とタイミングについて何らかの影響が生じる可能性が高いことに注意しなければなりません。



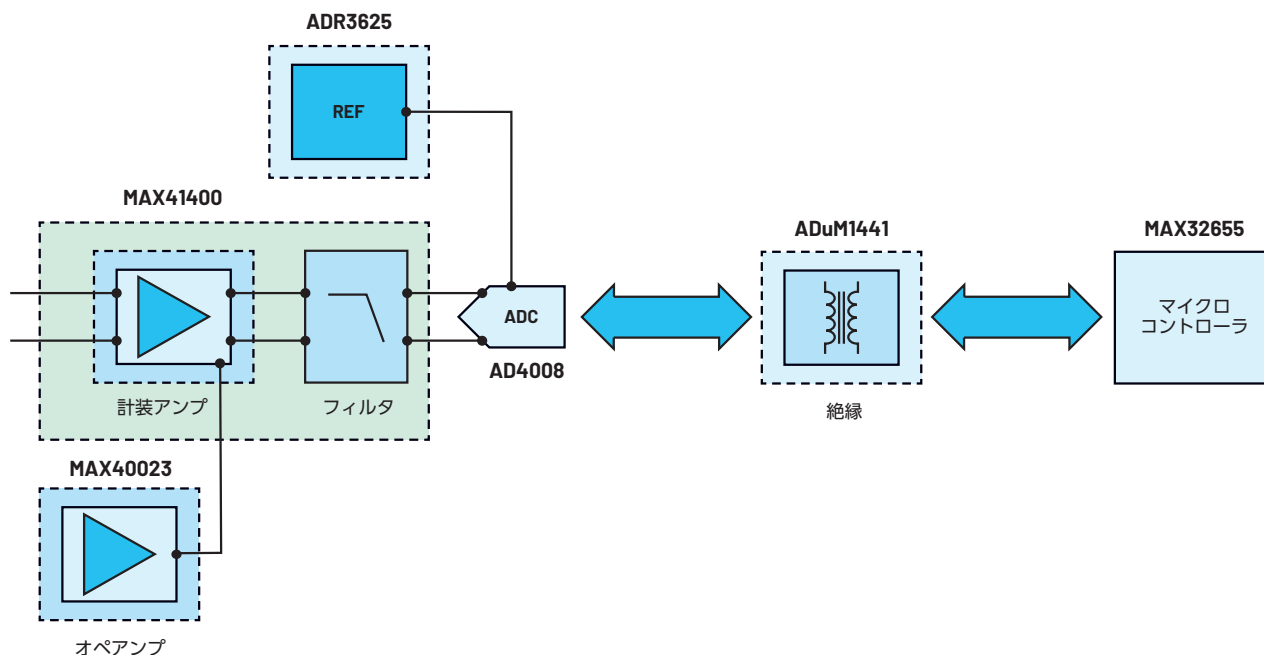


図1. SAR ADCをベースとするシグナル・チェーン。  
1つのチャンネルの電圧や電流の測定に使用します。

タイミングに関する実装を適切に行えば、マイクロコントローラ（以下、MCU）とのやり取りを最小限に抑えてシステム・レベルの消費電力を更に大きく改善することができます。なお、そのためには、ホスト・コントローラがシャットダウンしている際にデータを保存可能な外付けメモリまたは内蔵メモリを用意する必要があります。

システム・レベルの省電力手法を適用する際には、センサーによって取得した情報をデジタル化するA/Dコンバータ（ADC）の種類に応じた異なるアプローチが必要になります。つまり、逐次比較型（SAR）かシグマ・デルタ型（ $\Sigma\Delta$ ）であるかによって、異なる方法を適用しなければならないということです。また、デジタル通信に使用するプルアップ抵抗／プルダウン抵抗、抵抗分圧器、ゲイン設定用の抵抗などに関するハードウェア設計上の判断によっても、シグナル・チェーン全体の消費電力に差が出ます。

以下、様々なIC製品を取り上げますが、同じ性質のピンであっても名称はそれぞれに異なることがあります。一貫性を保つために、本稿では、アナログ電源を $AV_{DD}$ 、デジタル電源を $V_{IO}$ 、リファレンス電圧を $V_{REF}$ と呼ぶことにします。

## SAR ADCベースのシグナル・チェーンの電力を最適化する

SAR ADCは要求に応じて変換を実行します。変換開始コマンドがアサートされたら、サンプル・モードからホールド・モード<sup>3</sup>に切り替わります。変換プロセスが始まり、それが完了したら、信号を取得するために再びサンプル・モードに戻ります。図1に示したシグナル・チェーンでは、ADCとしてSAR ADCである「AD4008」を使用しています。この種のSAR ADCでは、ほとんどの消費電力は変換フェーズの最中に発生します（図2）。一

方、アクイジション・フェーズでは消費電力が最小になります。スループットは数MSPSまで高められますが、アプリケーションに必要な最小速度で動作させれば、消費電力を大きく削減することができます。

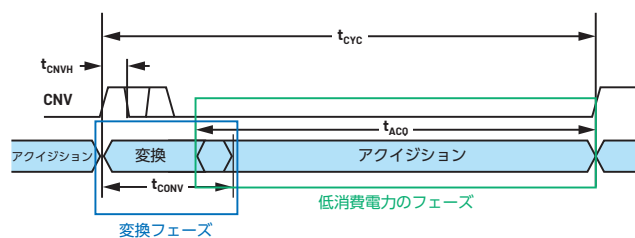


図2. SAR ADCのタイミング図

表1. 様々なアプリケーションにおける一般的なサンプリング周波数

| アプリケーション    | 一般的なサンプリング周波数 |
|-------------|---------------|
| フィールド機器     | 60SPS～600SPS  |
| 状態基準保全      | 1kSPS～10kSPS  |
| バイタル・サインの監視 | 1kSPS未満       |

## SAR ADCのスループットに応じたパワー・スケーリング

低消費電力であることが求められる多くのアプリケーションでは、センサーからの情報が連続的に必要になることはありません。必要なデータ・レートは数kSPS～数十kSPSといった非常に低いレベルです。このような場合、SAR ADCの消費電力についてはスループットに応じてスケールダウンすることができます。その際には、 $AV_{DD}$ と $V_{IO}$ の各電源レールが対象となります。

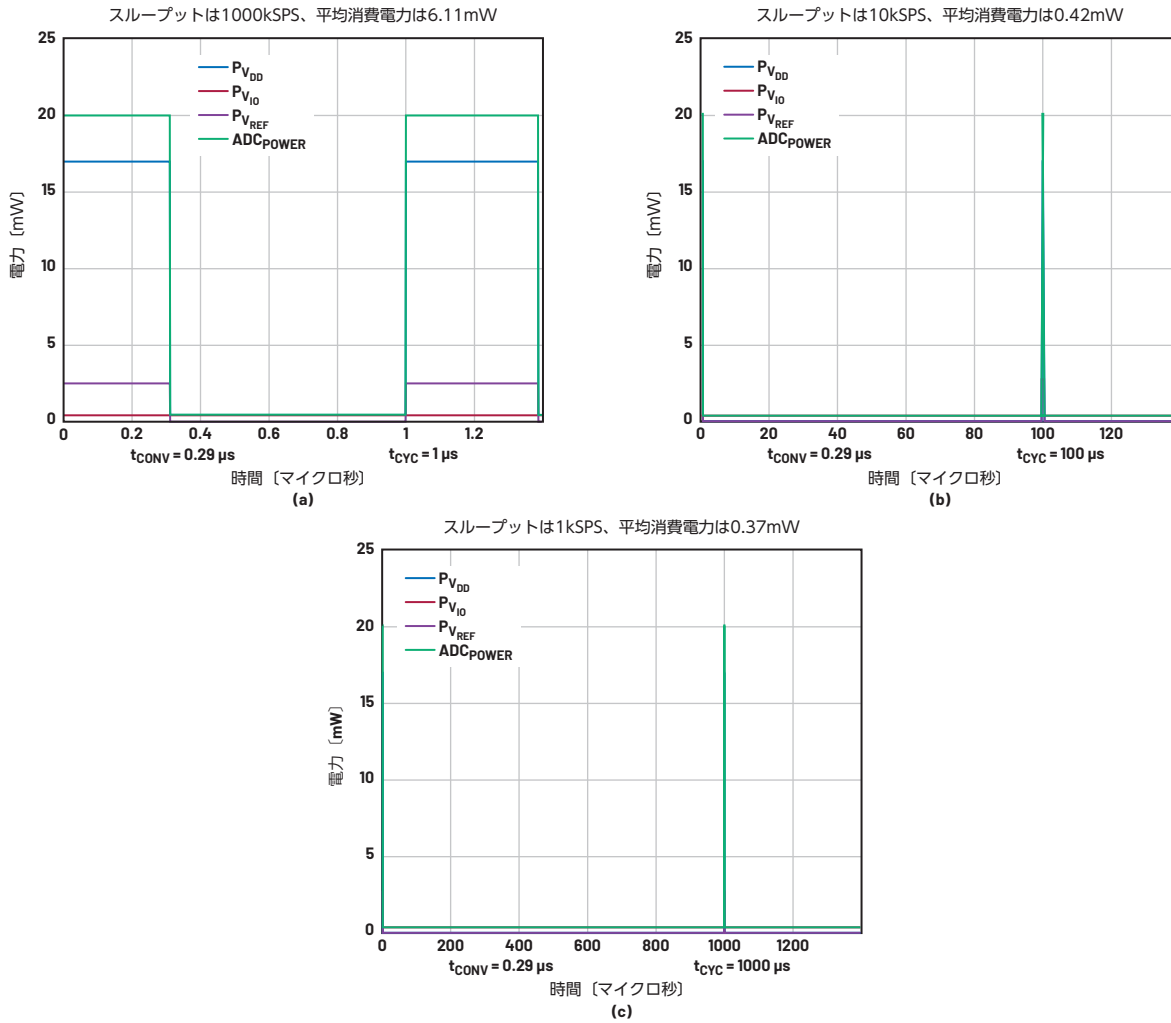


図3. SAR ADCであるAD4008の消費電力。1サイクル期間のタイミング図と平均消費電力を示しています。サイクル時間が長くなるほど、平均消費電力は少なくなります。(a) では1マイクロ秒あたりの平均消費電力が6.1113mW、(b) では10マイクロ秒あたりの平均消費電力が0.93756mW、(c) では1ミリ秒あたりの消費電力が0.36845mWとなっています。

高精度のSAR ADCのほとんどは、変換プロセスを管理するための内部クロックを備えています。そして、変換時間 $t_{CONV}$ は固定の値として扱われます。したがって、スループットが低くサイクル時間 $t_{CYC}$ が長いほど、ADCの消費電力が最小になるアキュイジション時間 $t_{ACQ}$ が長くなります。つまり、スループット・レートが低いほど、取得するサンプルあたりの消費電力は少なくなるということです (図3)。

SAR ADCによる変換の処理は、デジタル信号によって外部からトリガされます。そのため、変換速度を厳密に制御することができます。サンプリング・レートを下げると、アキュイジション・フェーズが長くなり、平均消費電力が減少します。これについては以下の式で表すことができます。

$$\begin{aligned}
 ADC_{POWER} &= P_{V_{DD}} + P_{V_{IO}} + P_{V_{REF}} = \\
 &= V_{DD} \times \frac{I_{DD} \times t_{CONV} + I_{STDBY} \times (t_{CYC} - t_{CONV})}{t_{CYC}} + \\
 &+ V_{IO} \times I_{IO} \times \frac{n_{BITS} \times t_{SCLK}}{t_{CYC}} + V_{REF} \times I_{REF} \times \frac{1/\max\_tput}{t_{CYC}}
 \end{aligned} \quad (1)$$

ここで、各変数の意味は以下のとおりです。

$t_{CONV}$ : 変換時間

$t_{CYC}$ : サンプリング・レートの逆数

$V_{DD}$ : アナログ電源電圧

$V_{IO}$ : デジタル電源電圧

$n_{BITS}$ : ADCの分解能

$t_{SCLK}$ : シリアル・クロックの周期 ( $1/f_{SCLK}$ )

$V_{REF}$ : リファレンス電圧

$I_{REF}$ : 最大スループット ( $\max\_tput$ ) におけるリファレンスの電流

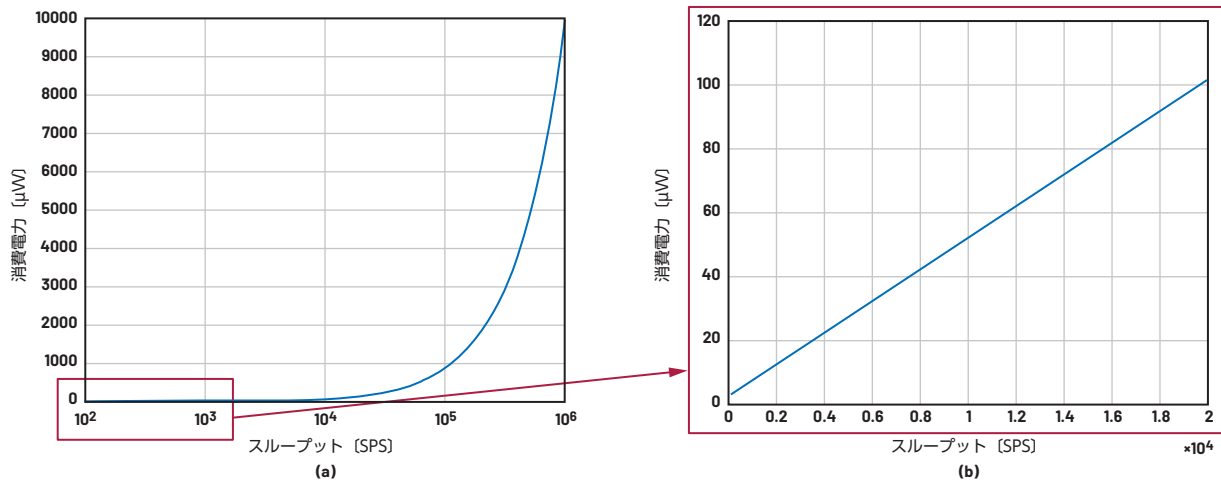


図4. AD4008のスループットと消費電力の関係 (a)。  
(b) は対象とする範囲 (10kSPS未満) を拡大したものです。

上の式から、 $t_{\text{CONV}}$ を一定に保ったまま $t_{\text{CYC}}$ を延ばした場合、平均アナログ消費電力は減少することがわかります。つまり、同電力はサンプリング・レートに比例します (図4)。

図1のシグナル・チェーンで使用しているADCの消費電力については、変換フェーズにおいてはアナログ電源が支配的です。例えば、ストレイン・ゲージを使用した検出回路では、データ・アキュジションのレートを1kSPS程度に抑えることができます。そうすれば、AD4008を最高サンプリング速度で動作させた場合と比べて消費電力を1/20に抑えられます。

表2. AD4008のスループットと消費電力の関係

| AD4008のスループット・レート | 全消費電力 |
|-------------------|-------|
| 1kSPS             | 300μW |
| 10kSPS            | 400μW |
| 1MSPS             | 6mW   |

式 (1) を基に対数グラフを作成すると、スループットに応じて消費電力が指数関数的に増加することがわかります。

ADCのサンプリング・レートを下げれば、アキュジション時間が長くなります。その結果、ADC用のドライブ・アンプに対する帯域幅の要件が緩和され、製品の選択肢が広がります。アンプにおいては、帯域幅が狭いほど静止電流は比較的少なくなる傾向があります。そのため、ADCのサンプリング・レートを下げれば、ADCの消費電力を削減できるだけでなく、併用するアンプに対する消費電力の要件も緩和することができます。

$$P_Q = I_Q \times (V_+ - V_-) \quad (2)$$

但し、帯域幅の狭いオペアンプを選択する場合にはトレードオフに気を配らなければなりません。表3に示すように、帯域幅が狭いほど静止電流 $I_Q$ は少なくなります。しかし、それには電圧ノイズ密度 $e_N$ が増加するという犠牲が伴います。目安としては、静止電流が少なくなるにつれて、ノイズ密度が $1/\sqrt{I_Q}$ の比率で増加すると考えられます。ただ、rmsノイズは調整済みの帯域幅でフィルタリングされます。言い換えれば、サンプリング・レート、アンプとRC回路の帯域幅に基づき、消費電力 (またはバッテリーの寿命) とrmsノイズ性能のトレードオフを図ることができます。

表3. オペアンプの帯域幅と消費電流、ノイズ性能の比較。  
帯域幅と消費電力は比例します。

| オペアンプ     | 帯域幅   | $I_Q$ | $e_N$                     |
|-----------|-------|-------|---------------------------|
| ADA4897-1 | 90MHz | 3mA   | 1nV/ $\sqrt{\text{Hz}}$   |
| ADA4610-1 | 16MHz | 1.6mA | 7.3nV/ $\sqrt{\text{Hz}}$ |
| MAX40023  | 80kHz | 17μA  | 32nV/ $\sqrt{\text{Hz}}$  |

また、オペアンプ回路のゲインの設定に使用する帰還抵抗も消費電力に影響を及ぼします。この抵抗の値が大きいほど、それによる消費電力は少なくなります。ただ、抵抗値が大きいほど発生するノイズも大きくなるので、ノイズとのトレードオフが生じます。したがって、帰還抵抗については、トータルのノイズへの影響が顕著にならない範囲でできるだけ大きな値に設定するようにします。トータルのノイズを算出するためには、個々の寄与分の2乗和平方根をとります。一般的な経験則としては、抵抗によるノイズの上限 (rms値) をオペアンプのノイズの1/3に設定します。それにより、抵抗によるノイズの寄与分がトータルのノイズの5%以内に収まります。つまり、オペアンプのノイズが支配的な要因になります。

表1に示したように、アプリケーションによっては、周波数の低い入力信号を低いサンプリング周波数で取得すれば十分です。つまり、スループット・レートは数kSPS程度で構わないというケースも少なくありません。その場合、ゲイン段や出力インピーダンスの低いシグナル・コンディショニング回路は不要であるかもしれません。そうであれば、ドライバ・アンプを削除しても構わないということになります。一方、高い変換速度が求められるアプリケーションでは、「AD4000ファミリ」や「AD4696ファミリ」といった新たなADC製品を採用するとよいでしょう。これらの製品は、アナログ入力高インピーダンス・モード（High-Zモード）を備えています。そのため、帯域幅が狭い（消費電力も少ない）オペアンプによってアナログ入力を駆動することができます。また、場合によってはドライバ・アンプを完全に削除することも可能です。このアンプを削除すれば、図5において青色で示している消費電力の寄与分がなくなります。つまり、トータルの消費電力を最小限に抑えることにつながります。ほぼ間違いなくドライバ・アンプを使用しなければならない従来のSAR ADCを使用する場合と比べて、消費電力を大幅に削減できるということです。16チャンネルを備えるAD4696の場合、この節電効果は16倍になります。更に、リファレンス入力高インピーダンス・モードを使用すれば、リファレンスの入力電流も減少し、システムの消費電力が削減されます。

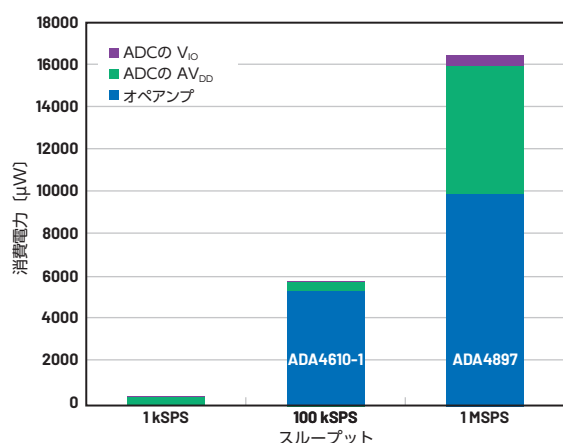


図5. スループットの異なるアプリケーションにおける消費電力の内訳。オペアンプ、 $V_{IO}$ 、 $AV_{DD}$ の寄与分を示しました。表3に基づき、必要な帯域幅に応じて異なるオペアンプを選択しています。

## SAR ADC用のAFEのダイナミック・パワー・スケーリング

上述したように、SAR ADCの消費電力は本質的にサンプル・レートに応じて増減します。ただ、これはシグナル・チェーンを構成する他のコンポーネントには当てはまりません。オペアンプと電圧リファレンスは、電源が入っている間、一定の静止電流を消費します。ADCによるサンプリング処理の間、これらのコンポーネントに対してパワー・サイクリングを適用することで、シグナル・チェーンの平均消費電力を削減することができます。但し、パワー・サイクルごとに信号がセトリングするまでの待ち時間が必要になります。そのため、システムの電源をオン/オフするために残された時間は限られます。これについては、稿末にも示した参考資料「低消費電力／高精度のシグナル・チェーンで注意を払うべきタイミング要因【Part 1】」<sup>1</sup>と同「低消費電力／高精度のシグナル・チェーンで注意を払うべきタイミング要因【Part 2】」<sup>2</sup>に詳しく説明されています（個々のシグナル・チェーンの設計については、正確な分析を行うことをお勧めします）。

多くのアナログ・フロント・エンド（AFE）を内蔵した集積度の高いADCを採用すれば、性能を損なうことなくパワーアップ／パワーダウン時の高速な遷移を実現することができます。ただ、多くの場合、最適な性能を実現するためにはディスクリート構成を採用したAFEの設計が必要になります。図6に示したのがその一例です。

このシグナル・チェーンは複数のチャンネルを備えています。各チャンネルは1個の計装アンプ「MAX41400」と1個のアンチエイリアシング（折返し誤差防止）フィルタを使用して構成されています。その出力は、16チャンネルのSAR ADC（AD4696）に供給されます。SAR ADC用のリファレンスとしては「ADR3625」を使用しています。

先述したように、ADCを許容可能な最低のスループットで動作させれば、消費電力を削減することができます。ただ、消費電力を削減するための手法はそれだけではありません。図6の例であれば、アイドル時間が十分に長い場合、アキュイジション時間のうち一部の期間、MAX41400をシャットダウン・モードに設定することができます。

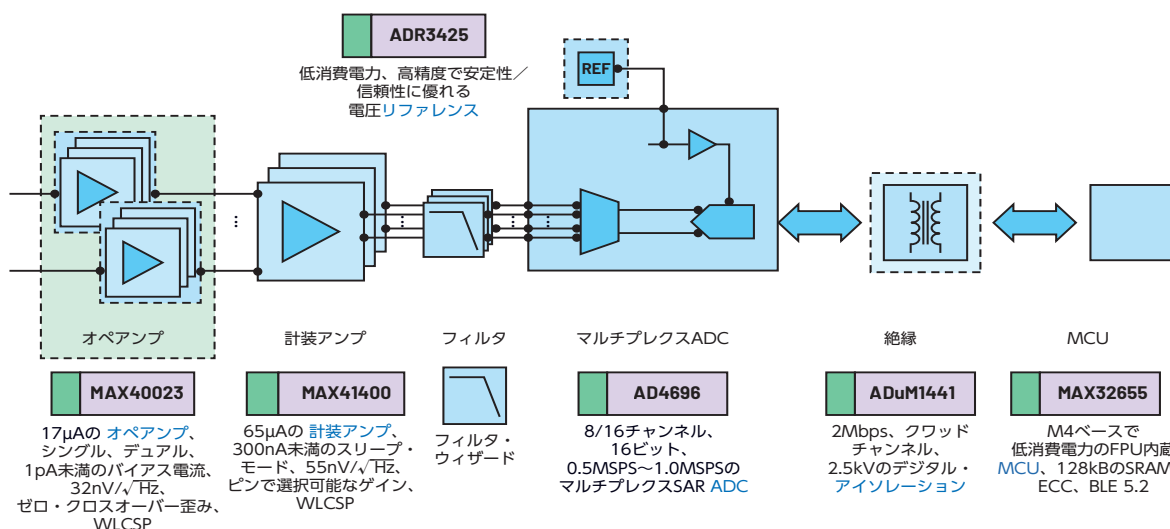


図6. マルチチャンネルの計測に対応するシグナル・チェーン



また、このような多重化システムでは一度に1つのアンプしかオンにする必要はありません。この例の場合、MAX41400は $t_{CYC}/L_{SEQ}$ の周期でパワーアップする必要があります。ここで $L_{SEQ}$ はシーケンス長であり、図7に示す例では10になります。例えば、各チャンネルでは1kSPSで変換を行い、変換時間は最大415ナノ秒であるとして。その場合、各チャンネルのMAX41400は、サイクル時間の約10%の期間、シャットダウン・モードにすることが可能です。

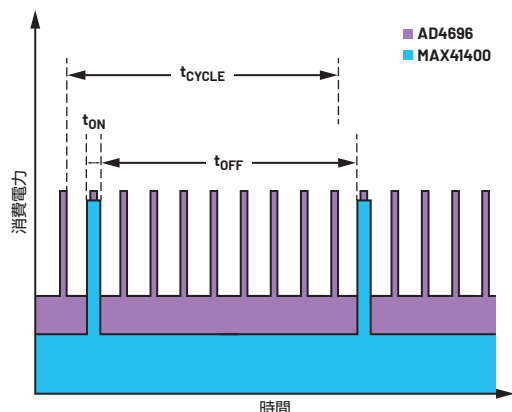


図7. MAX41400のパワー・サイクリング。マルチチャンネルの多重化アプリケーションにおける例です。ADCとしてはAD4696を使用しています。ここでは、わかりやすい図にするために、10チャンネルだけ使用するケースを想定しています。

MAX41400が完全にパワーアップしている場合、静止電流 $I_{Q\_ON}$ は65 $\mu$ Aです。シャットダウン・モードにすると、静止電流 $I_{Q\_OFF}$ は0.1 $\mu$ Aまで減少します。サンプリング処理の間にMAX41400をパワーダウンすることで、同アンプが消費する平均電流 $I_{AVG}$ をスループットに応じてスケールリングすることができます（以下参照）。

$$I_{AVG} = I_{Q\_ON} \times \frac{t_{ON}}{t_{CYC}} + I_{Q\_OFF} \times \frac{t_{CYC} - t_{ON}}{t_{CYC}} \quad (3)$$

この場合も、スループットが低くなるほど $t_{CYC}$ が長くなり、 $I_{AVG}$ は減少します。式(3)の $t_{ON}$ は、アンプがオンになっている時間です。ADCがアクイジション・フェーズから変換・フェーズに移行すると、 $t_{ON}$ に必要な最小値より長くしても何のメリットも得られません。そのため、アンプの電源をオフにしても構いません。消費電力を最小限に抑えるためには、S/N比やTHDが劣化しない程度に、オフ時間 $t_{OFF}$ （ $= t_{CYC} - t_{ON}$ ）を最大化する必要があります。適切なタイミングは、アプリケーション、使用するデバイス、スループット・レートによって左右されます。例えば、 $t_{ON}$ とスループットは反比例すると考えられます。スループットが低くなると、アイドル時間が長くなります。アイドル時間が長くなれば、アンプを再びパワーアップするために $t_{ON}$ を長く確保しなければなりません。データシートによれば、AD4696の変

換時間は415ナノ秒です。この変換時間とシャットダウン後にMAX41400をパワーアップするために必要な100マイクロ秒を加算すると、 $t_{ON}$ の最小値が決まります。そうすれば、以下の式のようにして平均消費電流を求められます。

$$I_{AVG} = 65 \mu A \times \frac{100.5 \mu s}{1000 \mu s} + 0.1 \mu A \times \frac{899.5 \mu s}{1000 \mu s} = 6.62 \mu A \quad (4)$$

MAX41400のシャットダウン・モードと高速なパワーアップ時間を活かせば、アンプを常にイネーブルの状態にしている場合と比べて消費電流を1/10に抑えられることになります。

図8に示したグラフは、スループットと消費電流の関係をより一般化して示したものです。このグラフでは、ここまで示した例について、スループット・レートを基にして算出した消費電流だけでなく、データシートに記載された仕様の内容も盛り込んでいます。また、リファレンス入力とアナログ入力の高入力インピーダンス・モードはイネーブルであると仮定しています。

消費電力ではなく、バッテリーの寿命についても同様の分析を実施することができます。バッテリーの容量を平均消費電流で割れば、想定される寿命を算出することができます。スループットとバッテリーの寿命は反比例の関係にあり、スループットが低いほどバッテリーの寿命は長くなります。

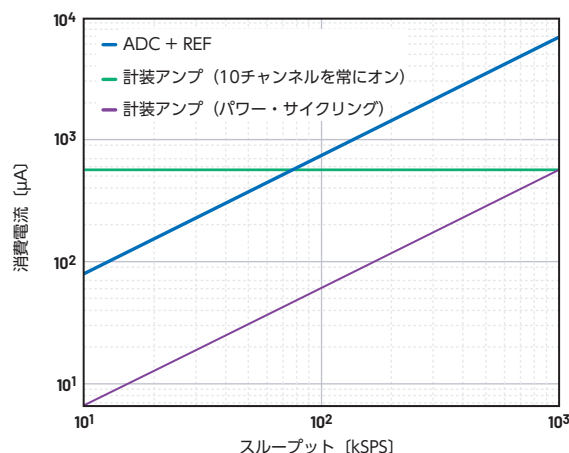


図8. スループットとシグナル・チェーンの消費電流の関係。AFEのパワー・サイクリングを使用する場合と使用しない場合の例を示しています。

表4. バッテリーの容量

| バッテリー   | 容量(mAh) |
|---------|---------|
| CR927   | 30      |
| 2× LR44 | 158     |
| 2× AAA  | 1000    |
| CR2354  | 560     |

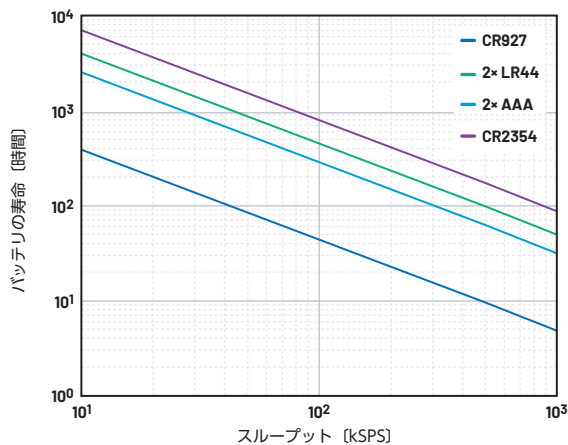


図9. パワー・サイクリング/パワー・スケールリングによる  
バッテリーの寿命の延伸

すべてのアンプがMAX41400のようなシャットダウン・モードを備えているわけではありません。ただ、そうしたアンプを使用する場合でもパワー・サイクリングを適用することは可能です。つまり、シャットダウン・モードを利用するのではなく、電源を完全にオン/オフする制御を行うということです。ただ、これについてはいくつか注意すべきことがあります。例えば、アンプの準備を整えるためのウェイクアップ時間が長くなります。そのため、最小の $t_{ON}$ も長くなります。また、デカップリング用のコンデンサについては何度も充放電を繰り返すことになります。そうすると、パワー・サイクルごとに充放電によって流れる電流が増えることになります。その結果、シャットダウン・モードを使用する場合と比べて全体の消費電力が増加します。加えて、電源レールがパワーアップしていない間もセンサーがアンプの入力部を駆動している場合、入力保護が施されていないとアンプが損傷してしまう可能性があります。

## SAR ADC ベースのシグナル・チェーンにおける デジタル電源のパワー・スケールリング

先述したように、例にとったシグナル・チェーンでは、アナログ電源の消費電力が支配的な要因でした。そのため、ここまではアナログ電源の消費電力を削減する方法に注目してきました。ただ、スループットを下げれば、シリアル・クロックの周波数も下げられます。そのため、次式で表されるようにデジタル電源の消費電力も削減できることがわかります。

$$I_{10} = C_{SDO} \times V_{10} \times f_{SCLK} \quad (5)$$

また、上の式から、デジタル電源の消費電力を最小限に抑える方法としては以下の2つも有効であるはずです。

- ▶ デジタル電源電圧  $V_{10}$  を下げる
- ▶ シリアル・データ用の出力ラインに対応する基板パターンの容量を最小限に抑える

もう1つ注意すべきなのは、デジタル通信ラインで使用するプルアップ抵抗/プルダウン抵抗の値です。これらの抵抗は、デジタル入力/出力で適切なロジック・レベルを確保するために使用し

ます。その値は、システム全体の消費電力に影響を及ぼす可能性があります。使用する抵抗値が低すぎると（強いプルアップ）、その抵抗を流れる電流量が多くなります。したがって、必要以上に低い値は避けなければなりません。逆に、抵抗値が高すぎる場合には、リーク電流によって生じる電圧降下が原因で、ロジック・レベルが誤って認識される可能性があります。また、電圧降下は信号の伝播にも影響を及ぼします。したがって、電圧のレベル（デジタル電源やリーク電流に依存します）や信号の完全性を損なわないよう配慮しつつ、最大の抵抗値を選択する必要があります。

## ΣΔ ADC ベースのシグナル・チェーン

ΣΔ ADCをベースとするシグナル・チェーンには、ここまでに説明したパワー・スケールリングの考え方をそのまま適用することはできません。ΣΔ ADCでは、変換の処理を外部からトリガするわけではありません。そうではなく、自走クロックで動作します<sup>4</sup>。したがって、外部からの変換開始信号に応じて一定の期間、アイドル状態を維持するということは行えません。

ただ、ΣΔ ADCの多くはスタンバイ・モードを備えています。そのため、ADCによって連続的に変換処理を行う必要がない場合には、同モードに移行させることが可能です。先述した例と同様に、ΣΔ ADCをスタンバイ・モードから復帰させる際にはウェイクアップ時間が必要です。その間はサンプル・データを取得することはできません。したがって、タイミングについては十分な配慮が必要です<sup>5</sup>。

「AD4130」は集積度の高いΣΔ ADCです。この製品は、スタンバイ・モードに加えてデューティ・サイクリング・モードも備えています。デューティ・サイクリング・モードを使用すれば、ΣΔ ADCのパワーアップ/パワーダウンが自動的に実行され、サイクルごとにホストとやり取りする必要がなくなります。AD4130は、デューティ・サイクリング・モードの選択肢として1/4と1/16の2つのモードを備えています。各モードでは、1/4または1/16の期間だけアクティブになります。それにより、連続変換モードと比べて消費電力を大幅に削減することが可能になります（図10）。

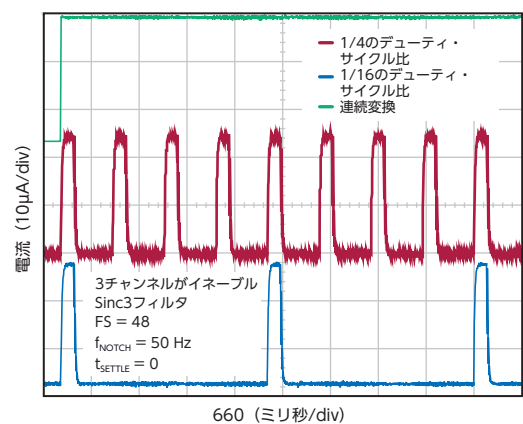


図10. 各種動作モードにおけるAD4130の消費電流。連続変換、1/4デューティ・サイクル、1/16デューティ・サイクルの場合の電流波形を示しています。

必要なスループット・レートに応じて消費電力を最適化する手法は2つあります。デューティ・サイクリング・モードのうちの1つを使用する方法と、単に一定期間スタンバイ・モードに維持する方法です。実際には、AD4130は、その消費電力に影響を与える可能性がある多くの動作モードを備えています。分析／制御／評価用のソフトウェア「ACE」<sup>6</sup>でアクティブ機能モデルを使用すれば、選択したADCの構成における消費電力とバッテリー寿命の値を推定できます。

表5. 各パワー・モードにおけるAD4130の消費電流

| AD4130のパワー・モード | 消費電流(代表値) |
|----------------|-----------|
| 連続変換           | 32μA      |
| デューティ・サイクリング   | 5μA       |
| シャットダウン・モード    | 0.5μA     |

ΣΔ ADC用のAFEのダイナミック・パワー・スケーリング

SAR ADCベースのシグナル・チェーンの場合と同様に、ΣΔ ADCをベースとするシグナル・チェーンにおいても、ADCが低消費電力の状態になっている間は特定のブロックをパワーダウンすることができます。それにも、デューティ・サイクリングを利用できます(図10)。そうすれば、図8に示したのと同様にAFEの消費電力を削減することが可能になります。

センサーの励起

AD4130は、完全なソリューションとなるデバイスです。ADCのコアだけでなく、プログラマブル・ゲイン・アンプや、センサー向けのバイアス回路／励起回路(選択が可能な電流源や高精度の電圧リファレンス)も内蔵しています。このように集積度を高めることによって、使いやすさ、サイズ、様々なビルディング・ブロックに対するバイアスの供給、タイミング、パワー・サイクリングといった面で最適化を図ることを可能にしています。そうしたあらゆるビルディング・ブロックを搭載しているので、AD4130を中心としてシステム全体の消費電力を低減することができるのです。また、AD4130はRTD(測温抵抗体)、サーミスタ、ブリッジ型のセンサーといった様々なセンサーに対応できるだけの柔軟性を備えています。そのため、設計作業を簡素化することができます。加えて、部品点数や電源レールの数を減らすことが可能になります。

電力を最適化するためのその他の手法

ここまで、シグナル・チェーンの消費電力を最小限に抑えるための方法をいくつか紹介してきました。ただ、シグナル・チェーンの一部であるホスト・コントローラについてはまだ検討していません。コントローラは、ADCからデータを取得して後処理を実行します。コントローラの電源が常にオンであるとしたら、かなりの電力を消費することになります。したがって、使用していない期間には、コントローラをスリープ・モードに移行させるという制御を行うべきです。そうすれば、より多くの電力を節約することができます。

FIFOを内蔵するADC

アプリケーションの中には、リアルタイムでデータを取得する必要はなく、非常に低いレートでデータ・ポイントを取得すればよいものがあるはずです。その場合、FIFOを内蔵したADCが役に立つかもしれません。例えば、AD4130が内蔵するFIFOを使用すれば、最大256個の変換結果を保存することができます。出力データ・レートが2.4kSPSの場合を例にとると、416マイクロ秒ごとにデータを読み取る代わりに、MCUをスリープ・モードに設定して100ミリ秒ごとにウェイクアップさせて、FIFOに格納されたすべてのデータを一度に読み出すことができます。図11で言えば、「データ転送」の部分でその処理を行います。繰り返になりますが、AD4130は内蔵FIFOによって、最新のサンプル・データを最大256個保存できます。このようなADCを選択すれば、MCUでもパワー・サイクリングを行うことが可能になります。その結果、システム全体の消費電力を大幅に削減することができます。

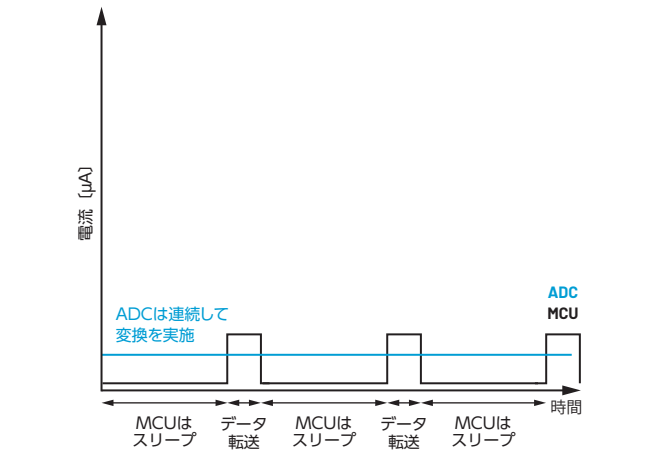


図11. MCUの消費電力の削減方法。ADCが内蔵したFIFOを利用します。

DMAにより、ADCのデータをメモリにストリーミング

FIFOを内蔵していないADCの場合、どのような手法が考えられるでしょうか。その場合、ほとんどのMCUで利用可能なDMA(Direct Memory Access)を使う手法を採用するとよいでしょう。DMAを使用すれば、ADCからサンプル・データを受け取るたびにCPUへの介入や割り込みを行うことなく、ペリフェラル(SPI)からメモリ(SRAM)に直接データを引き渡すことができます。MCUの選択が、消費電力の削減量に直接影響を及ぼすということです。多くの場合、MCUはほとんどの期間スリープ・モードに設定しておき、ADCからサンプル・データを受け取る時だけイベントをトリガするという制御を行うべきです。そのイベントは、DMAに対し、「SPIのトランザクションを開始し、その後スリープに戻る」という簡単な情報を届けるためのものです。そのため、SPIのトランザクション全体にわたってCPUが完全に起動している場合と比べると、MCUの消費電力を最小限に抑えることができます。なお、DMAを利用する方法は、ADCからのデータのフォーマットが保存先のメモリにマッチしている場合だけ適用できます。つまり、ほとんどのMCUでは、ADCからのデータが16ビット長または32ビット長である場合だけ、DMAを簡単に利用できるということになります。



## 割り込み駆動型のプログラミング

多くの場合、低消費電力であることが求められるアプリケーションでは、個々のデータ・ポイントの値を記録したり、それぞれに処理を施したりする必要はありません。そうではなく、検出した値が特定の閾値の範囲内に入っているか否かを監視するということが行われるケースが多いでしょう。従来、この処理を実現するためには、ホスト・コントローラを常に起動しておく必要がありました。ADCからのサンプル・データを読み取り、許容可能な値であるかどうかを判断し、その結果を基に必要に応じて割り込みルーチンをトリガしなければならないからです。

AD4696 (SAR ADC)、AD4130 ( $\Sigma\Delta$  ADC) は、いずれもそうした閾値検出を行うための機能を内蔵しています。それらの機能を使用する場合、ADCから出力されるデータがユーザが定義した範囲から逸脱したときだけ、GPIO (General Purpose Input/Output) ピンをアサートするよう閾値をプログラムすることができます。このようにすれば、ホスト・コントローラをほとんどの時間スリープ・モードに維持でき、GPIOがアサートされたときだけウェイクアップすればよいということになります。処理を実行する必要があるときだけアクティブになるので、消費電力を最小限に抑えることが可能になります。

## まとめ

バッテリー駆動の計測システムの代表的な例としては、[可搬型のフィールド機器、状態監視システム \(CbM: 状態基準保全\)](#)、[バイタル・サインの監視システム \(VSM: バイタル・サイン・モニタリング\)](#) などが挙げられます。これらのシステムを設計する際には、消費電力を最適化することが可能なソリューションを選択する必要があります。[analog.com/jp/precisionlowpower](https://analog.com/jp/precisionlowpower)で紹介している低消費電力のシグナル・チェーンは理想的なソリューションになるでしょう。アナログ・デバイセズが提供しているのは、低消費電力でありながら非常に高い精度を誇るシグナル・チェーンです。それらを採用すれば、低消費電力の計測ソリューションの構築を担う設計者の負担を軽減することができます。

上記のシグナル・チェーンは、高精度のアンプ、電圧リファレンス、ADC、絶縁製品を最適な形で組み合わせることによって実現されています。それらのシグナル・チェーンは、ノイズ性能、サイズ、使いやすさを重要な要素として維持したまま、消費電力が最適化されています。また、それらのシグナル・チェーンには、シングルチャンネル、ディスクリート構成のマルチチャネル

ル (マルチプレクス型)、完全集積化型のマルチチャンネルといったバリエーションがあります。いずれも、電力効率を最適化するためにすぐに利用可能な機能を備えているので、低消費電力のシステムを設計する際の優れた出発点になります。

本稿では、アナログ・デバイセズが提供する高精度/低消費電力のシグナル・チェーンを例にとり、その電力効率を更に高めるためのシステム・レベルの手法を紹介しました。代表的な手法としては、パワー・スケールリング、パワー・サイクリング、デュリティ・サイクリングなどが挙げられます。それらだけでなく、FIFOなどの内蔵機能や、閾値検出といった割り込み駆動型の機能も利用できることをご理解いただけたでしょう。

## 参考資料

<sup>1</sup> Padraic O'Reilly 「[低消費電力/高精度のシグナル・チェーンで注意を払うべきタイミング要因【Part 1】](#)」 Analog Dialogue, Vol. 56, No. 3, 2022年8月

<sup>2</sup> Padraic O'Reilly 「[低消費電力/高精度のシグナル・チェーンで注意を払うべきタイミング要因【Part 2】](#)」 Analog Dialogue, Vol. 56, No. 3, 2022年9月

<sup>3</sup> 「[The Data Conversion Handbook \(データ変換ハンドブック\)](#)」 Analog Devices, 2005年

<sup>4</sup> Michael Clifford 「 [\$\Sigma-\Delta\$  ADCのトポロジーに関わる基本原理: パート1](#)」 Analog Devices, 2016年1月

<sup>5</sup> Bruce Pepitas 「[Introduction to Dynamic Power Scaling \(ダイナミック・パワー・スケールリング入門\)](#)」 Analog Devices, 2016年1月

<sup>6</sup> 「[分析 | 制御 | 評価用 \(ACE\) ソフトウェア](#)」 Analog Devices,

Brandon Hurst 「[ウェアラブル機器に不可欠なDMA、ペリフェラルに対するデータ転送を低消費電力で実現](#)」 Analog Dialogue, Vol. 56, No. 1, 2022年1月

Maithil Pachchigar, Alan Walsh 「[新世代のSAR ADCを適用したシグナル・チェーンの設計、高精度データ・アキュイジションの課題を解消](#)」 Analog Dialogue, Vol. 50, No. 4, 2016年12月

Sanjay Rajasekhar, Arvind Shankar 「[高入カインピーダンス技術を活用し、ソリューションの消費電力とサイズを低減する方法](#)」 Analog Devices, 2022年7月



### 著者について

Lluís Beltran Gilは、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。計測器ビジネス・ユニットのSAR ADCアプリケーション・チーム（スペイン バレンシア）に所属しています。2013年に高精度コンバータ・グループ（アイルランド リムリック）のアプリケーション・エンジニアとして入社しました。バレンシア工科大学（UPV）で2009年に電子工学の修士号、2012年に産業工学の修士号を取得。バレンシア大学（UV）で電子工学の修士号を取得しています。