

完全差動アンプが高精度データ・アクイジション・シグナル・チェーンに高電圧低ノイズの信号を提供

著者: Darwin P. Tolentino、製品/テスト開発マネージャ

概要

完全差動アンプ(FDA)は差動入力と差動出力を備えたデバイスで、直流(DC)入力電圧により出力コモン・モードを独立して制御します。FDAは、データ・アクイジション・システムにおけるA/D変換のフロント・エンドに使われ、信号を次段(通常はA/Dコンバータ(ADC))に合わせて適切なレベルに調整します。FDAは一般にシングル・チップで提供され、電源電圧が小さいので出力ダイナミック・レンジも制限されます。本稿では、コモン・モード出力を調整可能な、高電圧低ノイズの複合型FDAの設計方法を示します。また、FDAのノイズと、そのノイズが高性能データ・アクイジション・システムのシグナル・チェーン全体のS/N比(SNR)に与える影響についても、詳しく分析します。

はじめに

広い出力ダイナミック・レンジと、高性能FDAと同等の交流(AC)性能とが求められるアプリケーションには、高電圧のFDAを使用する必要があります。例えば、入力範囲の広い高精度データ・アクイジション・シグナル・チェーンのテストと評価には、高電圧のFDAが必要となる場合があります。一般に、今日使われているほとんどのFDAは電源電圧が小さいので、出力電圧範囲も狭くなっています。これらのFDAは、一般に単電源を使用する高性能ADCの入力を駆動するのに適しており、最良のS/N比と全高調波歪み(THD)

に迫る優れたAC性能を備えています。しかし、比較的高電圧で使われる多くの高精度オペアンプのような、レールまでの十分な振幅、オフセット、バイアス電流、およびドリフトは備えていません。ただ、ADCを駆動するのに必要な条件は満たしているので、これらの点が問題になることはまったくありません。アナログ・デバイセズは、様々なアプリケーションに使用されるADCドライバを数多く提供しています。

FDAは、シングルエンド入力または差動入力のどちらにも対応可能で、ゲインがあり、また、一般に出力コモン・モード入力ピン(V_{OCM})を介してコモン・モードを調整可能な差動出力を備えています(図1を参照)。FDAには出力ダイナミック・レンジが広いという利点がありますが、これは、実現可能な最大出力が、出力レールの2倍の大きさを持ち、ノイズの影響を受けにくく、そして偶数次高調波歪みが小さい、という理由によります。例えば、 $\pm 5V$ のFDAは、 $\pm 10V$ (20V p-p)に近い最大ピークtoピーク出力を生成することができます。

したがって、 $\pm 18V$ の回路は60V p-p以上の出力を生成できることになります。[ADA4625-1](#)/[ADA4625-2](#)は非常に良好なノイズ性能と歪み性能を備えた低ノイズのJFETアンプで、最大 $\pm 18V$ の広い電源範囲を使用できます。DCおよびAC性能に関するアプリケーションの要求をすべて満たすことがFDAに求められる場合には、ディスクリート・オペアンプを使ってFDAを設計しようとしても難しい作業になりがちです。

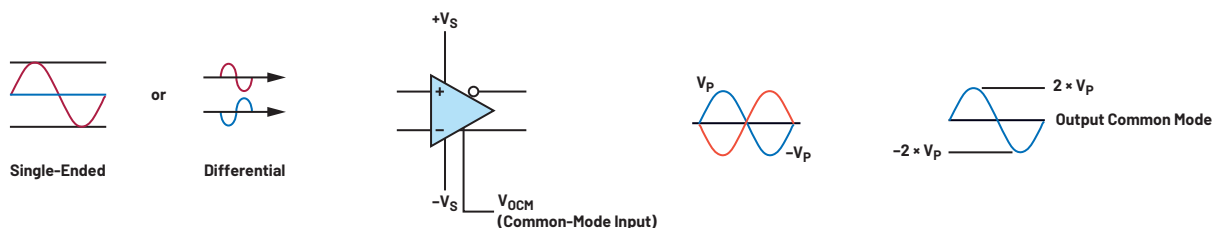


図 1. FDA



差動アンプを作成するための1つの明らかな方法は、非反転アンプと反転アンプを使用して、出力に差動信号を生成することです(図2)。この方法の欠点は、これら2つのアンプU1とU2が完全には対称な動作をしないことで、これは性能が最適化されないことを意味します。

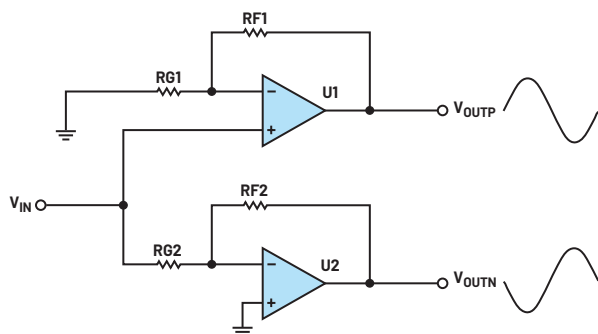


図2. シングルエンド入力／差動出力回路

これを改善する方法は、基本的な差動アンプと同様に2つのオペアンプを差動方式で構成して帰還抵抗とゲイン抵抗をU1とU2の間で共有し、ゲインを $A_v = (R_G + 2R_F)/R_G$ とすることです(図3を参照)。

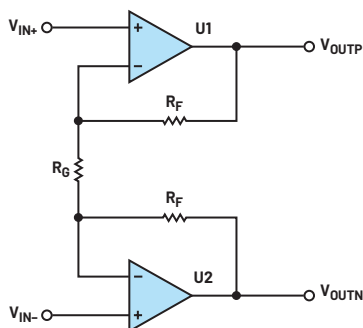


図3. 差動アンプ回路

この構成は簡単なゲイン回路でバランスの取れた出力を提供し、ゲイン設定抵抗 R_G を通じて容易にゲインを変更することができます。しかし、入力がシングルエンドの場合は、差動出力の振幅が対称になりません(図4を参照)。非対称出力の場合は、一方の出力がレールに達する前に他方の出力がレールに達してしまうので、出力範囲が大幅に制限されます。これは、抵抗ゲイン回路を変更して出力を対称にすることで解決できます(図5)。図では、ゲイン抵抗を2つ(R_{G1} と R_{G2})に分け、更に R_{G1} と R_{G2} の中央からU2のフィードバックを取ることで、出力を対称にしています。ゲインは次式で与えられます: $A_v = (R_{G1} + R_{G2} + R_{F1} + R_{F2})/R_{G1}$ 。

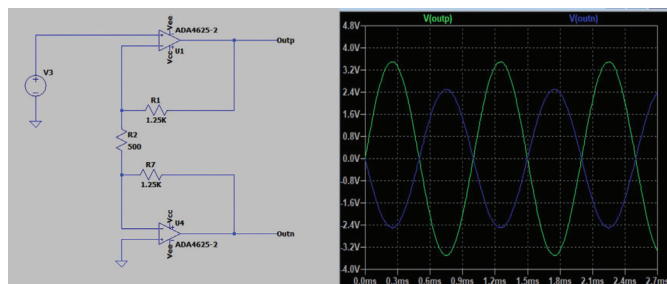


図4. 非対称出力

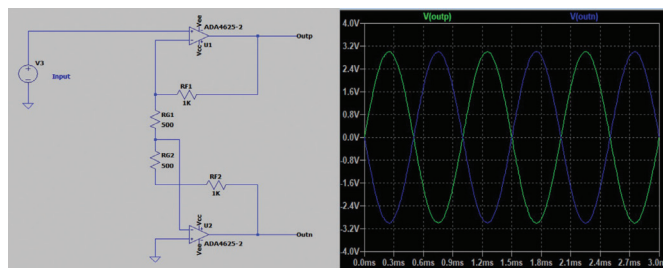


図5. 対称出力

調整可能な出力コモン・モードの追加

調整可能なコモン・モードを追加する方法は2つあります。1つめは2個のADA4625デバイスを使ってそれぞれの入力に V_{OCM} アンプを追加する方法で(図6と図7)。2つめはADA4625-1を V_{OCM} アンプとして1個だけ使用する方法です(図8と図9)。以下に述べるように、これらの方法にはそれぞれ長所と短所があります。

アンプU3とU4を追加することにより、そこに印加される任意のDC入力電圧(V6)が正入力と負入力に加えられるようになります。それぞれの入力には同じ電圧が加わるので、それらの電圧はDCコモン・モードとして出力に現れます。しかしU3とU4にはノイズが追加され、これがU1とU2の差動段によって更に増幅される他、U3とU4は回路に新たな消費電力を発生させます。ただしこれは非常に直接的な作用であり、全体的なシグナル・ゲインには影響しません。図6に示す回路のシグナル・ゲインは $A_v = (R_{G1} + R_{G2} + R_{F1} + R_{F2})/R_{G1}$ で与えられ、図7の回路のゲインは $A_v = (R_G + R_{F1} + R_{F2})/R_G$ で与えられます。

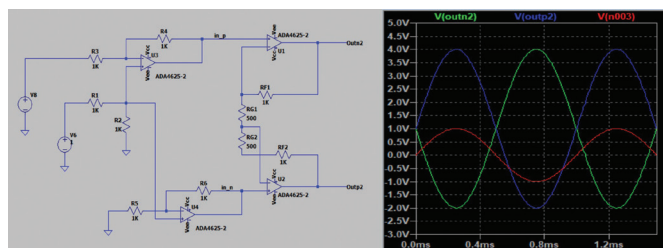


図6. 2個のアンプでコモン・モードを調整可能なシングルエンド入力／差動出力回路。右側のプロットは、LTspice®による入力(赤)と出力(青と緑)のシミュレーションです。

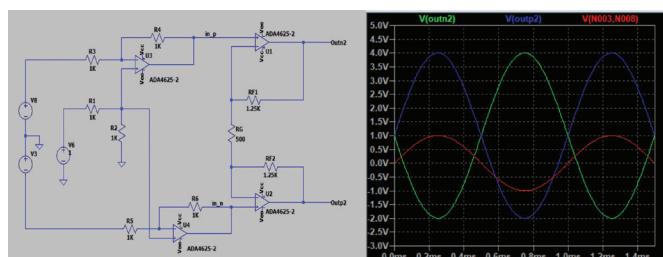


図7. 2個のアンプでコモン・モードを調整可能な差動入力／差動出力回路。右側のプロットはLTspiceによる入力(赤)と出力(青と緑)のシミュレーションです。

調整可能な V_{OCM} を追加するもう1つの方法は、アンプを1個追加して、その出力をそれぞれの入力に接続することです。この方法の利点は、使用部品数が少ないこと、アンプが1個だけであること、抵抗の数が少ないこと、そして追加部品から生じるノイズが少ないことなどです。実際、抵抗分圧器R4～R7で生じるノイズを除き、U3の出力換算ノイズはコモン・モードとしてU1とU2の

入力に現れるので、U3によってノイズが増えることはありません。抵抗R3～R7は、入力信号に V_{OCM} を加算する抵抗加算回路を形成します。R3～R5は正の入力信号にコモン・モードを追加し、R6～R8(シングルエンド入力ではR6とR7)は負の入力にコモン・モードを追加します。同じ抵抗回路が入力信号を減衰させる点に留意してください。これは、回路の全体的なシグナル・ゲインを低下させます。図8の回路の全体的なシグナル・ゲインは $A_v = [(R_{G1} + R_{G2} + R_{F1} + R_{F2})/R_{G1}][(R4//R5)/(R4//R5 + R3)]$ で与えられ、図9の回路のゲインは $A_v = [(R_G + R_{F1} + R_{F2})/R_G][(R4//R5)/(R4//R5 + R3)]$ で与えられます。ノイズ分析のセクションでは、何がノイズの主要発生源になるのかを説明し、また、必要とされる全体的ゲインと設計者にとって重要なその他の要素に応じ、2つめの方法を使って V_{OCM} を追加する方が最初の方法より有利なのかどうかについての検討を示します。

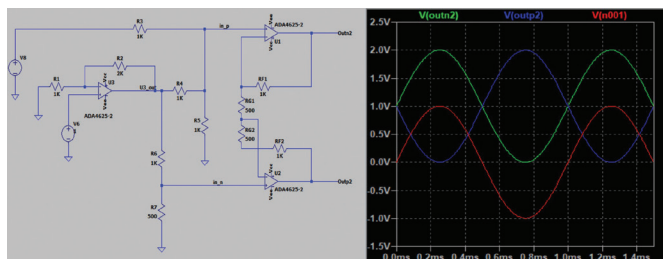


図8. 1個のアンプでコモン・モードを調整可能なシングルエンド入力／差動出力回路。右側のプロットはLTspiceによる入力(赤)と出力(青と緑)のシミュレーションです。

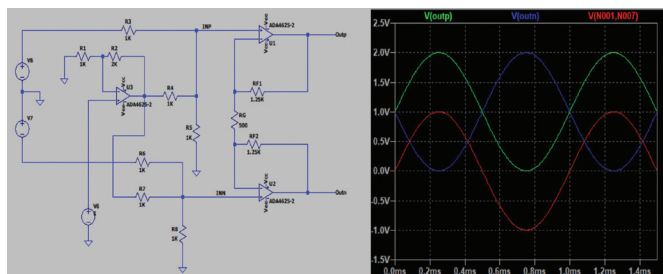


図9. 1個のアンプでコモン・モードを調整可能な差動入力／差動出力回路。右側のプロットはLTspiceによる入力(赤)と出力(青と緑)のシミュレーションです。

ノイズ分析

ノイズは、最終的にシステムのダイナミック・レンジとS/N比に制約を加えるので、高性能高精度のデータ・アクイジション・シグナル・チェーンに大きく影響する重要な検討事項です。16ビットADCの理論的S/N比は-98dBで(6.02N + 1.76dB, N = ビット数)、これは、4.096Vp(または8.192V p-p)出力時の等価ノイズが約36μV rmsであることを意味します。このノイズは量子化ノイズと呼ばれ、ADCの量子化誤差により発生します。-98dBのS/N比は16ビット・システムの理論的限界値で、これより悪化する場合、それはすべてADCの入力や周辺回路に加わるノイズによるものです。以下は、シングル・アンプおよびデュアル・アンプ両方の V_{OCM} 完全差動回路について、回路内の各品によって生じるノイズを分析したものです。図10は、2アンプ V_{OCM} を使用するFDA回路のノイズ・モデルです。

差動段 - U1とU2によるノイズ

ADA4625-1/ADA4625-2の電流ノイズ密度は1kHzで4.5fA/√Hzという極めて低い値です。その一方、入力換算(RTI)電圧ノイズは1kHzで約3nV/√Hzであり、ここでは広帯域ノイズと見なせます。出力に差動的に現れるU1とU2の電流および電圧ノイズの合計を実効値で表すと、次のようになります。

$$e_{N,V,U1U2} = \left(\sqrt{e_{N,RTIU1}^2 + e_{N,RTIU2}^2} \right) \left(\frac{R_G + R_{F1} + R_{F2}}{R_G} \right) \quad (1)$$

$$e_{N,I,U1U2} = \left(\sqrt{i_{N,RTIU1}^2 + i_{N,RTIU2}^2} \right) R_G \left(\frac{R_G + R_{F1} + R_{F2}}{R_G} \right) \quad (2)$$

ここで、 $e_{N,V,U1U2}$ はU1とU2のRTI電圧ノイズによる出力電圧ノイズで、 $e_{N,I,U1U2}$ は入力電流ノイズによる出力電圧ノイズです。RTI電圧ノイズは入力における二乗和平方根(RSS)を取ることで結合され、ゲインおよび帰還回路 R_F および R_G によって増幅されます。同様に、電流ノイズもRSSが取られて R_G によって電圧ノイズに変換され、その後増幅されて出力されます。入力電流ノイズは非常に小さいので全体に占める率は小さく、出力においてはアンプの抵抗および電圧ノイズが主要なノイズ発生源となります。

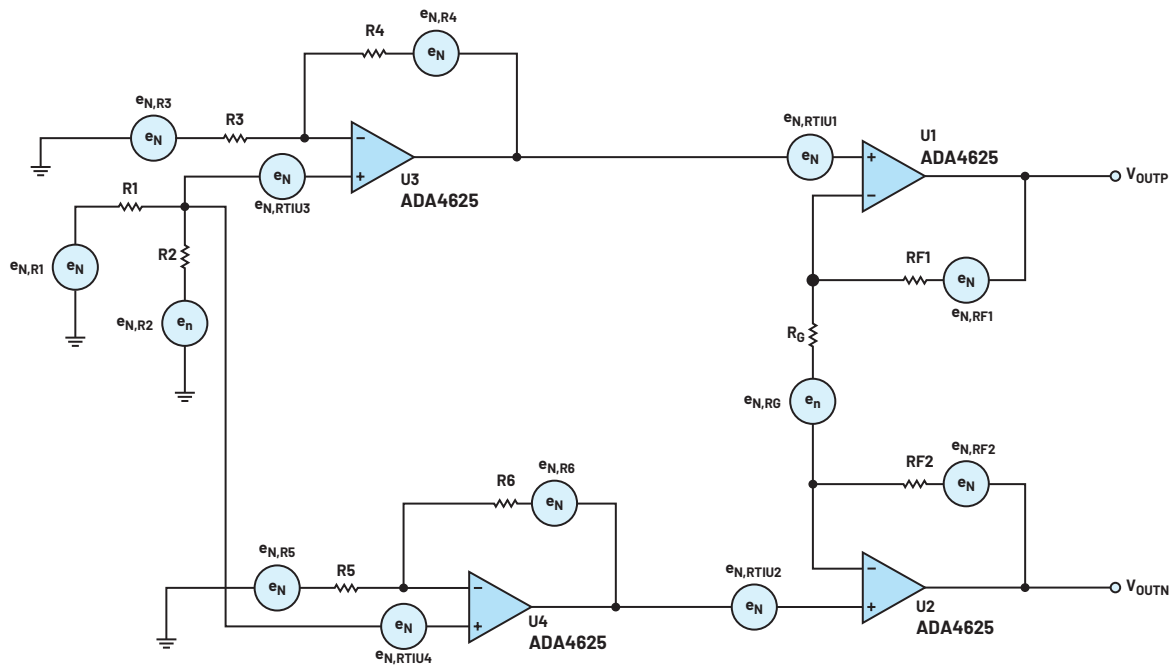


図 10. 2アンプ V_{OCM} ノイズ・モデル

U1とU2のゲインおよび帰還回路 (R_{F1} 、 R_{F2} 、および R_G) による出力ノイズは、次のようになります。

$$e_{N,RES_U1U2} = \frac{\sqrt{\left[e_{N,RG} \left(\frac{R_G + R_{F1} + R_{F2}}{R_G} \right) \right]^2}}{\sqrt{e_{N,RF1}^2 + e_{N,RF2}^2}} \quad (3)$$

ここで、室温における $1k\Omega$ の熱ノイズは $4.06nV/\sqrt{Hz}$ です。

式(1)と式(3)を使い、U1とU2の電圧ノイズおよびその帰還抵抗回路ノイズを出力で組み合わせて電流ノイズを無視すると、次式が得られます。

$$e_{N,U1U2} = \sqrt{e_{N,V_U1U2}^2 + e_{N,RES_U1U2}^2} \quad (4)$$

前述の内容から、ゲインが大きい場合は、アンプの電圧ノイズが容易に支配的な存在になり得ることが分かります。 R_G の値を小さくすれば (例えば 500Ω)、抵抗によるノイズを大幅に減らすことができます。

V_{OCM} 回路 - U3とU4のノイズ

次に、図10の V_{OCM} 回路からノイズを分析していきます。抵抗ノイズを含む V_{OCM} 回路 (U3とU4) からの合計ノイズは、各アンプからの入力電流ノイズを無視すると次のようになります。

$$e_{NO,U3} = \sqrt{\left[e_{N,RTIU3} \left(1 + \frac{R4}{R3} \right) \right]^2 + \left[e_{N,R3} \frac{R4}{R3} \right]^2 + e_{N,R4}^2} \quad (5)$$

$$\sqrt{\left[e_{N,R1//R2} \left(1 + \frac{R4}{R3} \right) \right]^2}$$

$$e_{NO,U4} = \sqrt{\left[e_{N,RTIU4} \left(1 + \frac{R6}{R5} \right) \right]^2 + \left[e_{N,R5} \frac{R6}{R5} \right]^2 + e_{N,R6}^2} \quad (6)$$

$$\sqrt{\left[e_{N,R1//R2} \left(1 + \frac{R6}{R5} \right) \right]^2}$$

$$Total V_{OCM} Output Noise = \sqrt{e_{NO,U3}^2 + e_{NO,U4}^2}$$

ここで、 $R1//R2$ は $R1$ と $R2$ の並列の組合せです。この場合も、前述の内容から、U3とU4からの合計ノイズはアンプの電圧ノイズと抵抗ノイズが支配的であることが明らかです。抵抗の値を小さく抑えて全体のノイズに対する影響を最小限にし、アンプを主要なノイズ発生源とするのは優れた方法です。 V_{OCM} 回路の出力からのノイズは差動段の入力に現れ、結果として差動段により増幅されて出力されます。

V_{OCM} 回路 - シングル・アンプU3のノイズ

既に述べたように、U3の出力におけるノイズはコモン・モードとしてU1とU2の入力に現れるので (図11には inp および inn として示されています)、差動段のノイズは増えません。ノイズの増加は抵抗 $R3 \sim R8$ で生じますが、詳しく見ると、これらの抵抗は差動段への各入力で3つが並列になっていて、 $R3 \sim R5$ が正入力、 $R6 \sim R8$ が負入力にあります (図11c)、これも抵抗によるノイズを最小限に抑えています。

これら2つの回路 (デュアル・アンプとシングル・アンプの V_{OCM} 回路) のうちでは、ノイズの発生は後者の方がはるかに少なくなります。その欠点は全体的なシグナル・ゲインが小さくなることですが、消費電力は小さくなり、アンプの数も少なくなります。式(7)と式(8)は、それぞれ図11に示す V_{OCM} 回路の出力におけるノイズと、U1とU2への差動段変化の出力における、それに対応したノイズ寄与分を示しています。

$$e_{N,V_{OCM_U3}} = \sqrt{e_{N,R3R4R5}^2 + e_{N,R6R7R8}^2} \quad (7)$$

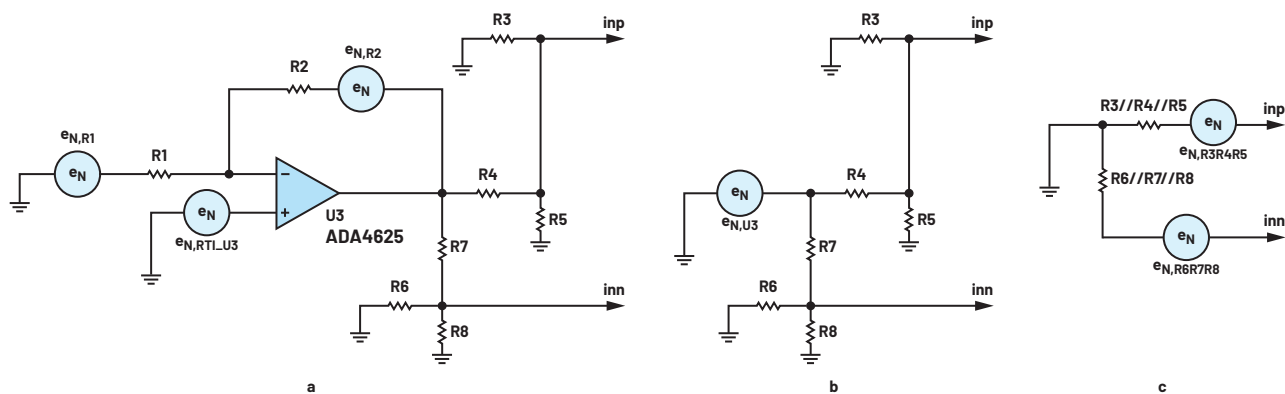


図 11.1 アンプ V_{OCM} ノイズ・モデル

$$e_{N,V_{OCM_U3}} = \left(\frac{\sqrt{e_{N,R3R4R5}^2 + e_{N,R6R7R8}^2}}{\left(\frac{R_G + R_{F1} + R_{F2}}{R_G} \right)} \right) \quad (8)$$

すべての要素を結合 - ADCシグナル・チェーンの全体的なS/N比

ADC信号の合計S/N比は、アナログ・フロント・エンド(AFE)とADCによって生じるノイズの合計によって決まりますが、これには他の発生源からのノイズが含まれる場合もあります。ADCシグナル・チェーンの合計S/N比は次式で得られます。

$$SNR = 20 \log \left(\frac{\text{Total System Noise, rms}}{\frac{V_{REF}}{\sqrt{2}}} \right) \quad (9)$$

ここで、 V_{REF} は、バイポーラ出力ADCの正のフルスケールとします。

一般に、シグナル・チェーンの合計S/N比は図12のようにまとめることができます。

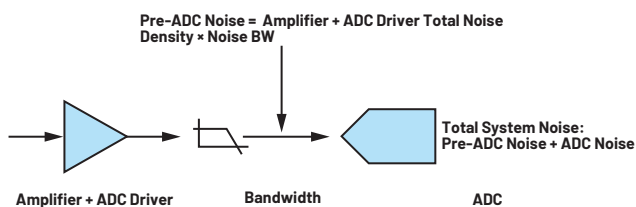


図12. データ・アクワイジション・フロント・エンドのシグナル・チェーン

ADCのノイズは、AFEから入力されるノイズと組み合わせられることによって、合計S/N比をADCの理論値または理想値より低下させます。AFEのノイズをADCのノイズと組み合わせるには、次式に従ってADCのS/N比を等価実効値積分ノイズに変換する必要があります。

$$ADC \text{ Noise (rms)} = \left(\frac{V_{REF}}{\sqrt{2}} \right) \times 10 \left(\frac{ADC \text{ SNR}}{20} \right) \quad (10)$$

例えば、[ADAQ7767-1](#)のS/N比の代表値は-106dBで、その等価実効値ノイズは14.5μVです。

ADAQ7767-1は24ビットのデータ・アクワイジション・ソリューションで、ADCドライバとアンチエイリアシング(折返しノイズ防止)フィルタを内蔵しています。そのゲインは、1、0.364、0.143V/Vです。このデバイスは250kSPSで110kHzのノイズ帯域幅(BW)を備えており、その急峻なカットオフはデジタル・ブリックウォール・フィルタに支配されます。ADA4625-1/ADA4625-2の広帯域電圧ノイズの代表値が3.3nV/√Hzだとすると、ノイズ・ゲインが6の図13の差動段(U1とU2)により生じるノイズは、次のようになります。

$e_{N,V_{U1U2}} = [\sqrt{2}(3.3\text{nV})^2] (500\Omega + 1.5\text{k}\Omega + 1\text{k}\Omega)/500\Omega = 28\text{nV}/\sqrt{\text{Hz}}$ 。U1とU2のRTLノイズによる。式(1)を使用。

$e_{N,RES_U1U2} = \sqrt{[2.87\text{nV}(6)]^2 + (4\text{nV})^2 + (4.97\text{nV})^2} = 18.4\text{nV}/\sqrt{\text{Hz}}$ 。抵抗ゲイン回路による。式(3)を使用。

$e_{N,U1U2} = \sqrt{(28\text{nV})^2 + (18.4\text{nV})^2} = 33.5\text{nV}/\sqrt{\text{Hz}}$ 。差動段で生じる合計出力ノイズ。

式(8)で、3つの並列抵抗(1kΩ)の等価値を差動段の入力に対して333.3Ω、ノイズを2.3nV/√Hzとすると、次のようになります。

$e_{NO,V_{OCM_U3}} = 6\sqrt{2}(2.3\text{nV})^2 = 19.5\text{nV}/\sqrt{\text{Hz}}$ 。抵抗R3～R8による出力ノイズ発生回路。

したがって、ADAQ7767-1の入力に現れる合計出力ノイズは次のようになります。

$$e_{NO} = \sqrt{e_{NO,V_{OCM_U3}}^2 + e_{N,U1U2}^2} = \quad (11)$$

$$\sqrt{(19.5\text{ nV})^2 + (33.5\text{ nV})^2} = 38.8\text{ nV}/\sqrt{\text{Hz}}$$

ADAQ7767-1の入力ゲイン段は0.143V/Vに設定されており、入力範囲は±28V(56V p-p)です。入力回路のノイズをデバイスのノイズと組み合わせ、S/N比の代表値-106dBは14.5μV rmsのノイズにあたると仮定すると、次のような結果が得られます。

$$\begin{aligned} \text{Total Input Noise (rms)} &= (38.8\text{ nV}/\sqrt{\text{Hz}}) \\ &(0.143)(\sqrt{110\text{ kHz}}) = 1.8\text{ }\mu\text{V rms} \end{aligned} \quad (12)$$

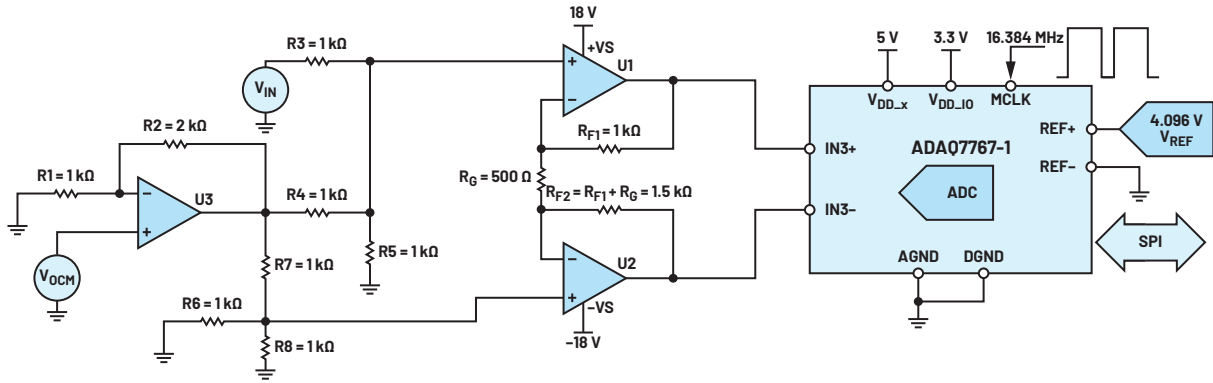


図 13. 高電圧入力の ADAQ7767-1 高精度シグナル・チェーン

$$\begin{aligned} \text{Total System Noise} &= \sqrt{(14.5 \mu\text{V})^2 + (1.8 \mu\text{V})^2} \\ &= 14.6 \mu\text{V rms} \end{aligned} \quad (13)$$

入力回路が合計システム・ノイズに影響する割合は非常に小さく、これは ADAQ7767-1 の入力ゲインが小さいことも理由の 1 つになっています。なお、帯域幅の乗算時にはフィルタの帯域幅調整係数を使いませんが、これは 110 kHz がブリックウォール特性を備えたデジタル・フィルタだからです。S/N 比の代表値が -106 dB なので、結果として得られるシグナル・チェーンの S/N 比は次のようになります。

$$\text{SNR} = 20 \log \left(\frac{14.6 \mu\text{V rms}}{4.096/\sqrt{2}} \right) = -105.9 \text{ dB} \quad (14)$$

LTspice を使って図 13 の入力回路のノイズをシミュレーションすると (図 14)、合計実効値ノイズは帯域幅 110 kHz で 12.3 μV rms となります。これに 0.143 V/V のゲインを乗じると、ADAQ7767-1 の入力におけるノイズは 1.8 μV rms となりますが、これは合計入力ノイズの計算値と同じです。

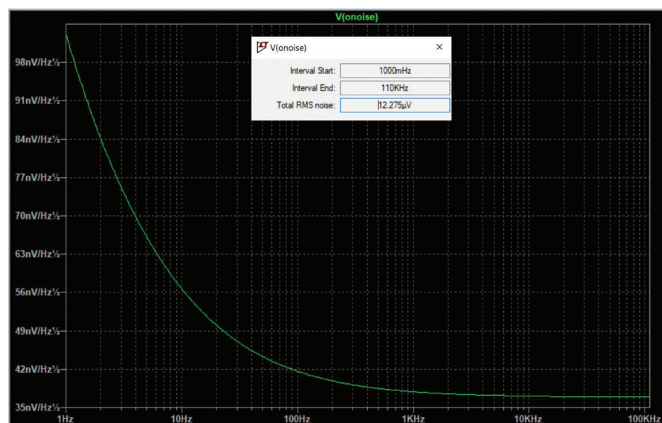


図 14. 図 13 に示す ADAQ7767-1 入力回路の LTspice ノイズ

ADAQ7767-1 でその他のゲインを使用した場合のシグナル・チェーン全体の S/N 比を表 1 に示します。

表 1. ADAQ7767-1 で異なるゲインを使用した場合のシグナル・チェーン全体の S/N 比

合計 AFE (FDA) ノイズ (V rms)	帯域幅、Hz (ブリックウォール)	ADAQ7767-1 のゲイン	合計 ADC 入力ノイズ (V rms)	合計 システム・ノイズ (V rms)	全体的な S/N 比 (dB)
3.88E-08	1.10E+05	0.143	1.84E-06	1.46E-05	-105.94
3.88E-08	1.10E+05	0.364	4.68E-06	1.52E-05	-105.58
3.88E-08	1.10E+05	1	1.29E-05	1.94E-05	-103.49

ここでは、図 13 に示すシングル・アンプの V_{OCM} 回路だけを使用しました。この回路は、ノイズ性能に大きな影響を与えることなく、フロント・エンド・シグナル・チェーン・システムに高い入力電圧を供給するために使用できます。デュアル・アンプの V_{OCM} 回路も、同じ全体的信号ゲインで同様のノイズ性能を実現できます。ノイズ分析のセクションに示したノイズの式 (V_{OCM} 回路の U3 および U4 ノイズ) は、デュアル・アンプ V_{OCM} 回路の出力における合計ノイズの計算に使用できます。また、シグナル・チェーンの合計 S/N 比の計算にも同じ方法と概念を適用できます。

まとめ

本稿に示した回路に ADA4625-1/ADA4625-2 を使用して創出される複合型 FDA は、入力範囲の広い高性能データ・アキュイジション・シグナル・チェーンに使用できる、コモン・モードを調整可能な低ノイズ高電圧出力のソリューションを実現します。差動段の帰還回路を適切に設定することによって、シングル・エンド入力にも差動入力にも対応可能です。シングル・アンプ V_{OCM} 回路は、消費電力が小さくアンプの数も少ないので、デュアル・アンプ V_{OCM} 回路を上回る利点を備えています。ここで述べた例は、ゲインが小さければ、ADAQ7767-1 シグナル・チェーンの全体的な S/N 比は FDA 回路による大きな影響は受けない、ということを示しています。その入力範囲は $\pm 4.096 \text{ V}$ 、 $\pm 11.264 \text{ V}$ 、および $\pm 28 \text{ V}$ で、それぞれに対応するゲインは 1 V/V 、 0.364 V/V 、および 0.143 V/V です。つまり、最小ゲインの場合が最も入力範囲が広く、ソリューションを最大限に利用することができます。



著者について

Darwin Tolentinolは、現在、カビテ州ゼネラル・トリアス市にあるアナログ・デバイスで、高精度データ変換用の全機能内蔵型集積化ソリューションを提供する高精度μModule[®]シグナル・チェーンの、製品／テスト開発マネージャを務めています。2000年に製品製造エンジニアとしてアナログ・デバイスに入社し、その後、アンプ、リファレンス、コンバータなど、様々なリニアおよび高精度製品用ATE(自動試験装置)ソリューションを設計する製品およびテスト開発エンジニアとなりました。