

# シンプル機能と複雑な 特性を持つ アナログ・スイッチの基礎



アナログ・デバイセズ株式会社  
2020年 アナログ技術セミナー

# 本日の予定（目次）

1. 半導体スイッチのABC（CMOS／バイポーラ／MEMS）
2. スwitchによる誤差要素
3. ラッチアップ・プルーフ、過電圧保護、ESD耐圧
4. MEMSスイッチ（半導体とメカの混合システム）

# 1. 半導体スイッチ

# アナログ・スイッチの素子要素

1. メカ接点
  - メカ・スイッチ
  - リレー（リード、アマチュア）
2. 真空管スイッチ
3. ダイオード・スイッチ
4. Bipトランジスタ・スイッチ
5. FET
  - CMOS
  - JFET
6. サイリスタ
  - サイリスタ：
  - トライアック：
7. フォト・カップラ・スイッチ
8. 化合物半導体
  - GaAs
9. MEMSスイッチ
10. パワースイッチ
  - MOSFET, Bip, IGBT etc

# 理想的なスイッチ



## スイッチON時

- 抵抗  $0\ \Omega$  (パワーのロス無し)
- 周波数帯域  $\infty$
- 信号の歪み無し
- 信号振幅の制限なし
- 他からの漏れ信号無し
- ノイズはゼロ



## スイッチOFF時

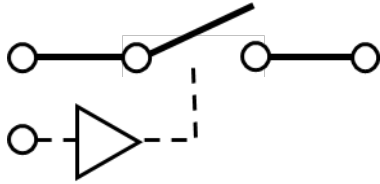
- 絶縁抵抗  $\infty$
- 漏れ電流無し
- 遮断信号の振幅制限無し
- 入出力のカップリング無し
- 入力容量/インダクタンスはゼロ

## スイッチON/OFF時

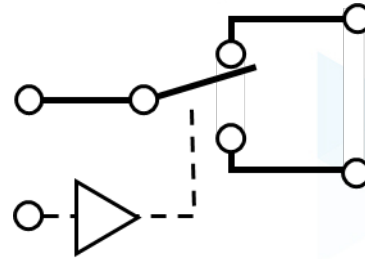
- チャージ・インジェクション  $0\ C$
- スイッチング・タイム  $0\ sec$

# スイッチの構成 (Bi-Lateral Switch)

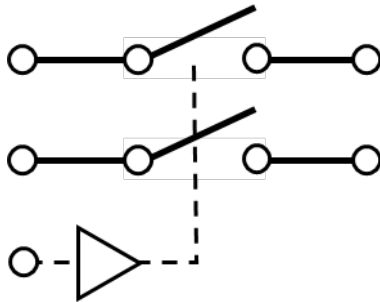
SPST (Single Pole Single Throw)



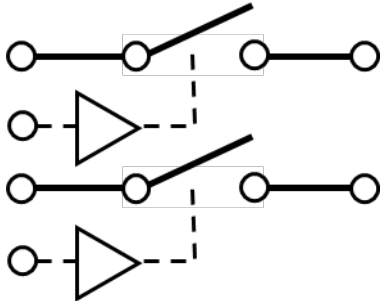
SPDT (Single Pole Double Throw)



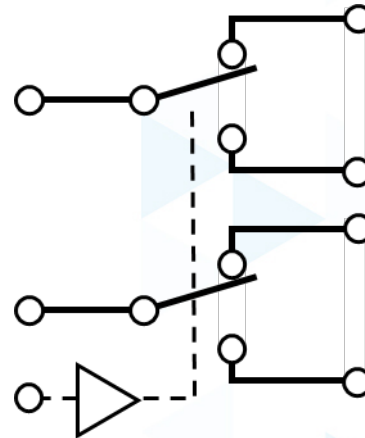
DPST (Double Pole Single Throw)



Dual(2ch) SPST

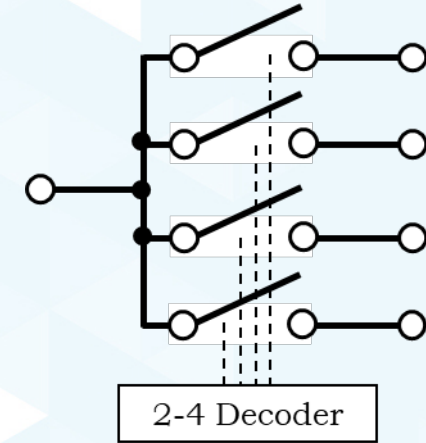


DPDT (Double Pole Double Throw)



4:1 Multiplexer (Bi-Lateral)

SP4Tと記載されている場合も



2×2 Cross Point Switch

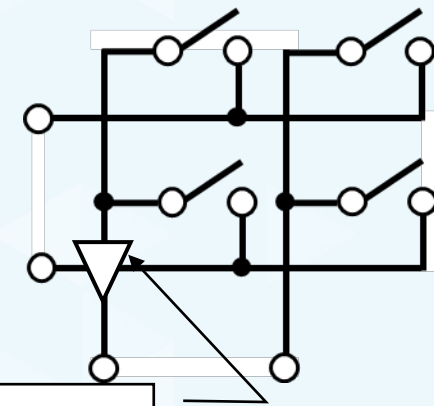
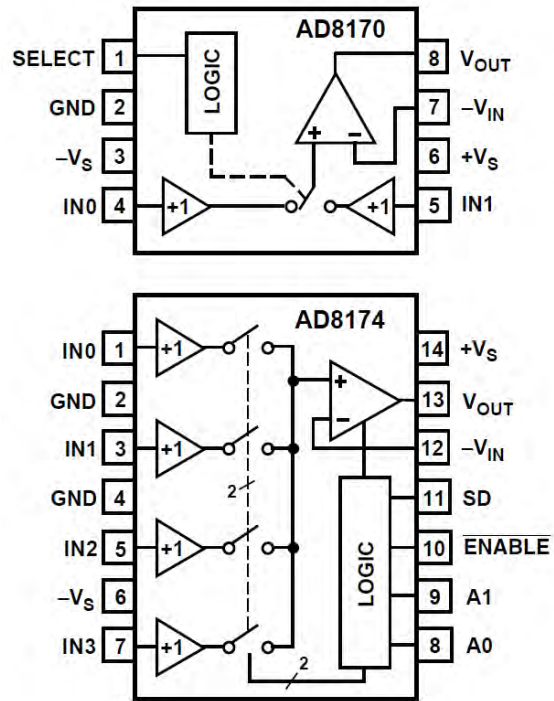


図 1 スイッチ回路の構成

バッファ・アンプ

# スイッチの構成 続き (Uni-Directional Switch)

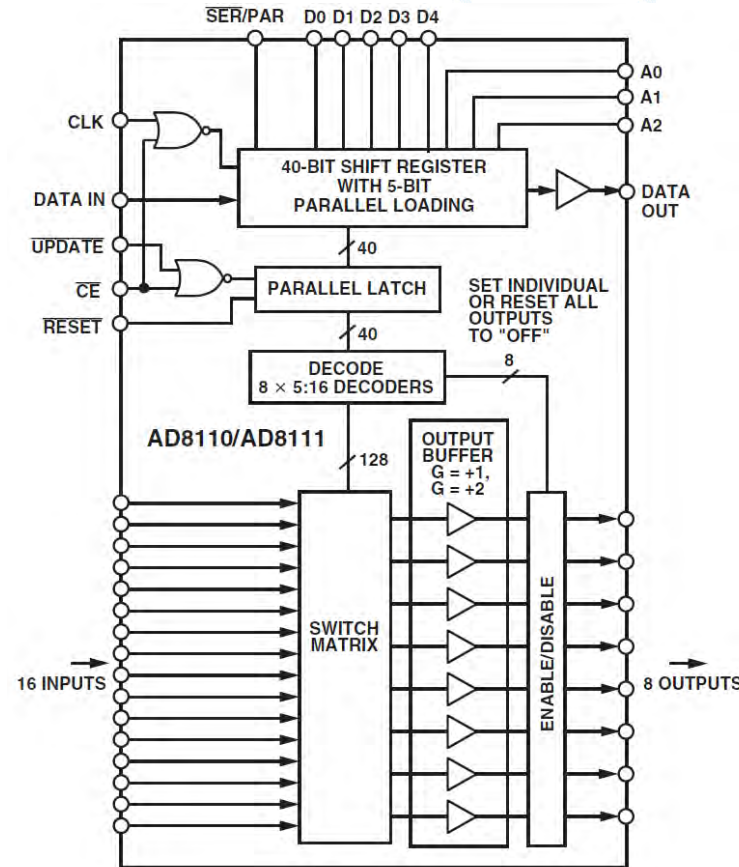
2:1、4:1 Multiplexer



信号方向

図 2 マルチプレクサ

16×8 Cross point Switch

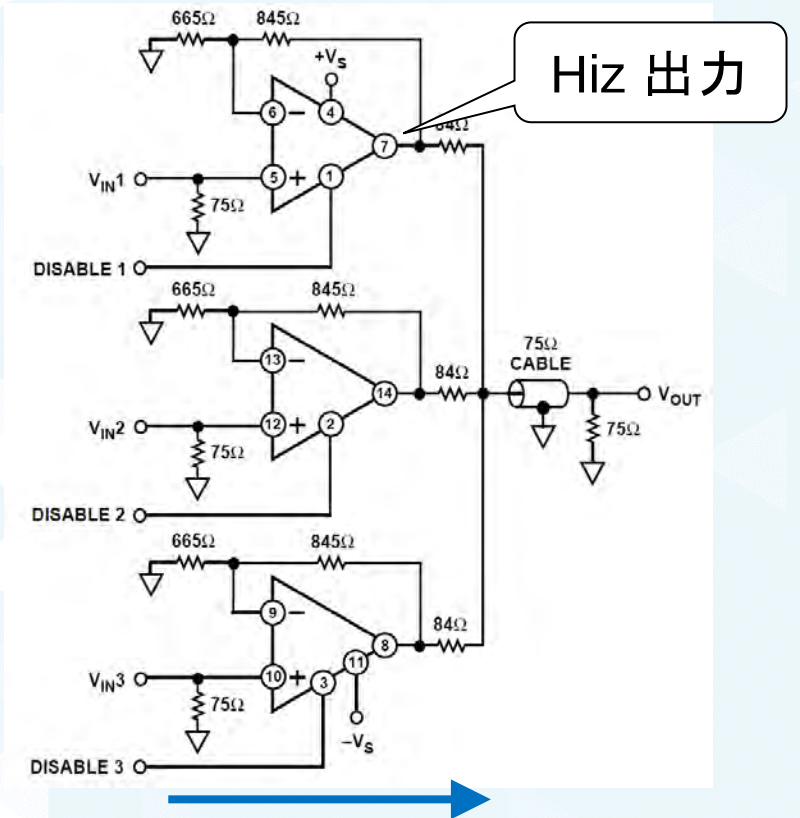


信号方向

図 3 クロスポイント・スイッチ

これはマルチプレクサでしょうか？

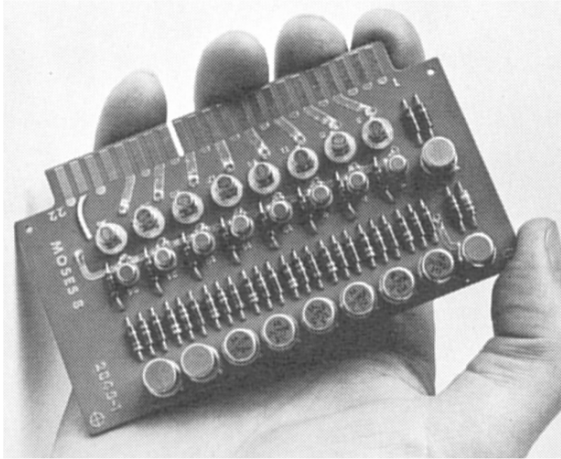
AD8013 3ch OP-Amp w/ Disable



信号方向

図 4 3:1 マルチプレクサ

# アナログ・デバイス社のアナログ・スイッチ・シリーズ (参考資料)



8ch MUX  
Ron=500Ω  
図 5

## ADIのスイッチ製品

|                      |             |
|----------------------|-------------|
| ➤ CMOSスイッチ/マルチプレクサ : | 327種        |
| ➤ RFスイッチ/マルチプレクサ :   | 82種         |
| ➤ その他 :              | 34種         |
| 合計                   | <b>433種</b> |

Re: OPアンプは699種類供給しています

## 2000年代以降

ADG14XXシリーズ  
ADG12XXシリーズ  
ADG16XXシリーズ  
ADG54XXFシリーズ  
ADGS54XXシリーズ  
ADG7XXシリーズ  
ADG8XXシリーズ  
ADG9XXシリーズ  
ADG4XXFシリーズ  
ADG5XXFシリーズ

その他

1960年代

MPX8A  
MPX20

1970年代後半

AD75XXシリーズ

1990年代

ADG2XXシリーズ  
ADG3XXシリーズ  
ADG4XXシリーズ  
ADG5XXシリーズ  
ADG6XXシリーズ

i.e. : ADG201=DG201 (Silx)

図 6 ADI社のアナログ・スイッチ

## 2. スイッチの特性と誤差要因

# 双方向半導体スイッチ・エレメントの等価回路

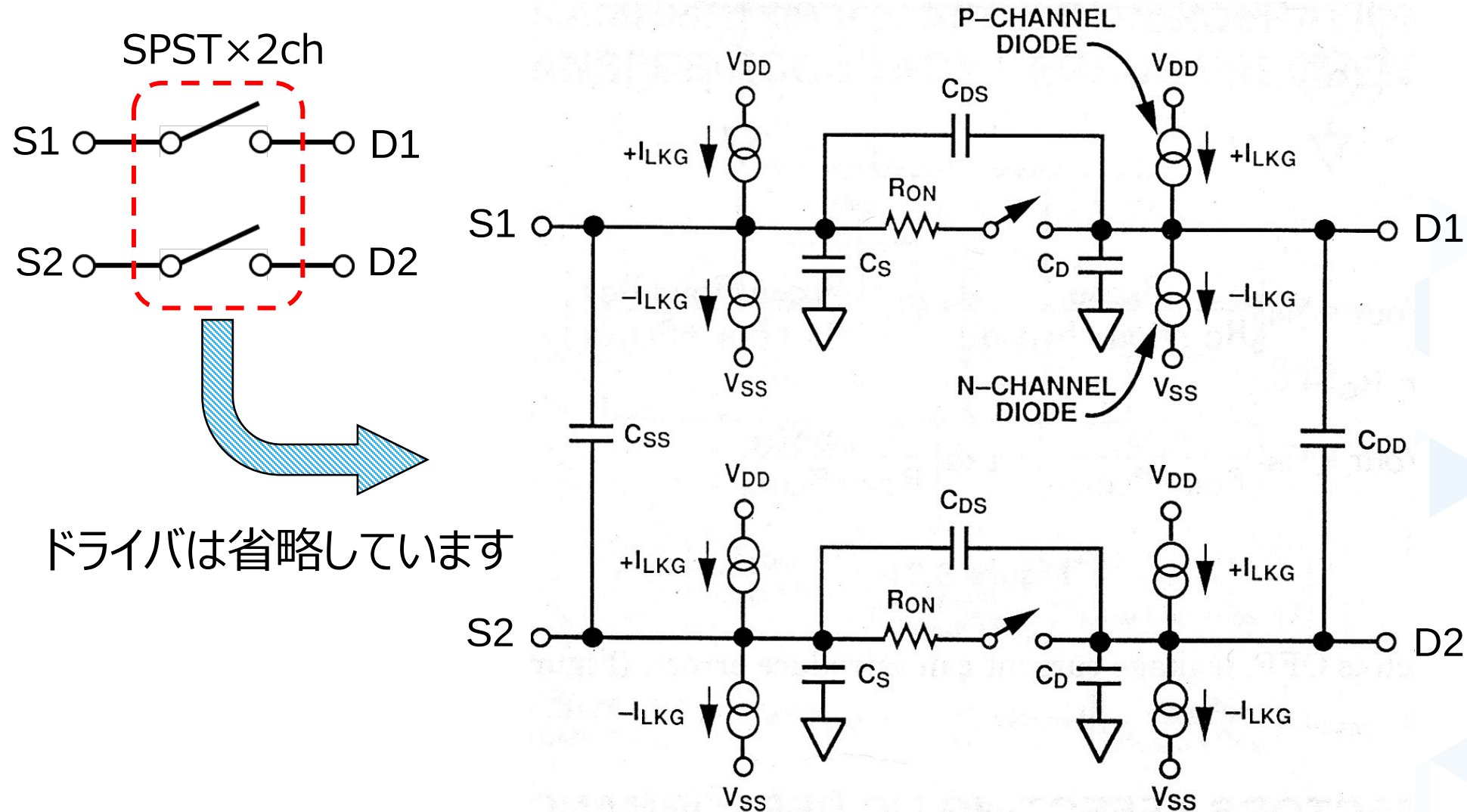


図 7 2ch SPST スイッチ 等価回路

# D C 誤差要因 (スイッチ・オン)

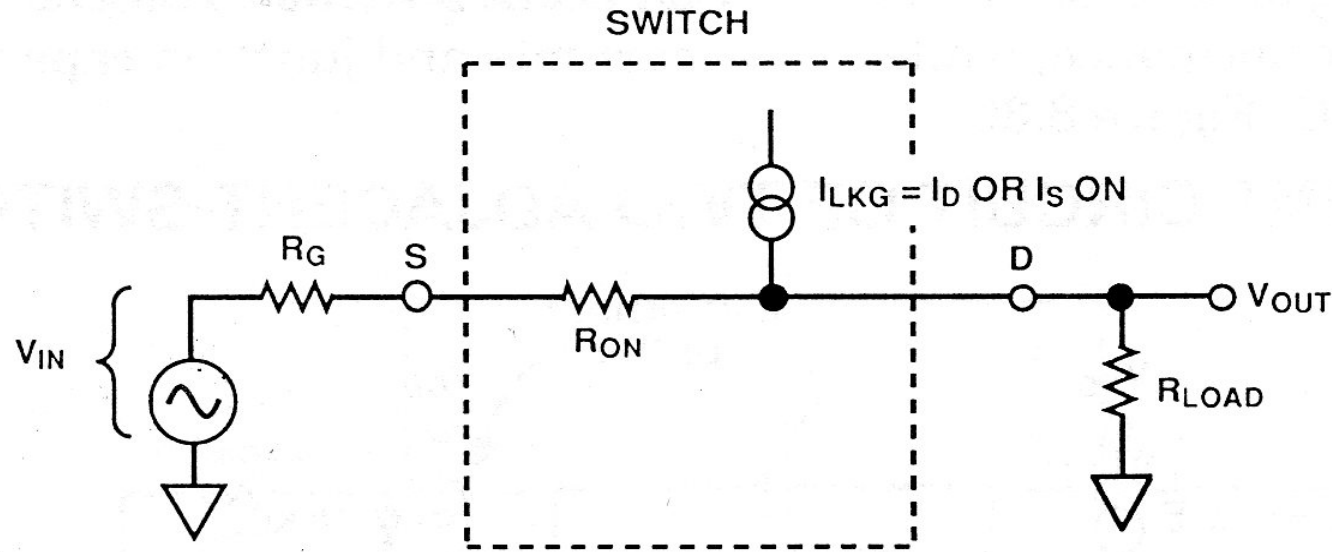


図 8 オン等価回路

- ① 抵抗分圧によるゲイン誤差
- ② 抵抗と漏れ電流によるオフセット誤差

$I_{LKG}$ や $R_{ON}$ は、温度、電圧、電流により変化します。

$$V_{OUT} = V_{IN} \left[ \frac{R_{LOAD}}{R_G + R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[ \frac{R_{LOAD}(R_{ON} + R_G)}{R_G + R_{ON} + R_{LOAD}} \right]$$

IF  $R_G \rightarrow 0$ ,

$$V_{OUT} = V_{IN} \left[ \frac{R_{LOAD}}{R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[ \frac{R_{LOAD}R_{ON}}{R_{ON} + R_{LOAD}} \right]$$

- スイッチ・オン抵抗 ( $R_{ON}$ ) =  $200\Omega \pm 10\Omega$
- 信号源ソース抵抗 ( $R_G$ ) =  $0\Omega$  (低インピーダンス電圧源)
- 出力側負荷抵抗 ( $R_{LOAD}$ ) =  $5k\Omega$
- 出力リーク電流 ( $I_{LKG}$ ) =  $100pA$

この時 ① =  $0.959 / 0.963$  (Gain Error)

② =  $20nV \pm 1nV$  (Offset Error)

この回路では、オン抵抗の偏移が最も大きな誤差要因になります。

# D C 誤差要因 (スイッチ・オフ)

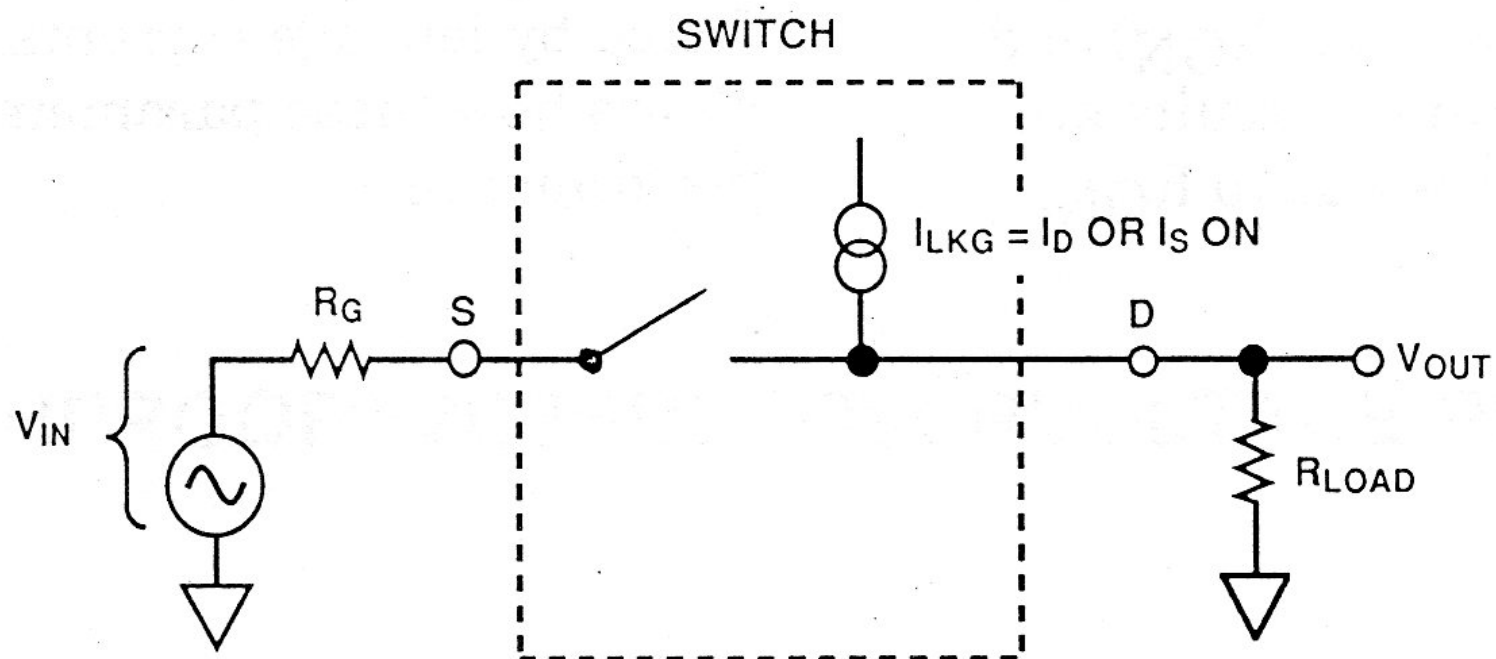
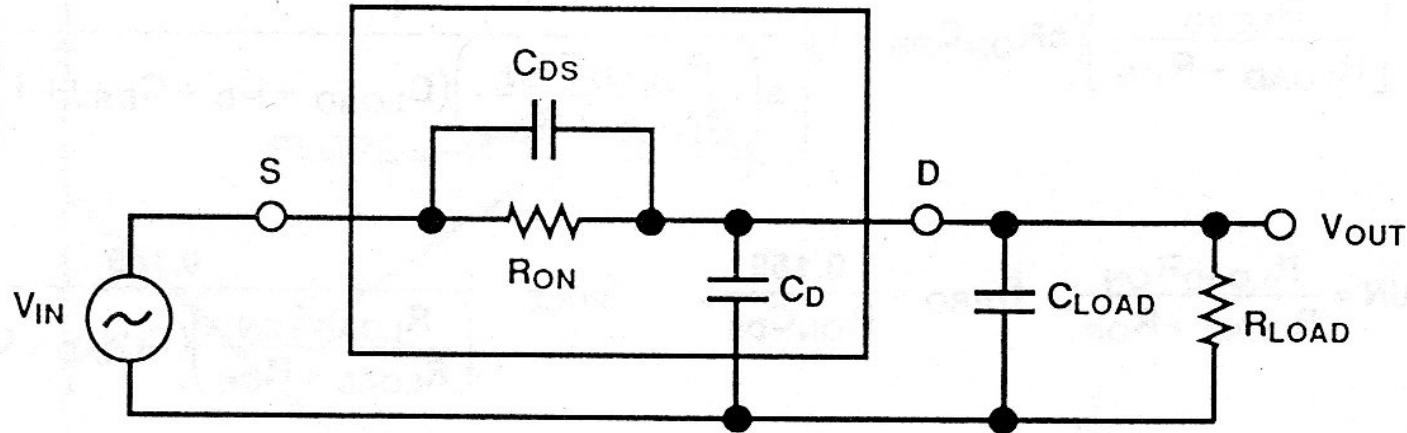


図 9 オフ等価回路

$$V_{OUT} = I_{LKG} \times R_{LOAD}$$

- 漏れ電流が負荷抵抗に流れることによりオフセット誤差が生じます。
- $I_{LKG}$ は、温度、電圧（電源）などにより変化します。

# A C 誤差要因 (スイッチ・オン)



$R_{ON}, C_{DS}, C_D$ は、温度、電圧、電流などの条件により変化します。

図 10 オン等価回路(AC)

$$A(s) = \left[ \frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] \left[ \frac{s R_{ON} C_{DS} + 1}{s \left( \frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS}) + 1} \right]$$

$$A(\text{dB}) = 20 \log \left[ \frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] + 10 \log \left[ \omega^2 (R_{ON} C_{DS})^2 + 1 \right] - 10 \log \omega^2 \left[ \left( \frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right)^2 (C_{LOAD} + C_D + C_{DS})^2 + 1 \right]$$

# スイッチのAC特性

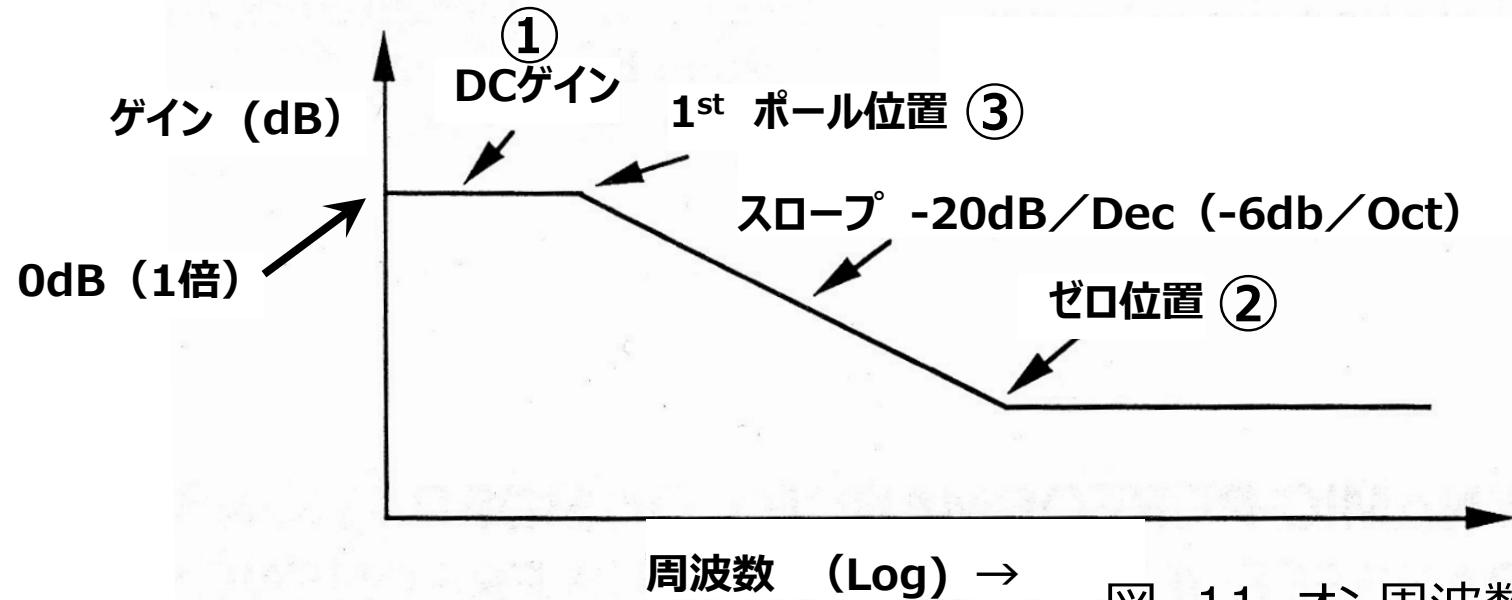


図 11 オン周波数特性

$$A(s) = \left[ \frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] [sR_{ON}C_{DS} + 1] \left[ \frac{1}{s \left( \frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS}) + 1} \right]$$

$$\text{DC GAIN} = \frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}}, \quad f_{ZERO} = \frac{0.159}{R_{ON}C_{DS}}, \quad f_{POLE} = \frac{0.159}{\left( \frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS})}$$

①                      ②                      ③

# オン抵抗 vs 信号電圧

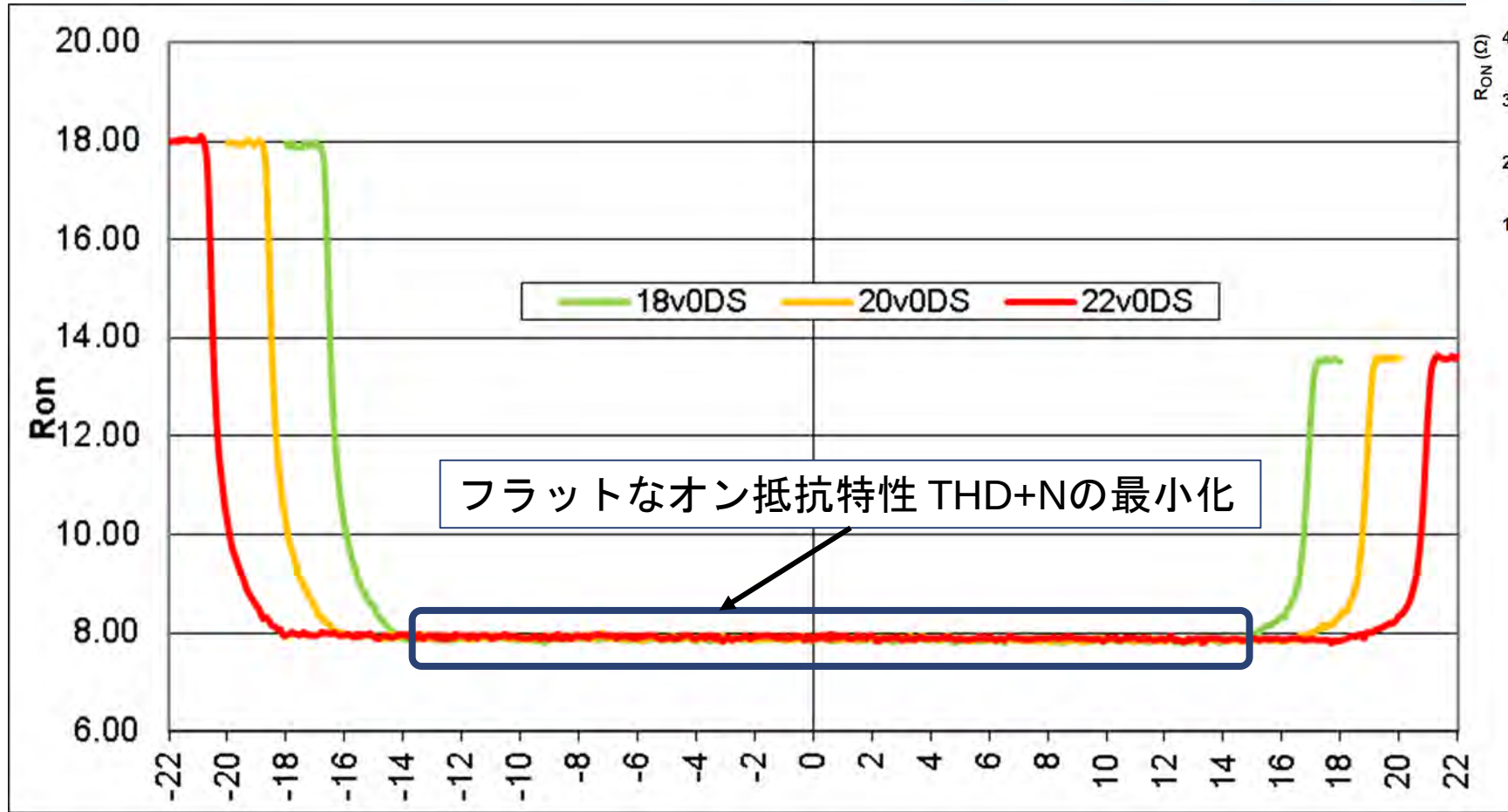
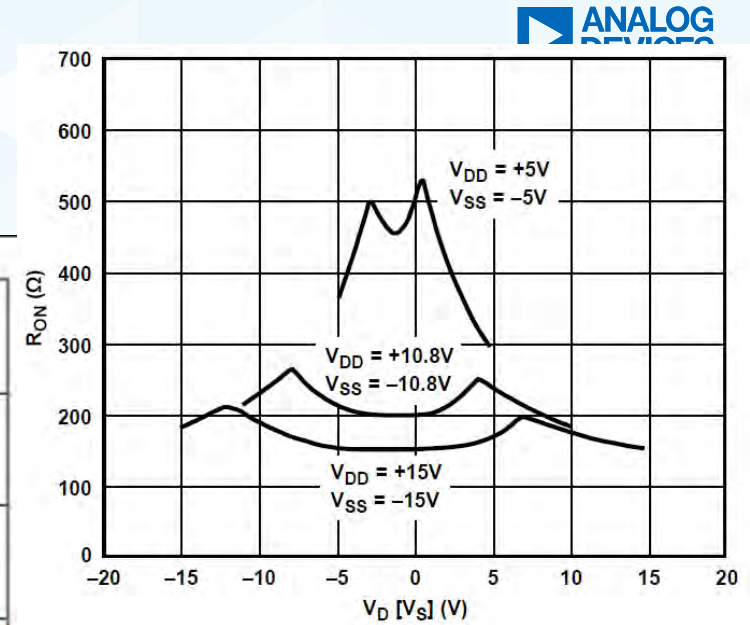


図 12 ON抵抗 vs 信号電圧 (ADG5412F)



一般的なCMOSスイッチのオン抵抗  
図 13

# A C 誤差要因 (スイッチ・オフ)

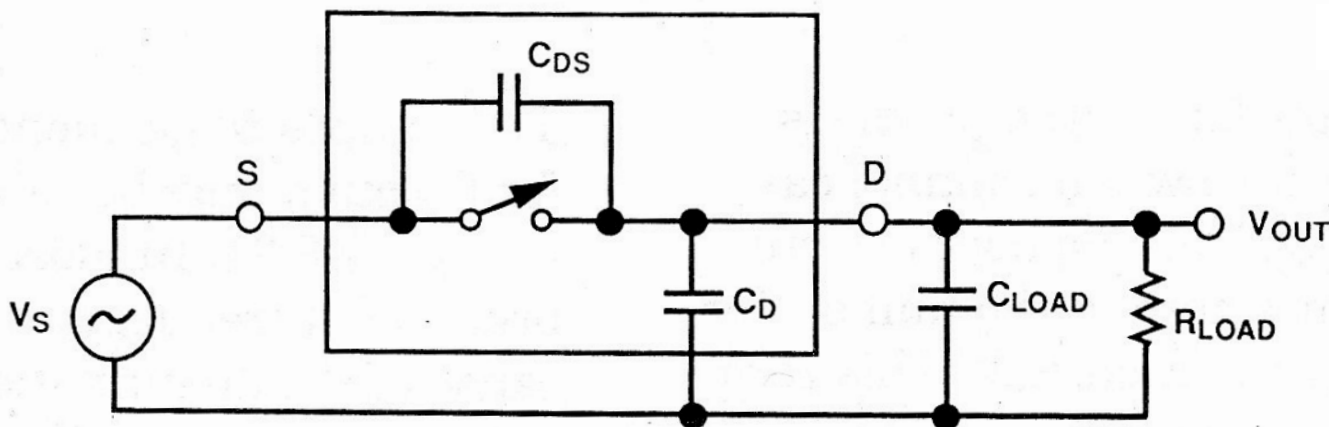


図 14 オフ等価回路(AC)

$$A(s) = \frac{s(R_{LOAD})(C_{DS})}{s(R_{LOAD})(C_{LOAD} + C_D + C_{DS}) + 1}$$

OFFアイソレーション (-dB)

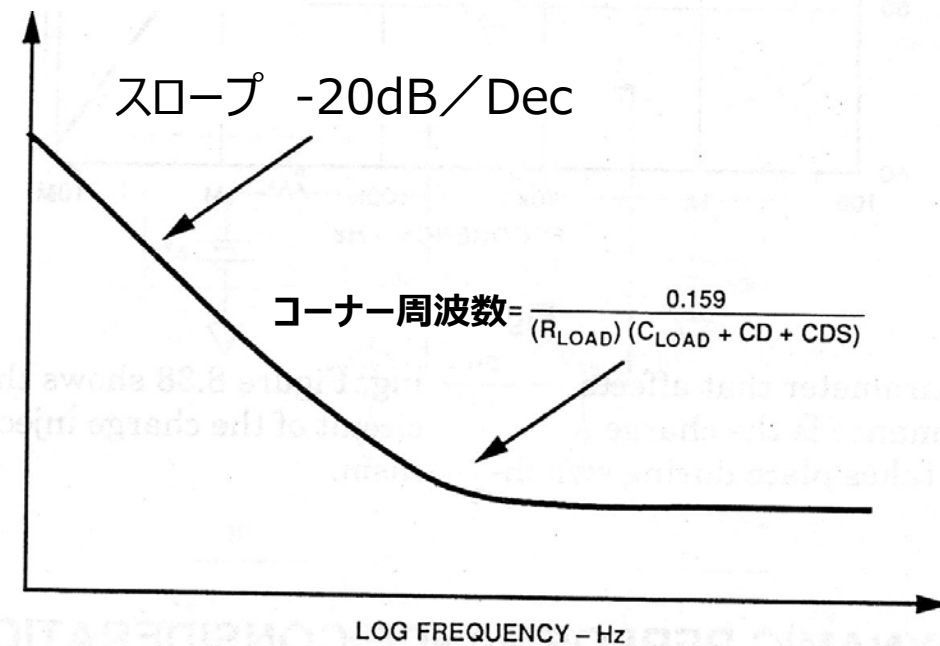
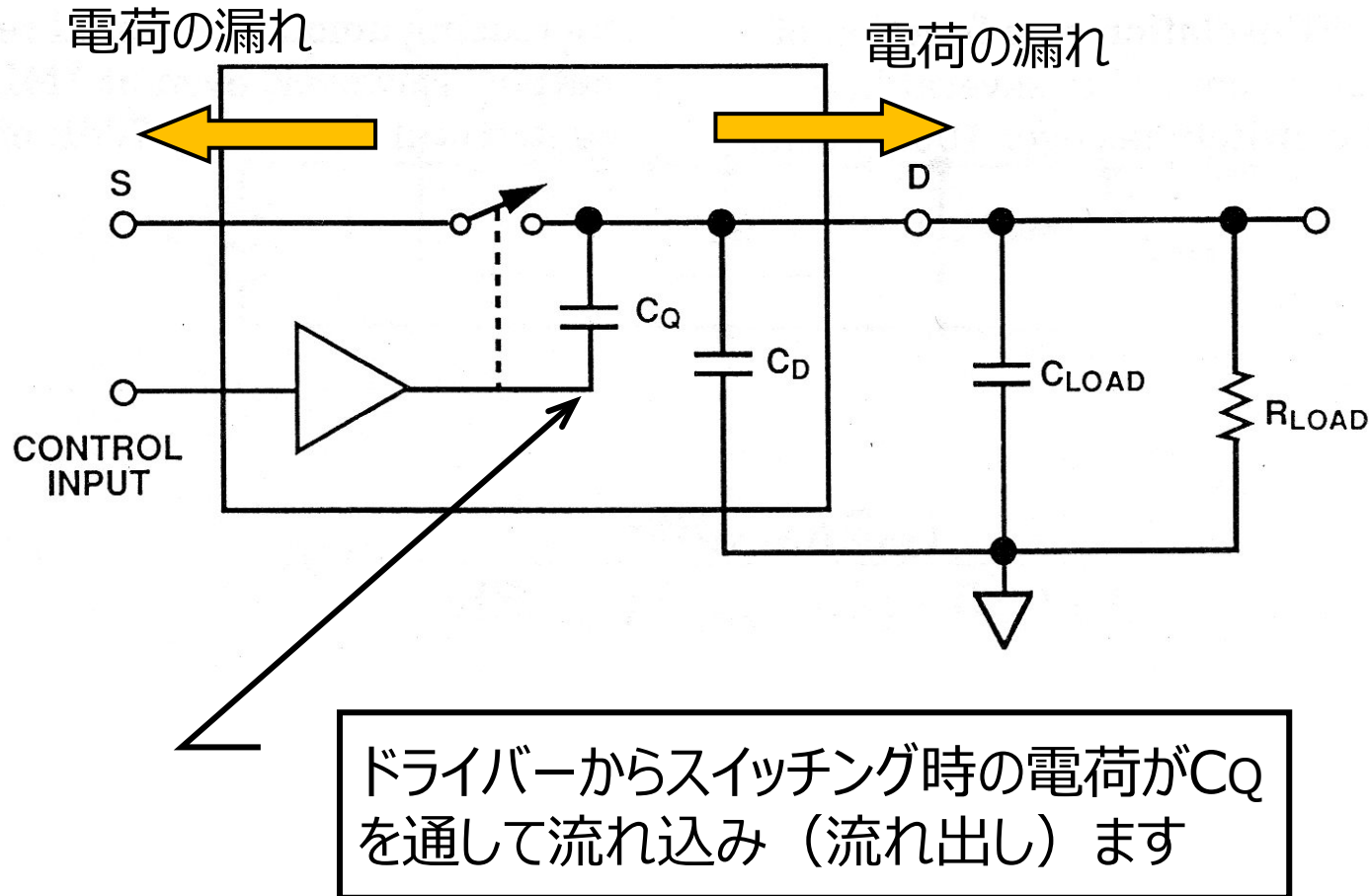


図 15 オフ周波数特性

# チャージ・インジェクションの影響



- チャージ・インジェクションの電荷は、デジタルのドライバー側からアナログ入出力に注入される電荷です。
- $R_{LOAD}$ が極端に大きい回路、例えばバッファ・アンプ入力であると、大きな誤差になる。
- チャージはスイッチ入力側にも注入される。入力のインピーダンスが高いと、問題に。

図 16 チャージ・インジェクション（電荷注入）等価回路

# チャージ・インジェクションによるステップ誤差

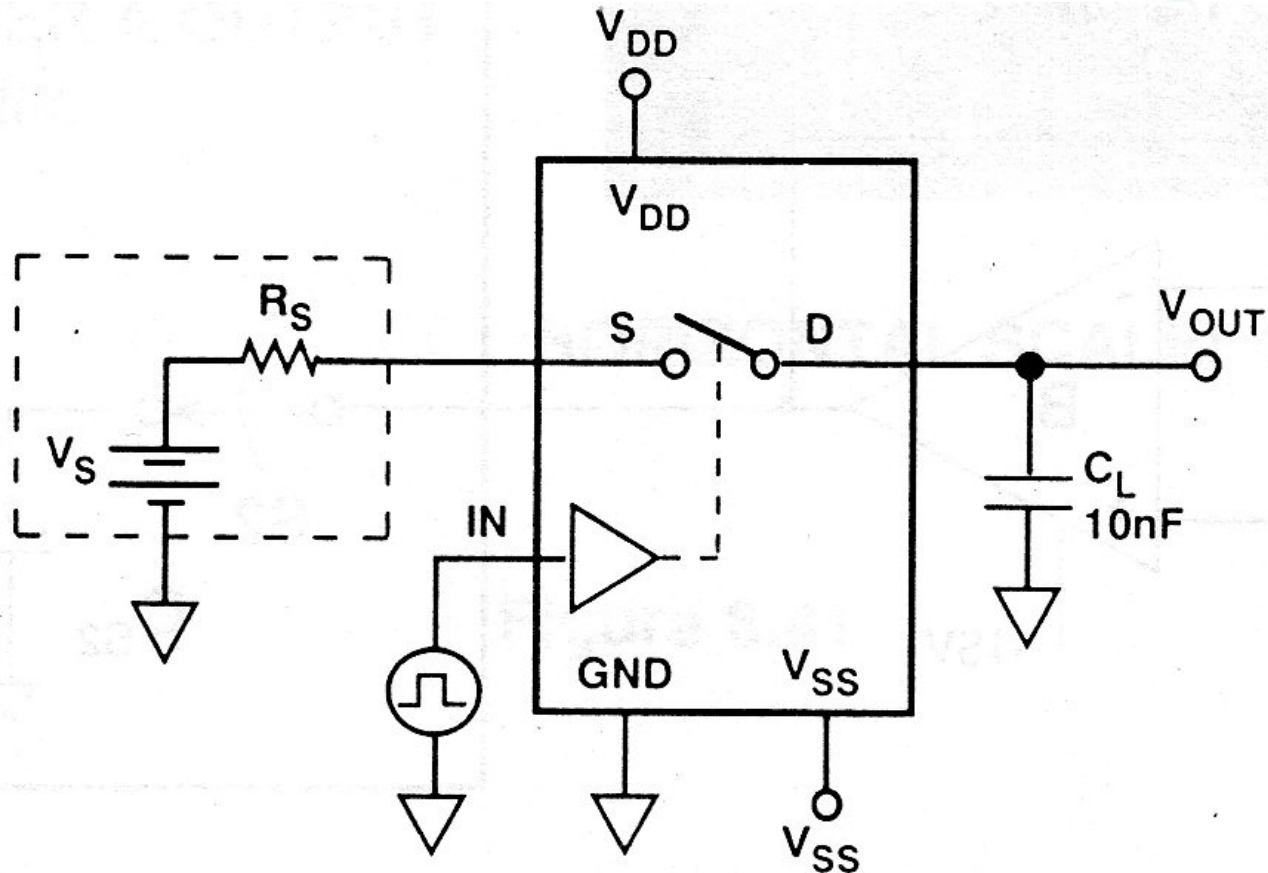
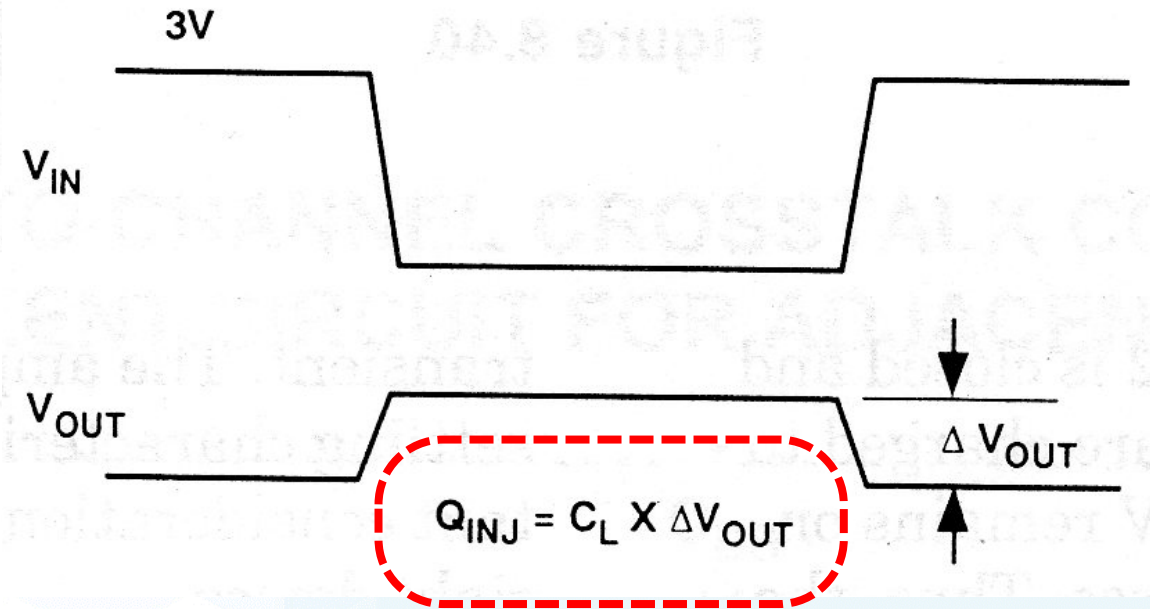


図 17 電荷注入の例



出力側のインピーダンスが高い（例えばバッファアンプ）と誤差が大きくなります。

図 18 電荷注入の影響 オフセットの誤差

# チャンネル間クロストーク

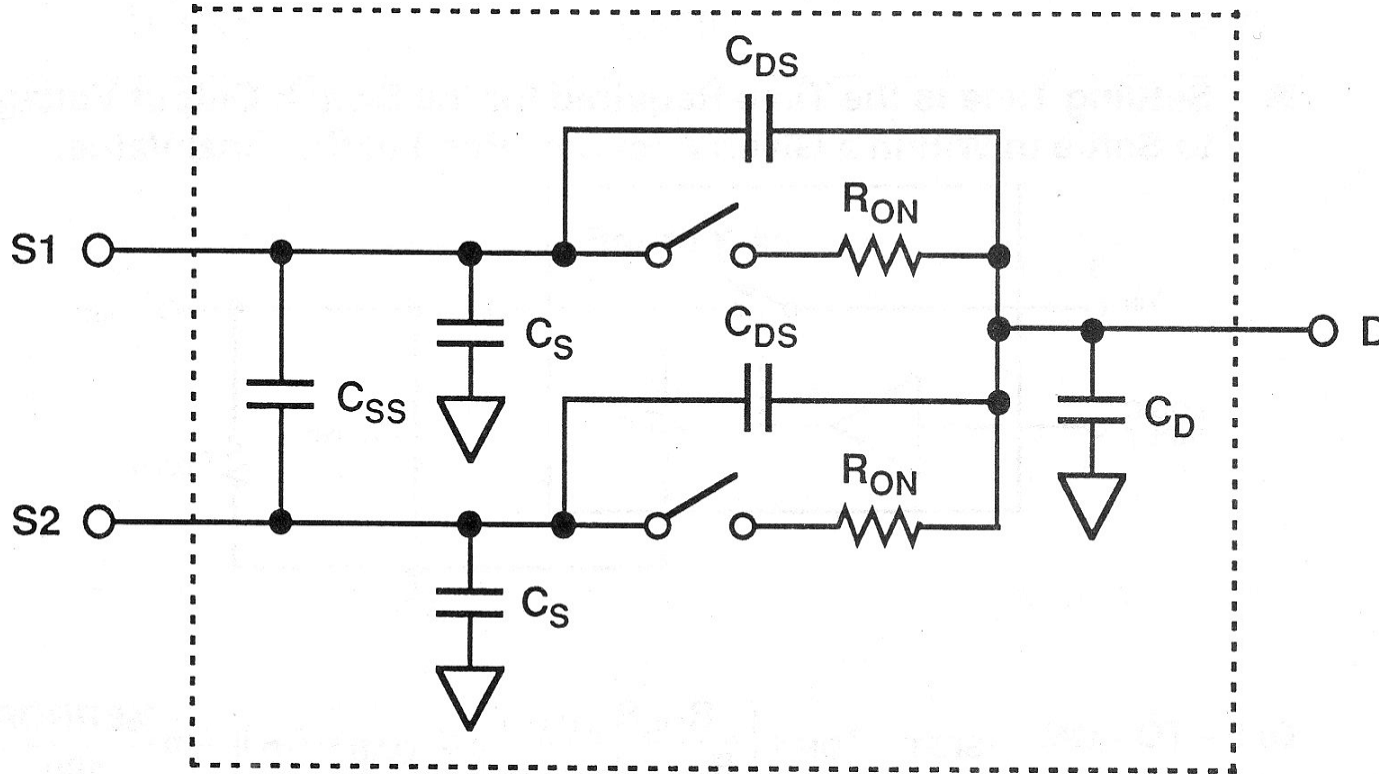


図 19 クロストーク等価回路

クロストークの実例 (ADG511)

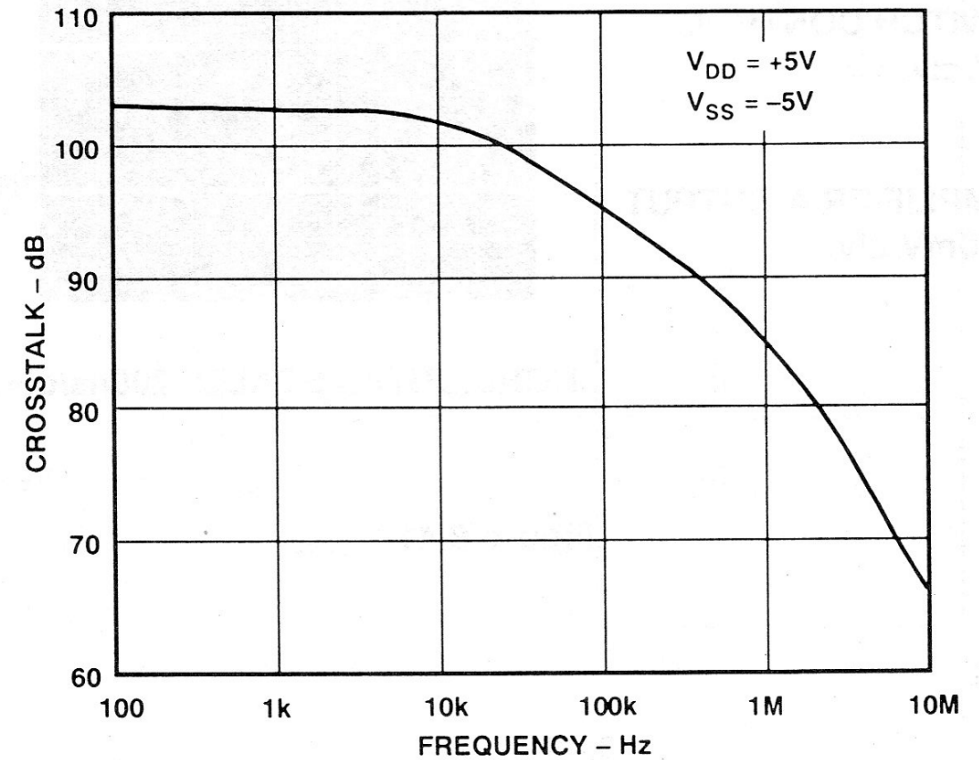
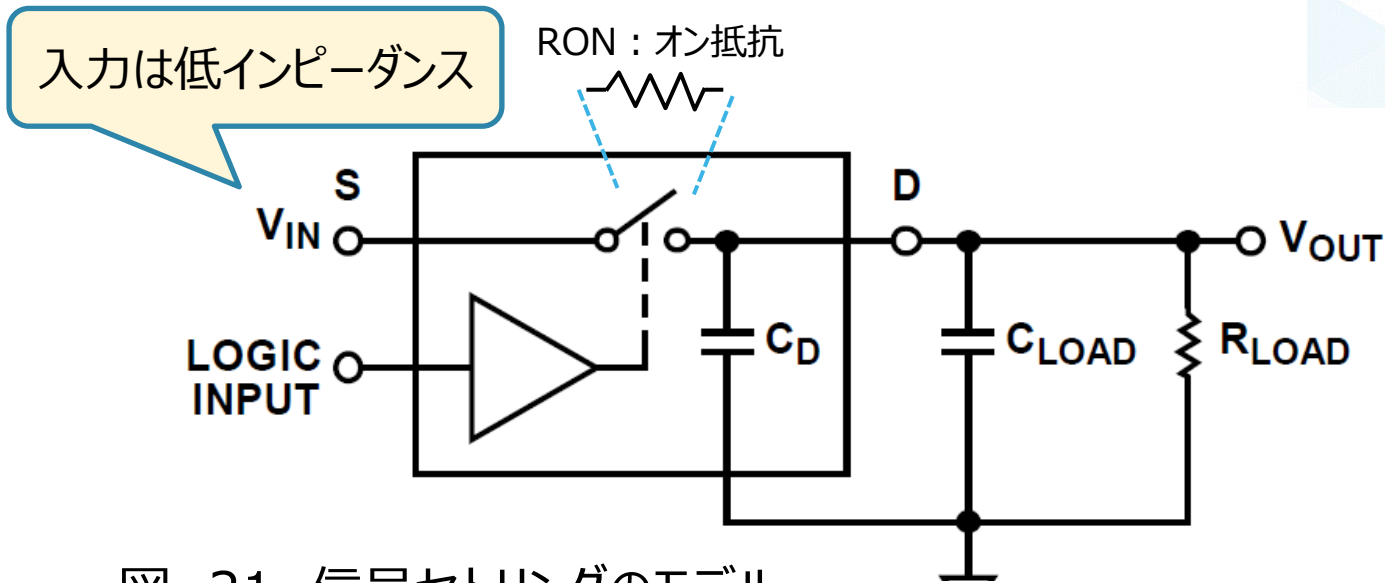


図 20

# スイッチ（特にマルチプレクサ）のセtring・タイム

## 寄生素子の影響

### スイッチの寄生成分のモデル



$R_{ON}$  : スイッチON抵抗  
 $C_D$  : スイッチON 出力容量  
 $C_{LOAD}$  : 出力負荷容量  
 $R_{LOAD}$  : 負荷抵抗

図 21 信号セtringのモデル

$$\text{OFF-TO-ON: } t_{\text{SETT}} = t_{\text{ON}} + \left( \frac{R_{\text{ON}} \times R_{\text{LOAD}}}{R_{\text{ON}} + R_{\text{LOAD}}} \right) (C_{\text{LOAD}} + C_D) \left( -\ln \frac{\% \text{ERROR}}{100} \right) \quad \textcircled{1}$$

$$\text{ON-TO-OFF: } t_{\text{SETT}} = t_{\text{OFF}} + (R_{\text{LOAD}})(C_{\text{LOAD}} + C_D) \left( -\ln \frac{\% \text{ERROR}}{100} \right) \quad \textcircled{2}$$

# ADCシステムの入力セtring・タイム

表 1 ADC分解能とセtring時定数

| 分解能 | LSB(%FS) | 時定数<br>-LN(%error/100) |
|-----|----------|------------------------|
| 6   | 1.563    | 4.16                   |
| 8   | 0.391    | 5.55                   |
| 10  | 0.0977   | 6.93                   |
| 12  | 0.0244   | 8.32                   |
| 14  | 0.0061   | 9.70                   |
| 16  | 0.00153  | 11.09                  |
| 18  | 0.00038  | 12.48                  |
| 20  | 0.000095 | 13.86                  |
| 22  | 0.000024 | 15.25                  |

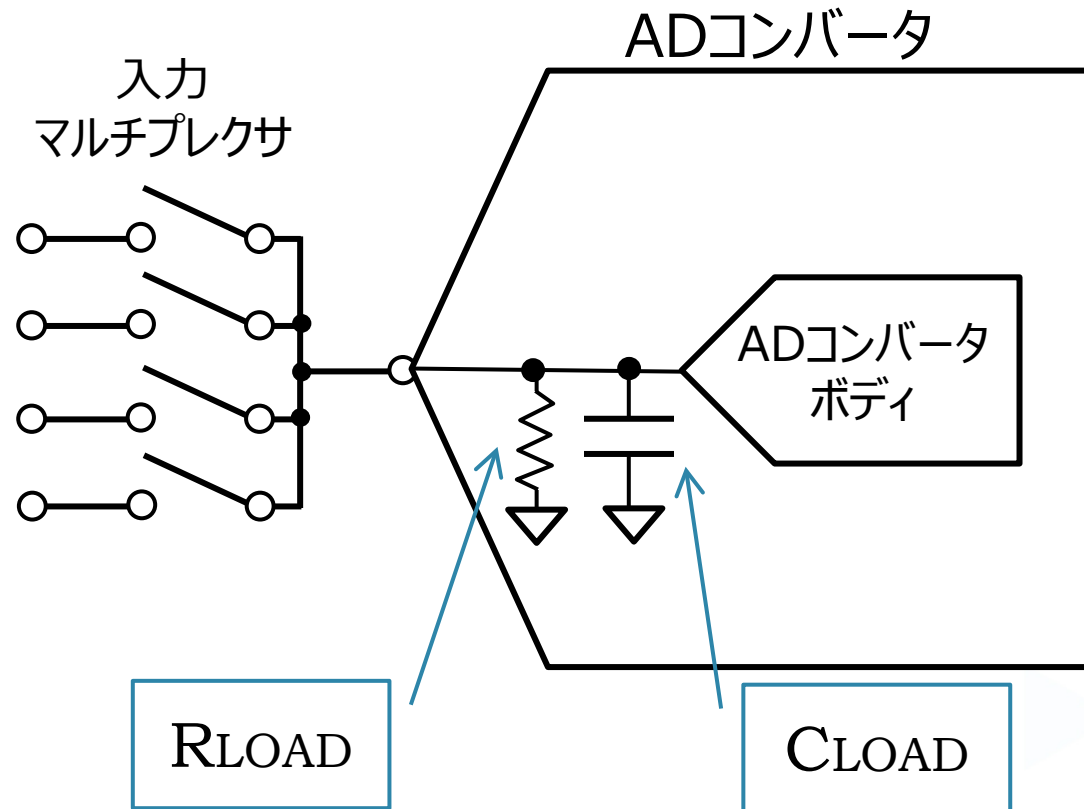


図 22 マルチプレクサのセtring・タイム

# セトリング・タイムとサンプリング・レート

- セトリング・タイム

$$t_{\text{sett max}} = t_{\text{transition}} + \left( \frac{R_{\text{ON}} \times R_{\text{LOAD}}}{R_{\text{ON}} + R_{\text{LOAD}}} \right) \times (C_{\text{LOAD}} + C_{\text{D}}) \times -\text{LN}(\% \text{error} / 100) \quad \text{--- ①}$$

- $f_{\text{s}} = \frac{1}{(t_{\text{sett max}}) \times (\text{Channel \#})} \quad \text{--- ②}$

- 計算例

スイッチ  $R_{\text{on}} = 120\Omega$ 、 $C_{\text{D off}} = 6\text{pF}$ 、切り替え デッド・タイム = 80nS

負荷  $R_{\text{LOAD}} = 1\text{k}\Omega$ 、 $C_{\text{LOAD}} = 5\text{pF}$ の場合の12ビット・セトリング・タイム

$$t_{\text{sett}} = 80\text{nS} + (120000 \div 1120) \times (11 \times 10^{-12}) \times 8.32 = 90\text{nS}$$

## 半導体プロセス

- CMOS : ADG9XX 1GHzくらいまでの信号 低コスト、低電力
- Si-DI (誘電体分離) : SOI-DIのため、低寄生容量、オフ・アイソレーションや集積密度に優れます (CB、SiGeなど)
- 化合物半導体 (GaAs、GaNなど) : 最も高い周波数帯域

反射型 HMC545A

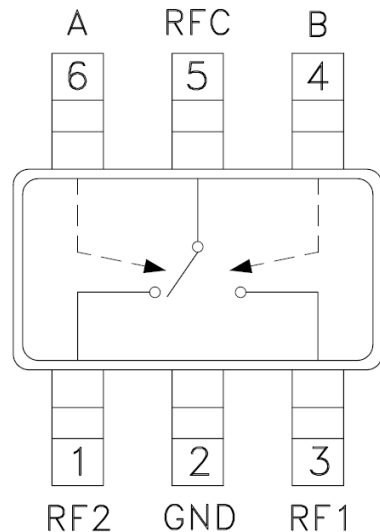


図 23 SPDT

無反射型 HMC435A

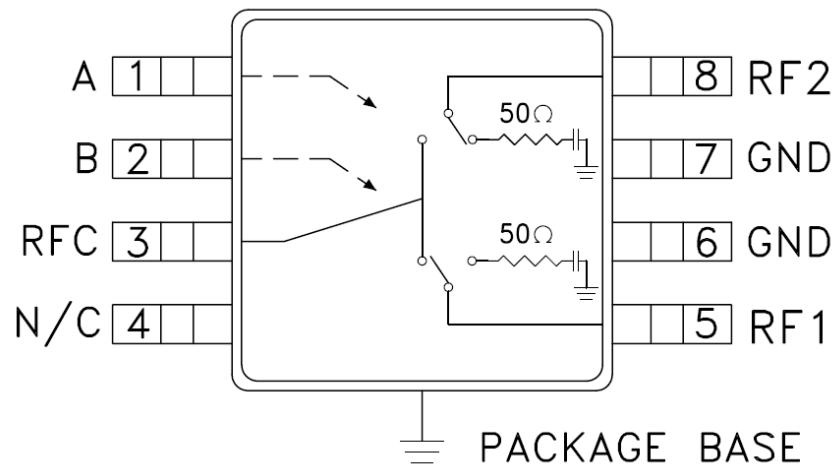


図 24 SPDT

無反射型 HMC1055

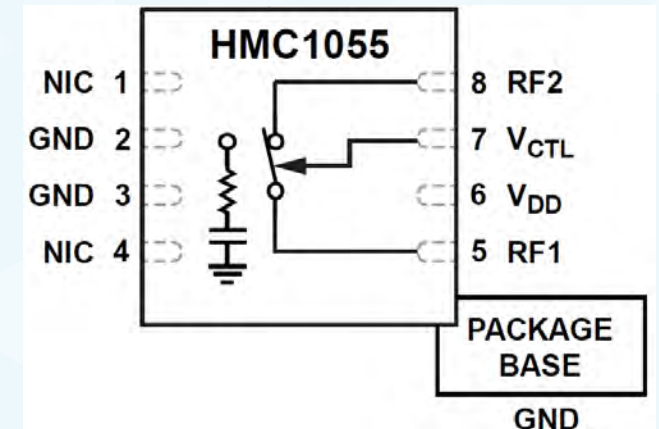


図 25 SPST

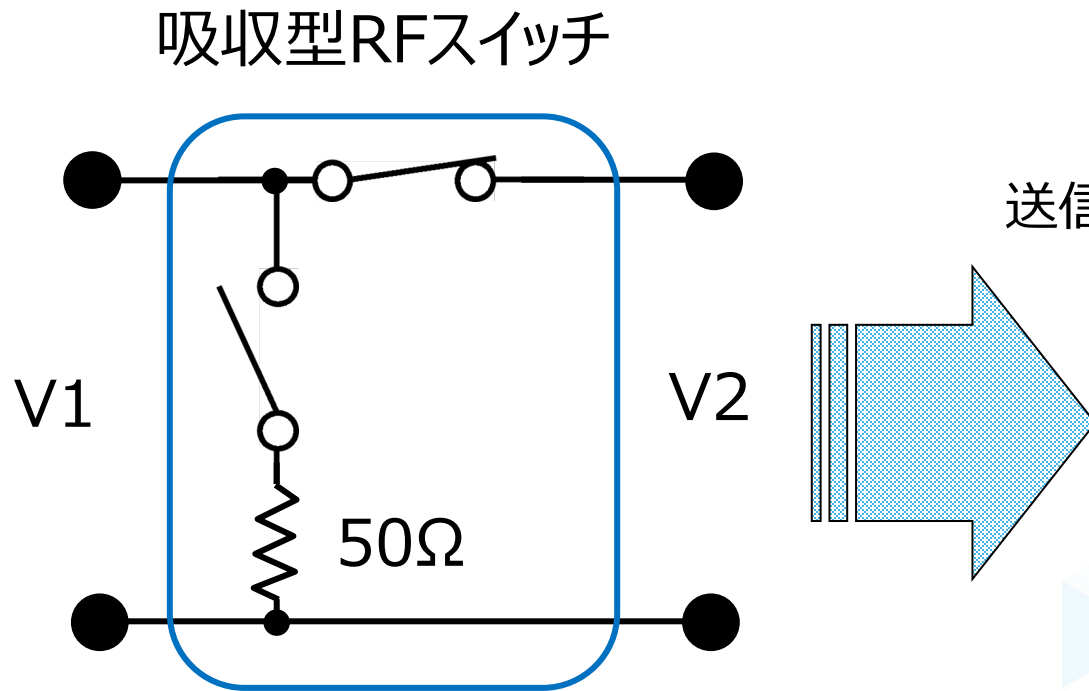


図 26 RF SPSTスイッチ

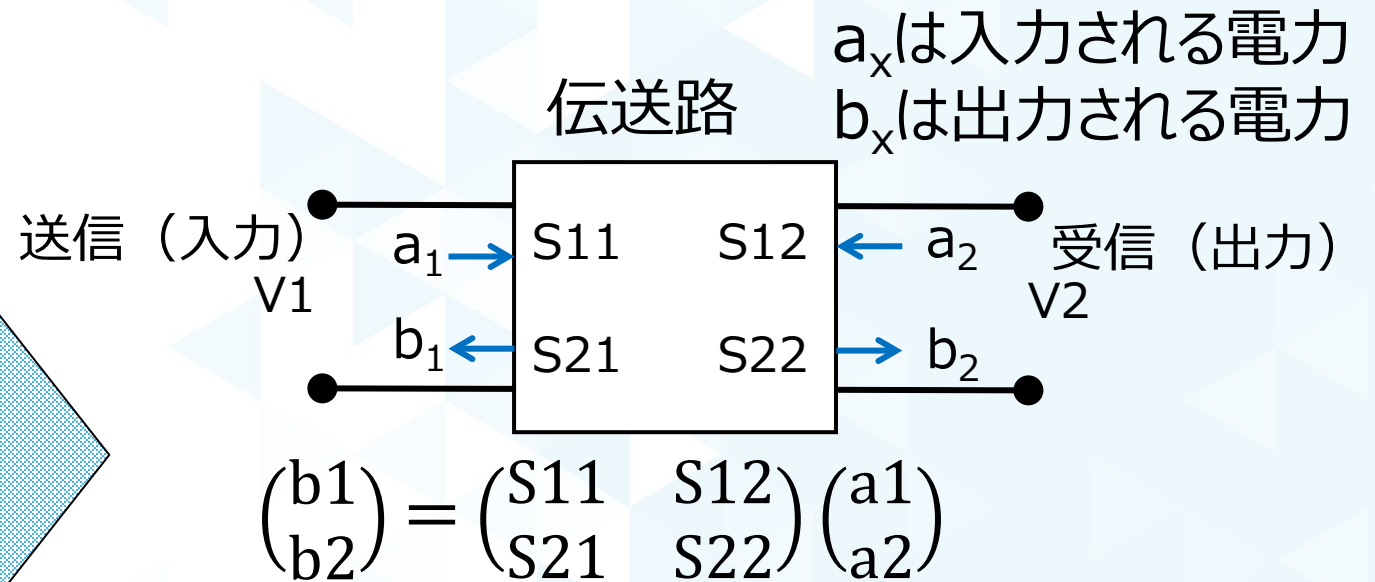


図 27 4端子回路とS-パラメータ

- S21 : 電力伝送の効率を表し、dB表示は挿入損失 (Insertion Loss)を示します。
- 高い周波数で損失が大きいと矩形波のセトリングが遅くなります。

# 反射型 (Reflective) と 無反射型 (Non-Reflective) スイッチ

1. 反射型は、内部に終端抵抗を内蔵していません。
2. 無反射型は吸収型とも呼ばれます。
3. 一般的に反射型は挿入損失特性に優れ、無反射型はアイソレーション特性に優れます。

表 2 比較の例 どちらも4GHzくらいの帯域の素子です (性能@2GHz)

|             | HMC545A (反射型) | HMC435A (無反射型) |
|-------------|---------------|----------------|
| 挿入損失 (S21)  | 0.3dB         | 0.8dB          |
| OFFアイソレーション | 31dB          | 53dB           |

# 3. ラッチアップ耐性と過電圧保護、そして ESD耐量

# ラッチアップ耐性と過電圧保護

- ラッチアップは通常電源ON時の過電圧による電流で発生します。発生すると異常発熱と、制御不能となります。
- ラッチアップ状態になると、電源を切るまでその状態が続きます。
- ラッチアップ耐性改善
  1. トレンチによるDIプロセスでMOSTランジスタを絶縁
  2. 寄生素子の $\beta$ を1以下にする
  3. 外部に保護素子を接続する

- 過電圧状態は、電源OFF時にも発生します。
- 過電圧は内部回路の破壊、あるいは破壊に至らないダメージ、信頼性の低下を招きます。
- ESD(Electro Static Discharge)耐性とは異なります。
- 過電圧保護機能
  1. 電源OFF時の入力保護
  2. 過電圧検出機能
  3. 外部素子（ダイオードなど）による保護

# ラッチアップとは・・・

## 1. ラッチアップ（Latch-Up）とは

主に寄生素子（設計上意図的に配置された以外の付加素子）により引き起こされる、電源レール（グランドも含む）間の意図しない低インピーダンスの電流経路による不具合状態

## 2. ラッチアップを引き起こした原因の信号を取り除いても、不具合状態は持続する。電源／信号をOFFにして再投入すると正常な状態に戻ることが多い。

## 3. その結果

素子の信頼性に影響を与える。長時間この状況下にあると素子が破壊する。（主に発熱や過電流の影響）

# ラッチアップのメカニズム (I)

## 単純化したCMOSスイッチのモデル

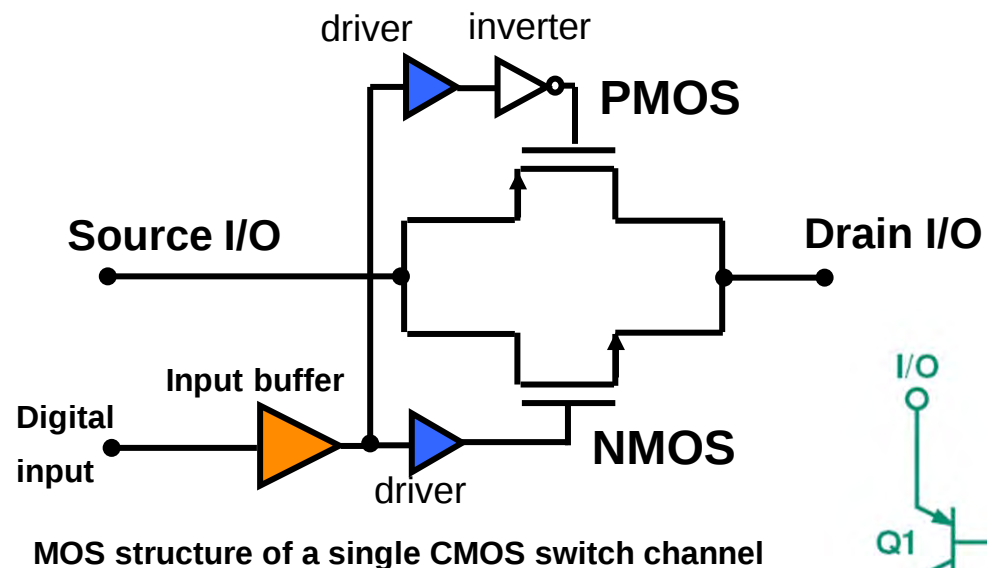
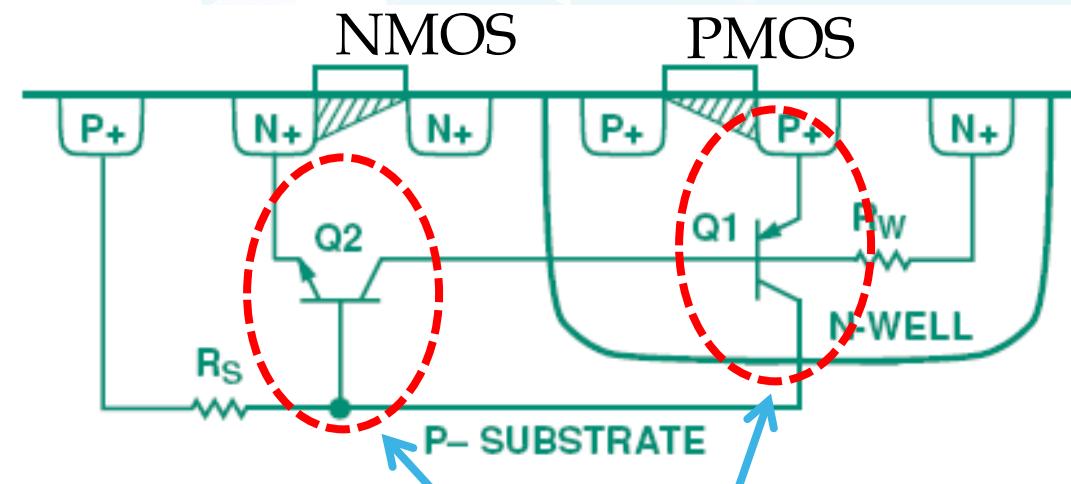


図 28 スイッチ・セル

## CMOSスイッチ・トランジスタのクロス・セクション



寄生トランジスタ  
図 29 寄生トランジスタ

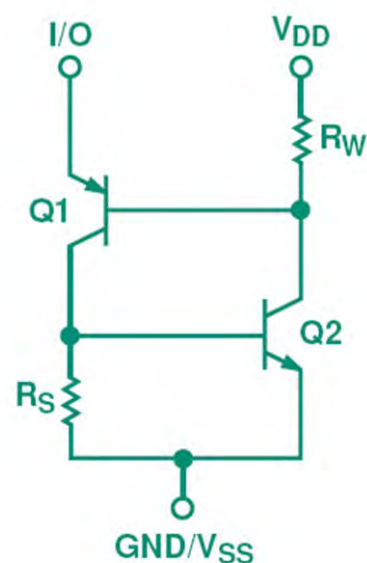


図 30 寄生回路等価回路

寄生回路

# ラッチアップのメカニズム (II)

## 寄生トランジスタによるサイリスタ構造

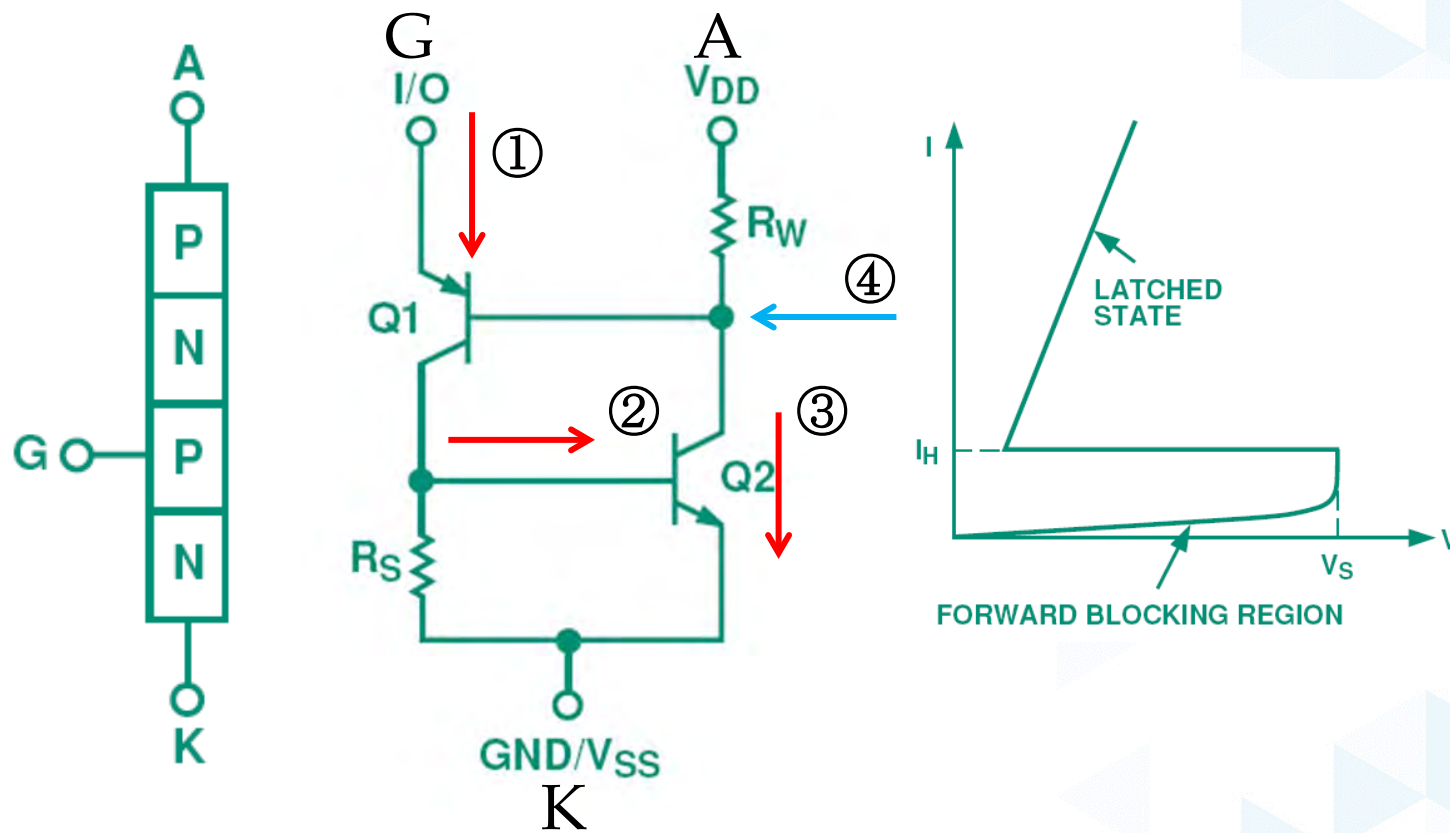


図 31 寄生サイリスタ回路

## サイリスタの主なトリガー要因

1. 過電圧入力スパイクやトランジェント
2. 誤った電源シーケンスや信号接続
3. 最大定格を超えるオペレーション条件

# SOIによるDI (Dielectric Isolation) 構造トランジスタ

## CMOSスイッチ・トランジスタのクロス・セクション

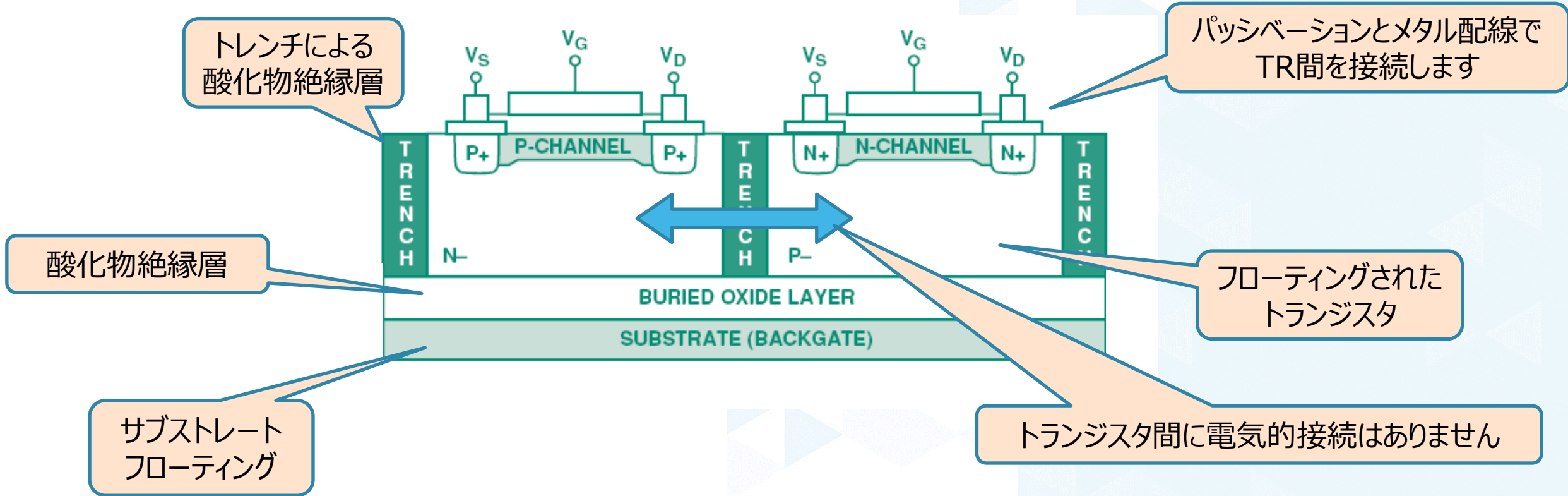
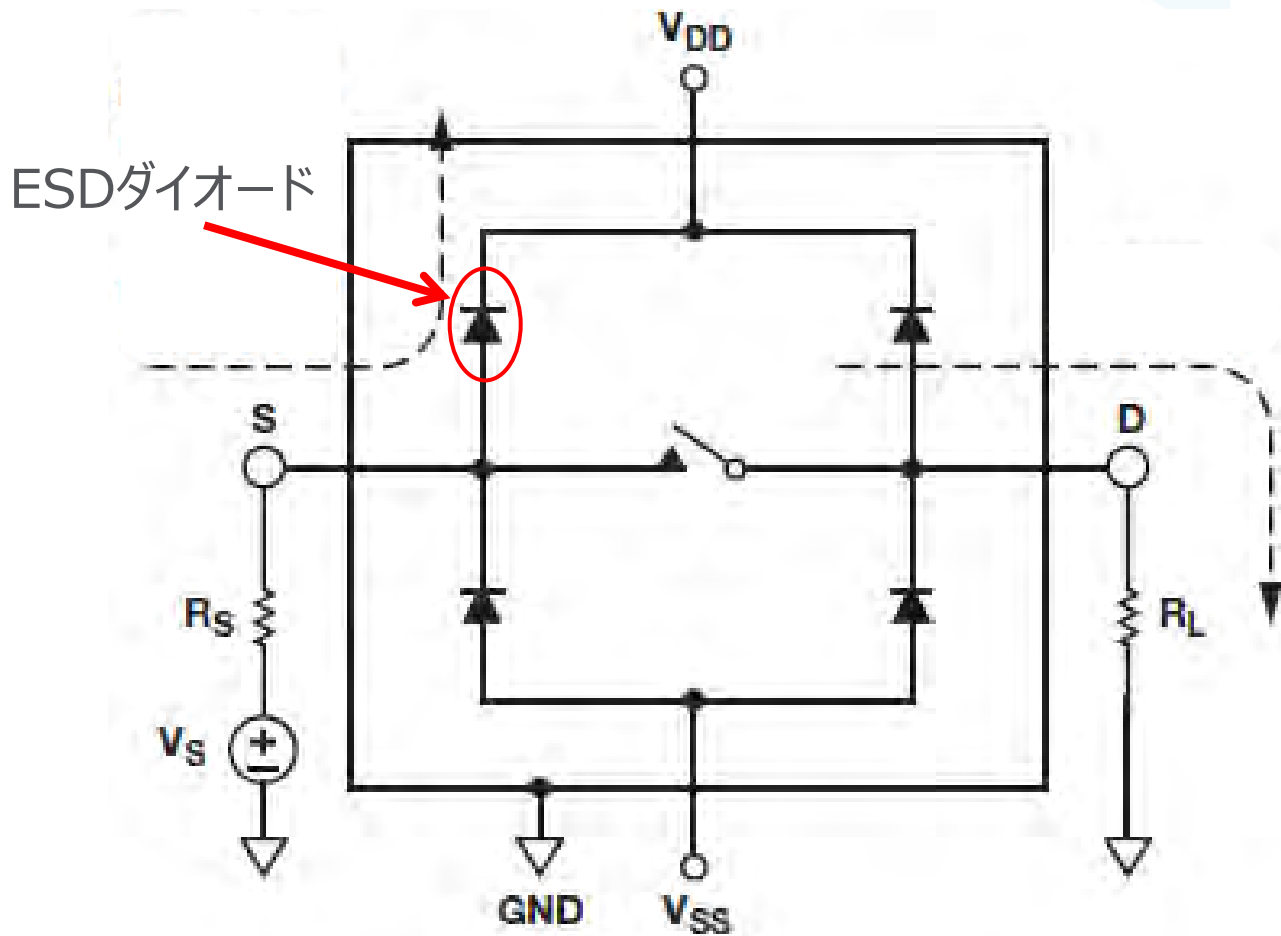


図 32 Silicon On Insulator (SOI) 構造ウエハ

バイポーラ素子でも同じ構造ができます。高速・広帯域の製品に使われています。

# 過電圧入力と電源（電源ON時の過電圧入力）



## 過電圧の影響

- 電源電圧以上の過電圧入力の電流は、ESD保護ダイオードを通して電源へ抜ける。
- ダイオード破壊の危険性
- 電源への電流経路は、ラッチアップの引き金となる場合がある
- 入力の過電圧信号は出力へリーク

図 33 入出力ESD保護ダイオード

# 過電圧入力と電源（電源OFF時の過電圧入力）

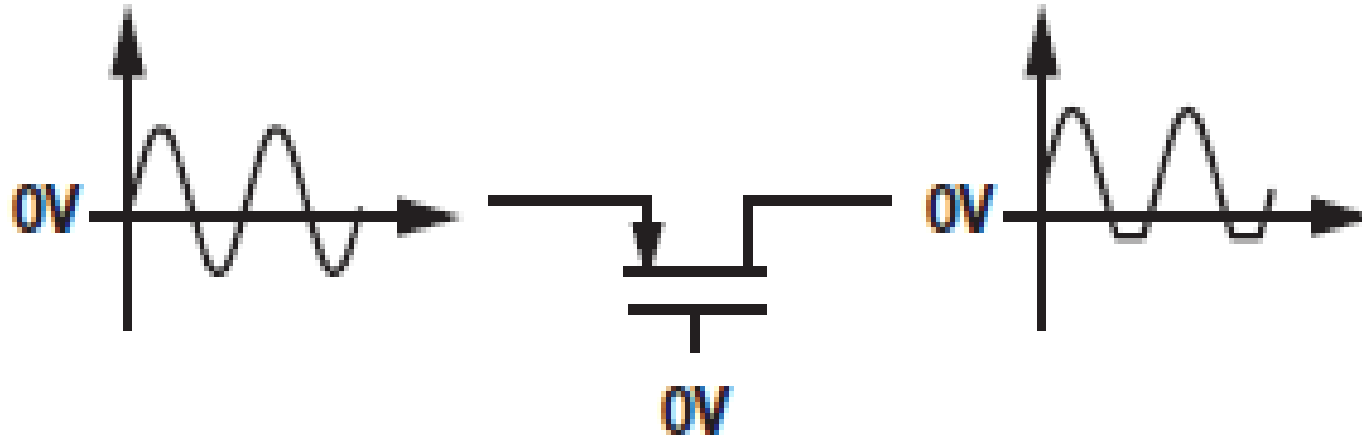


図 34 オフ時の信号経路

- PMOSはマイナスのGSでオンになります
- PMOSがONになれば信号はこのトランジスタを通過します

- もし電源がグランド短絡であれば、差動信号が内部のチャンネルを導通状態にします
- これにより信号がスイッチ素子を通過し、後段の回路に影響を与えます。
- もし電源がフローティング状態であれば、入力ダイオードを通して電源パスを通り内部回路の一部に印加されることとなります
- その結果スイッチやその他の回路がそのVDDからの電圧でパワーアップされる可能性があります

# 外部素子による保護

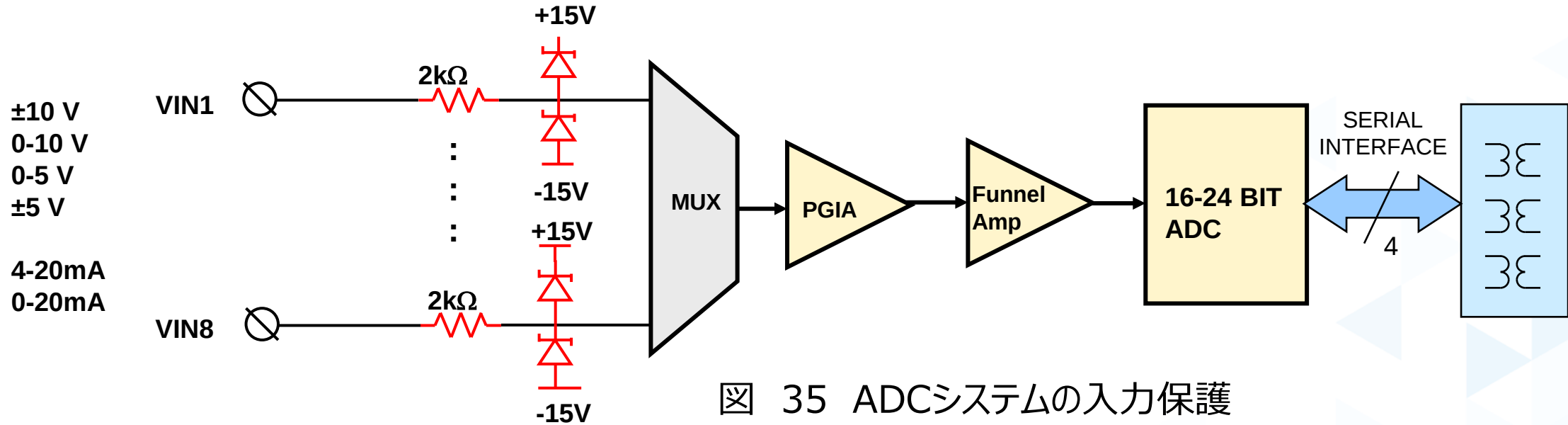


図 35 ADCシステムの入力保護

- シリーズ抵抗によるセトリング・タイムの増加、マルチプレクサのスキャン・スピードの低下
- ショットキー・ダイオードからのリーク電流による精度の低下
- ショットキー・ダイオードの接合容量（キャパシタ）の変化による信号の歪み これによるシステム・リニアリティの劣化
- この回路で電源OFF時の保護はできません

# 内蔵過電圧保護回路

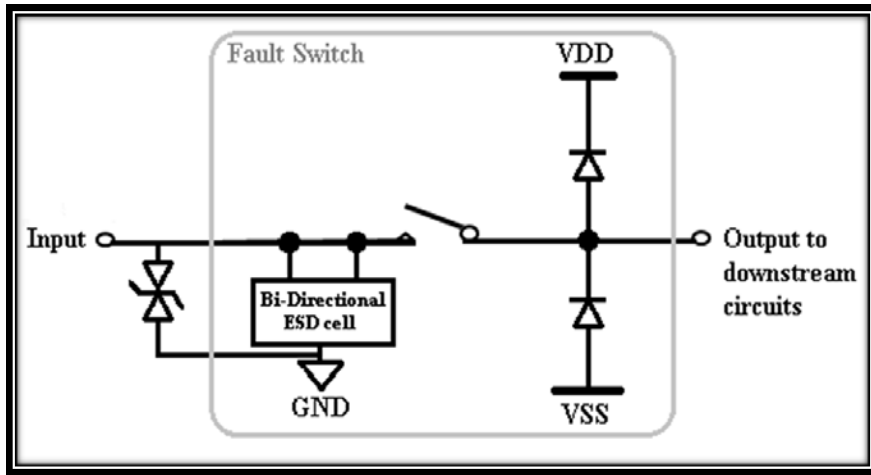


図 36

## 通常動作時

- 信号経路はON抵抗のみ
- 外部素子によるマルチプレックス・セトリング・タイムの影響はない

## 過電圧状態時

- 該当チャンネルはOFFになり、入力はHiZ
- スイッチングのタイミングへの影響はない

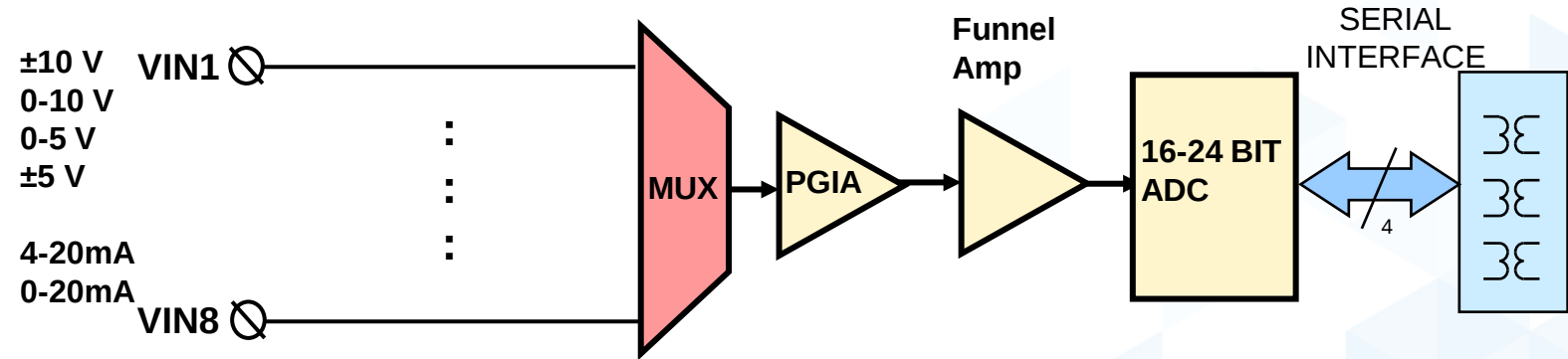


図 37 多ch アナログ入力システム

# 過電圧入力時の応答の例（電源ON時）

## 1. 通常動作

- $V_S = V_D < V_{DD}$

## 2. フォルト・コンディション

- $V_S = V_{DD} + 0.7V$
- 反応時間 = 500ns
- スイッチはOFF状態
- 出力電圧は負荷を通して放電、 $V_D$ は0Vに低下
- 電源OFF時もおなじです

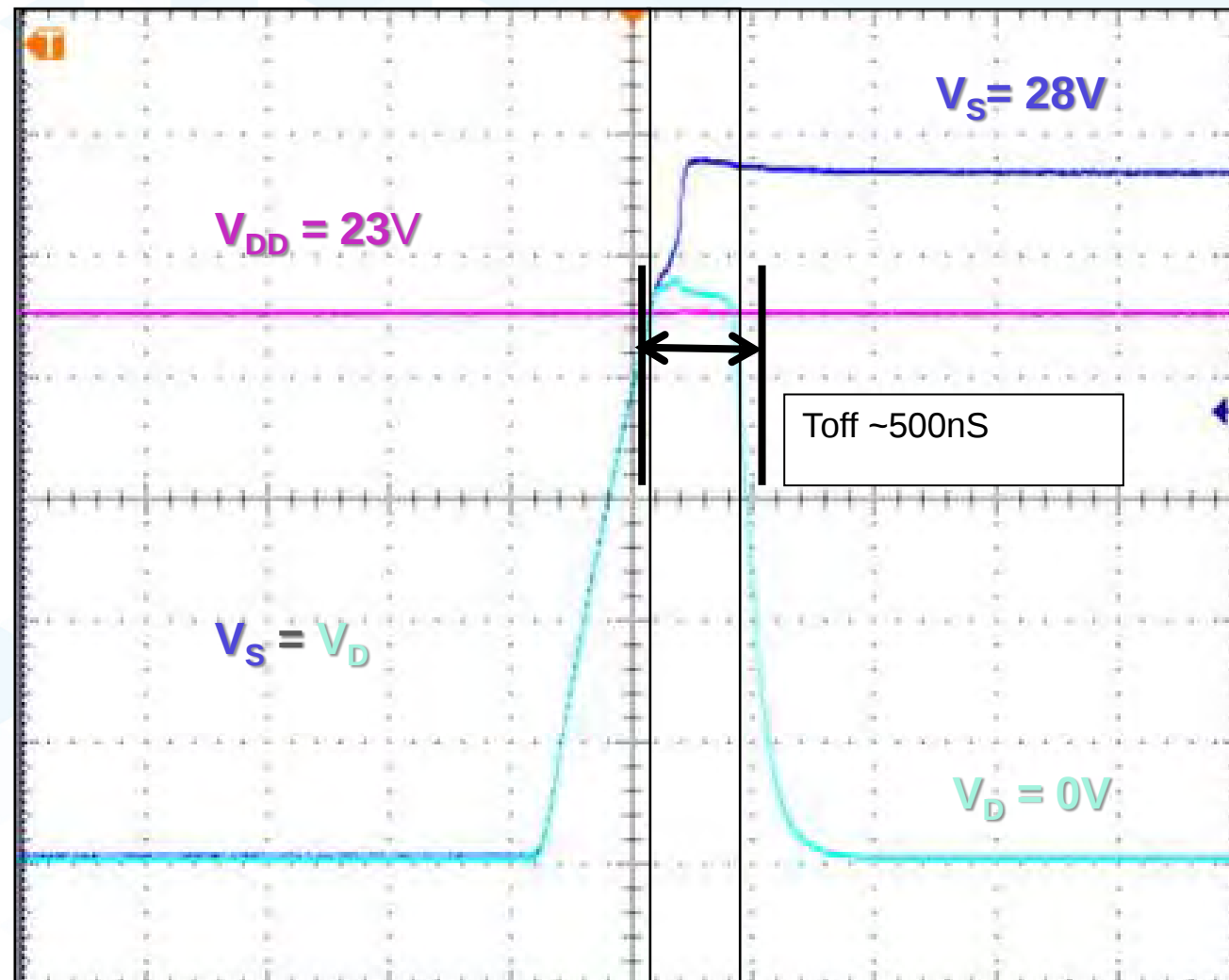


図 38

# 過電圧入力が起こりうる例

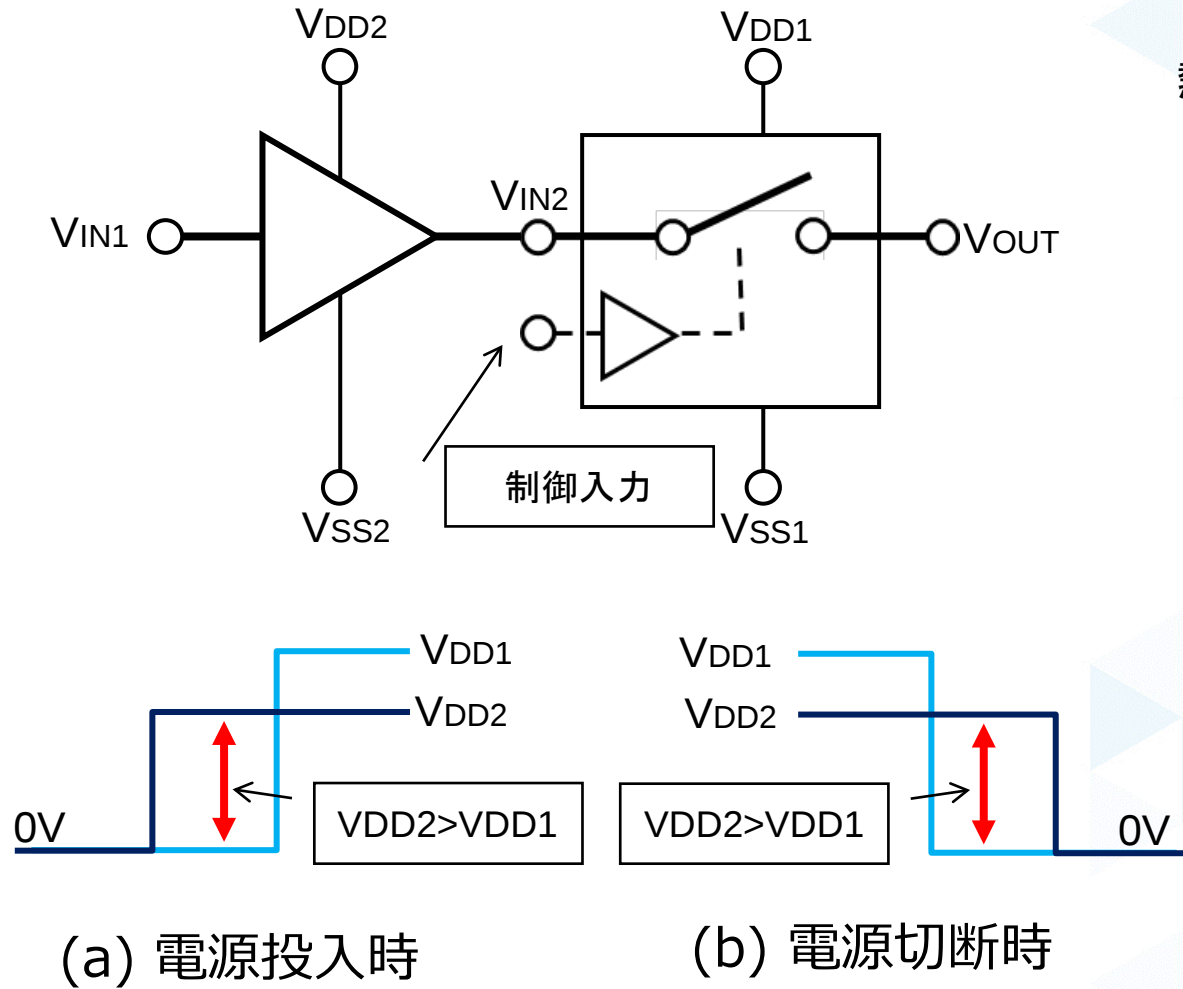


図 39 電源によるアンプ出力不安定

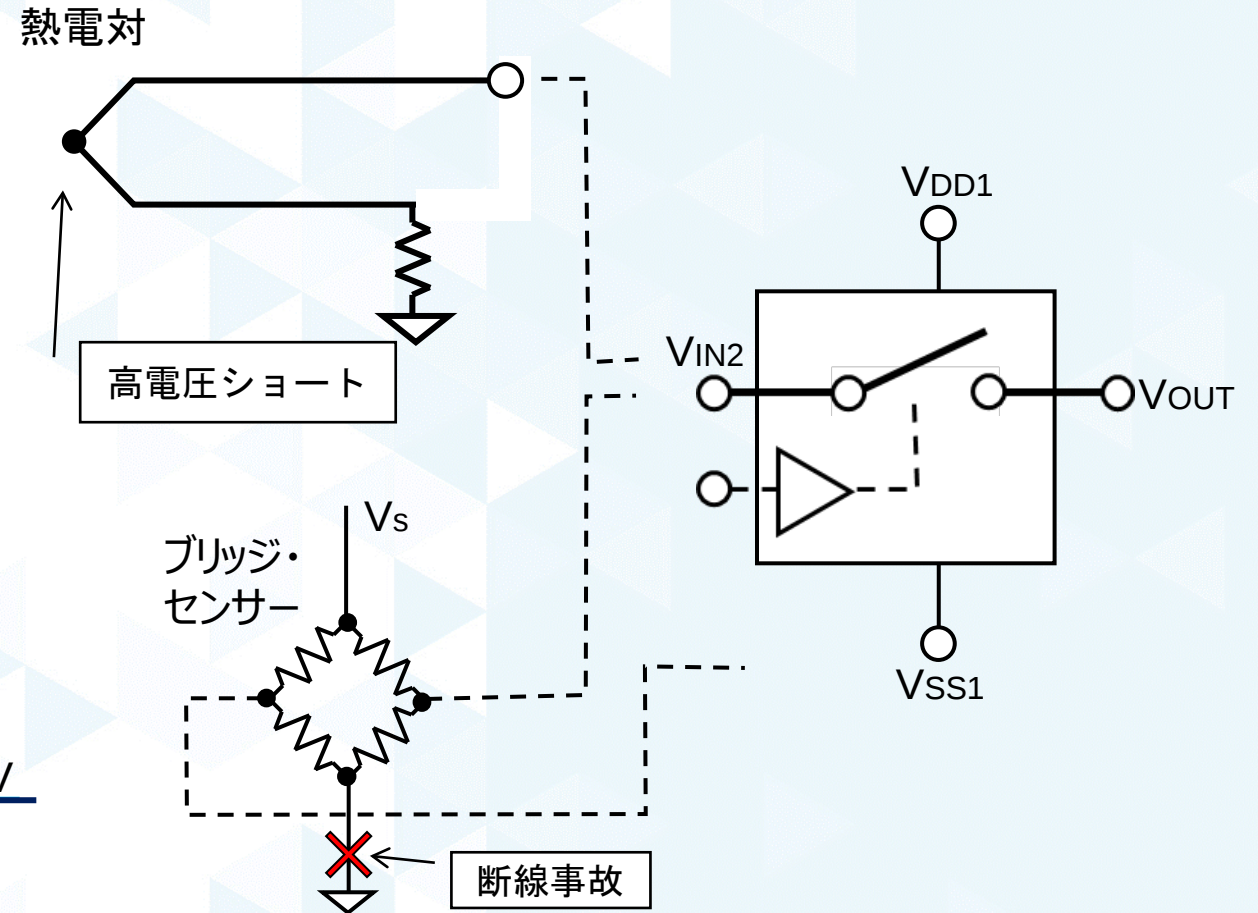


図 40 センサー入力の不具合

# ESD (Electro Static Discharge) の規格

## JEDECとIEC

表 4 規格の比較表

|                | JEDEC (JESD22-C101)                               | IEC (ESD)             |
|----------------|---------------------------------------------------|-----------------------|
| 規格の対象          | デバイス単体、全pin対象                                     | システム・レベル, 暴露しているノード対象 |
| テスト時のデバイス状態    | 電源は接続しない                                          | 電源印可、他の素子に接続          |
| 試験パスの判断基準      | 全pinが、テストパスした電圧 ( 250V, 500V, 1kV, 2kV, 4kV, 8kV) | 8kV                   |
| 電気ショックのライズ・タイム | 2-10ns *1                                         | 0.7-1.0ns             |
| 印可側ソース・キャパシタ   | 100pF *1                                          | 150pF                 |
| 印可側ソース抵抗       | 1.5kΩ *1                                          | 330Ω                  |
| 各極性でのショック印可回数  | 5回                                                | 3回 ただし 1 回/秒          |

\* 1 : Human Body Modelの場合

# 3種類のデバイス単体ESDモデル (JEDEC)

表 5 ESD試験モデル (JEDEC)

|                 | HBM<br>(Human<br>Body)   | MM<br>(Machine<br>Model) | CDM<br>(Charge<br>Device<br>Model) |
|-----------------|--------------------------|--------------------------|------------------------------------|
| 想定              | 人体の接触                    | 機械、インサータなど               | パッケージでの充放電                         |
| RとC             | 1.5k $\Omega$ 、<br>100pF | 0 $\Omega$ 、200pF        | 1 $\Omega$ 、<br>1-20pF             |
| 立ち上がり<br>時間     | <10nS<br>6-9nS Typ       | 14nS                     | 0.4nS                              |
| 400V時の<br>ピーク電流 | 0.27A                    | 5.8A                     | 2.1A                               |
| 衝撃のエネ<br>ルギ     | 中くらい                     | 高                        | 低                                  |
| パッケージ<br>依存性    | 無し                       | 無し                       | 有り                                 |

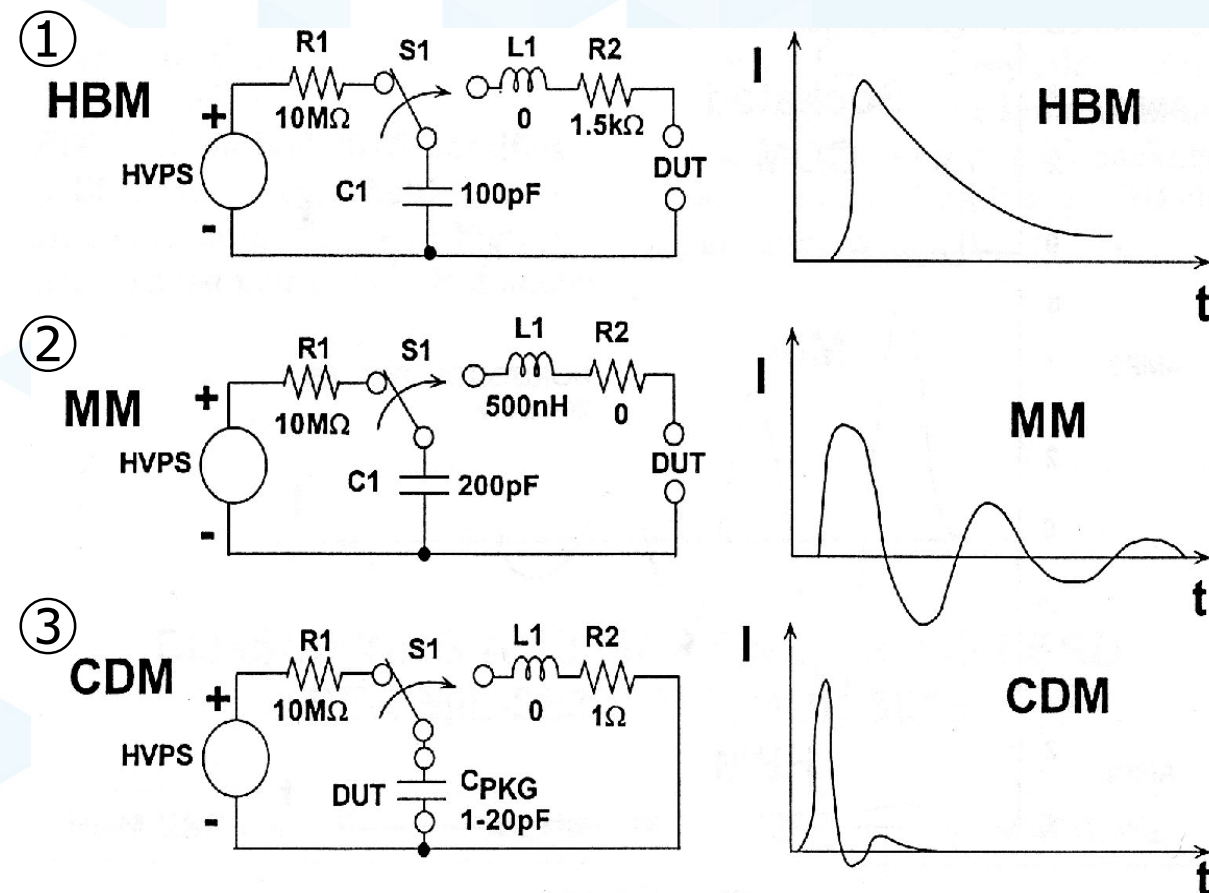


図 41 ESD試験の回路 (JEDEC)

# 時間・電流のスケールを合わせたESDショックの波形

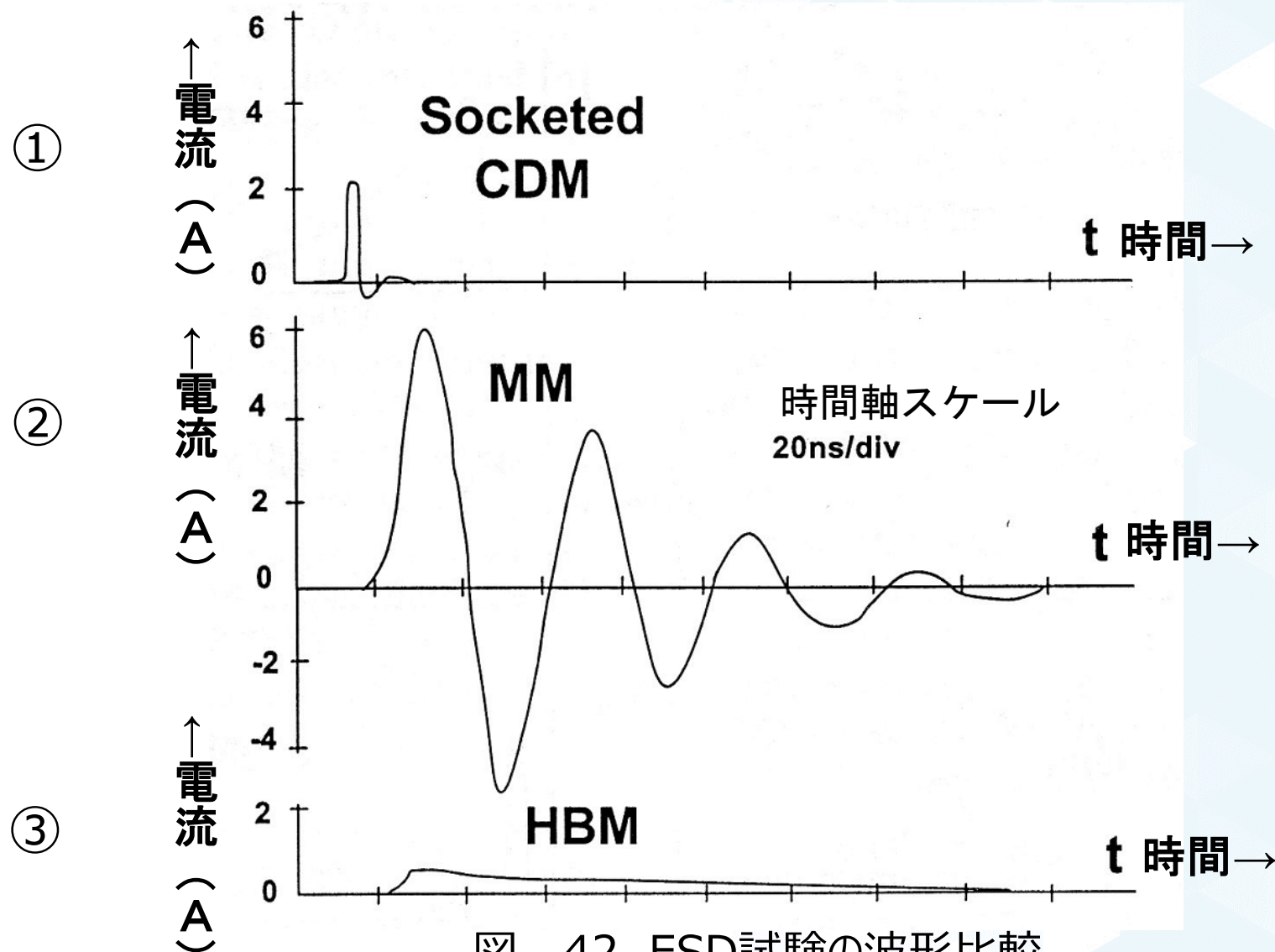


図 42 ESD試験の波形比較

# IEC (IEC61000-4-x) のテスト規格 (参考資料)

- ESDに関する3種類の規格 (システム・レベル耐量)
  1. IEC-61000-4-2 (Electrical Static Discharge, ESD)
  2. IEC-61000-4-4 (高速トランジェント, Electro Fast Transient: EFT)
  3. IEC-61000-4-5 (サージ・ショック)

表 6 ESD試験のカテゴリー (IEC)

|    | ESD (Contact／Air)        | EFT(高速トランジェント)                        | Surge                      |
|----|--------------------------|---------------------------------------|----------------------------|
| 概要 | 高速で高電圧印可信号 低エネルギーの電気ショック | 繰り返し印可される、中くらいの印可電圧 中くらいのエネルギーの電気ショック | 低速で中くらいの印可信号、高エネルギーの電気ショック |

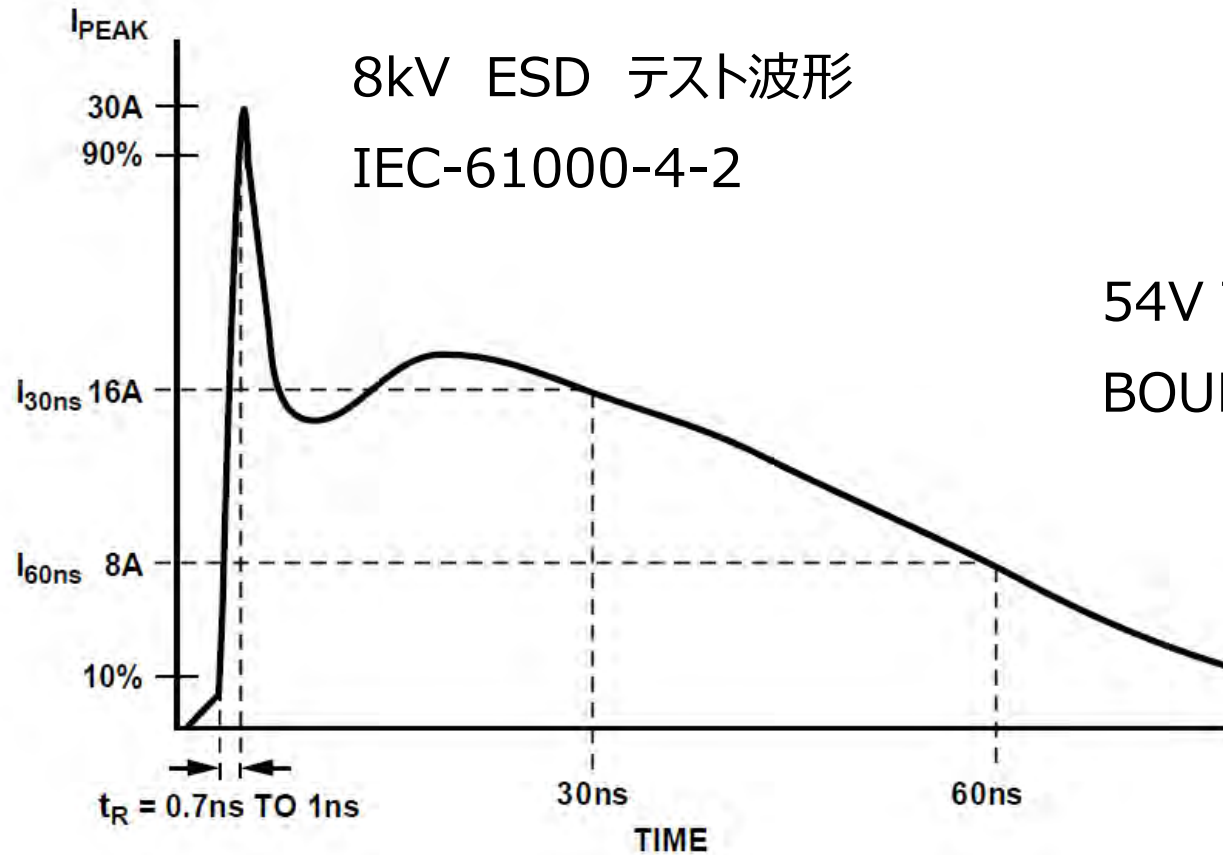


図 43 ESD試験波形

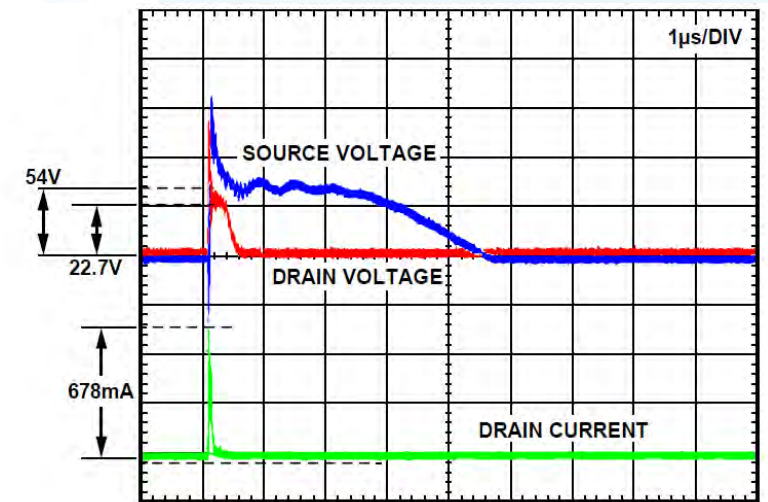
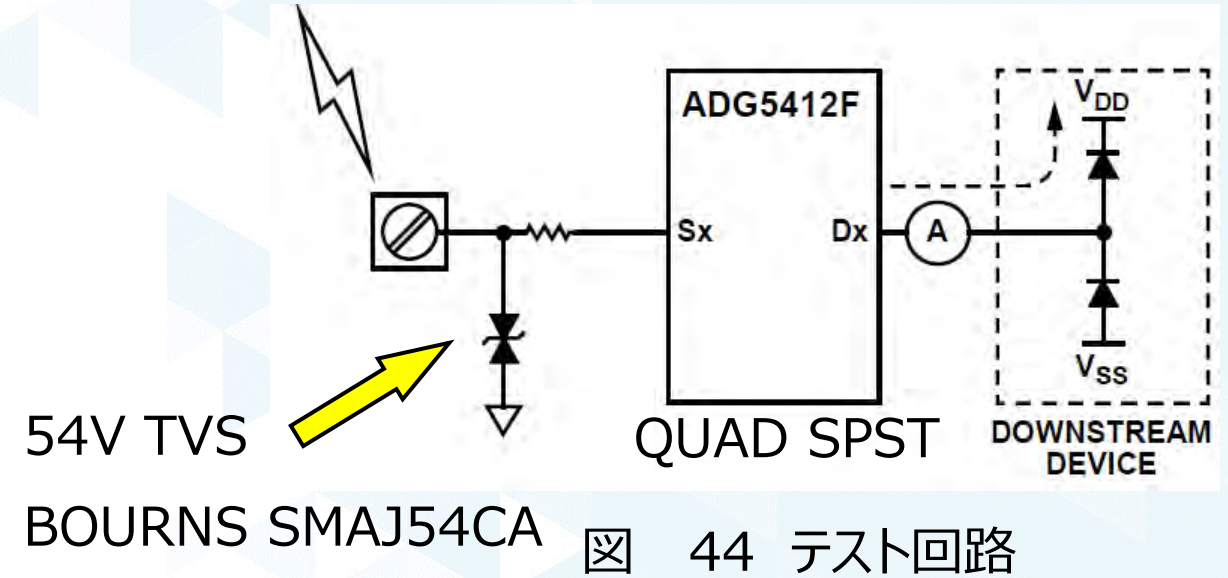


図 45 実波形

# IEC-61000-4-4 (EFT) テスト (参考資料)

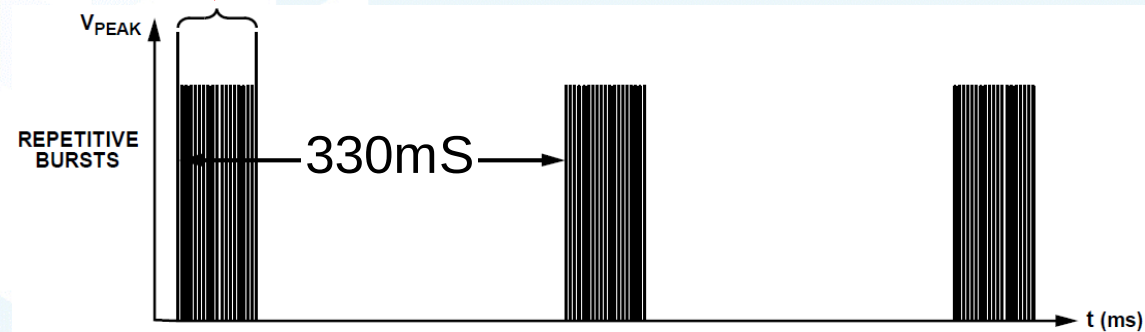
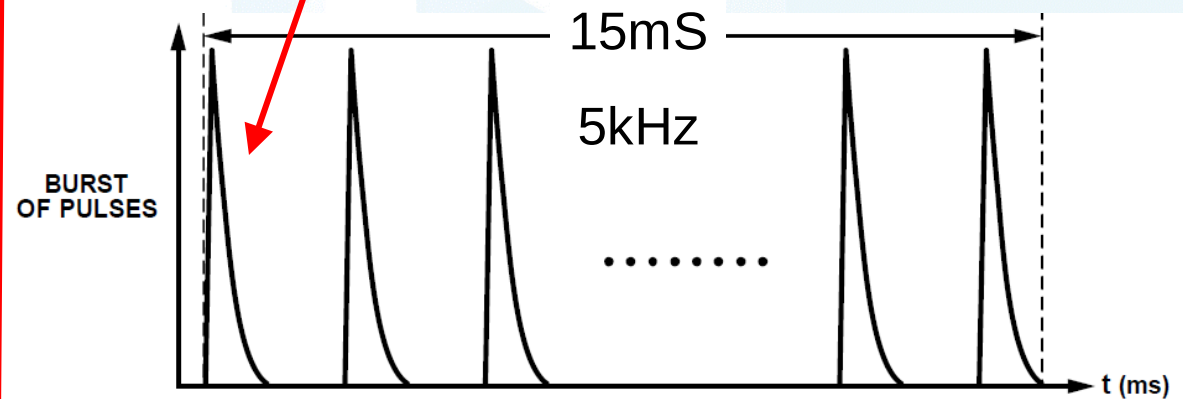
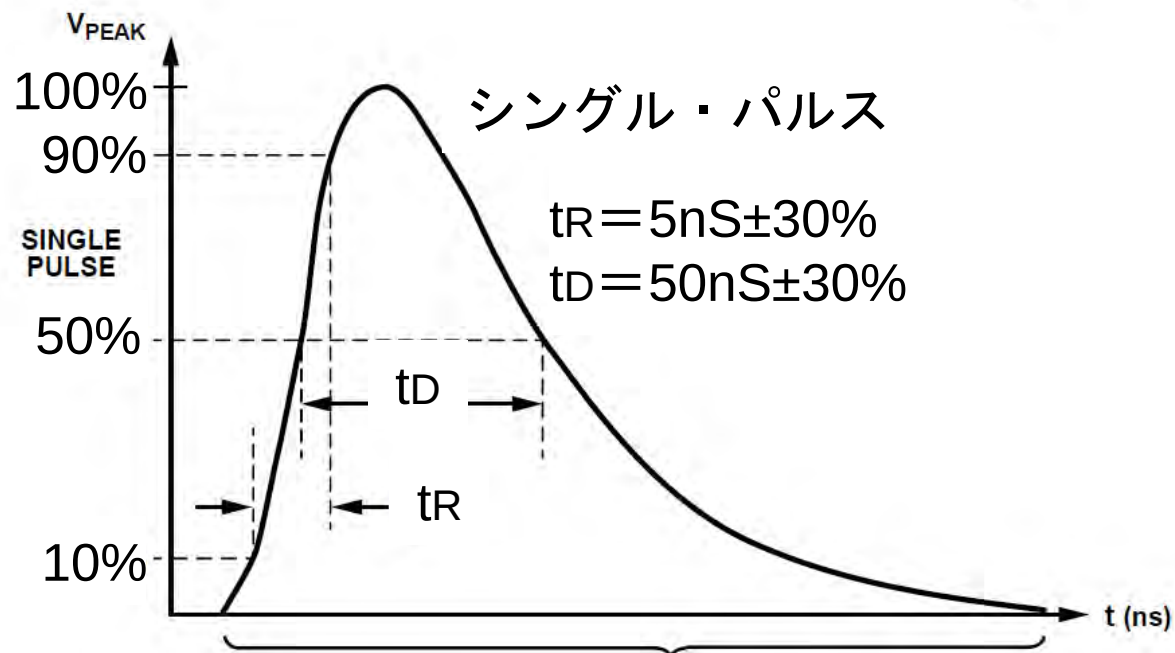


図 46 ESD試験 (EFT) 方法

# IEC-61000-4-5 (Surge) テスト (参考資料)

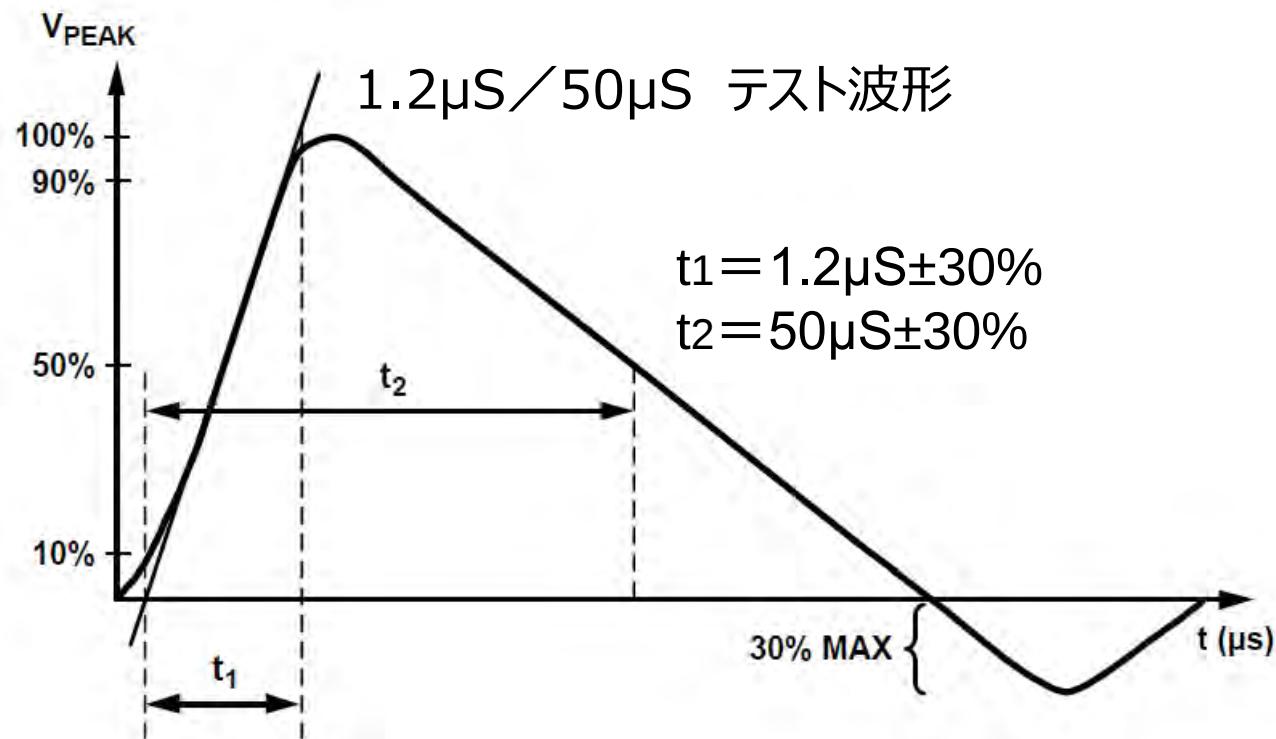


図 47 サージ試験波形

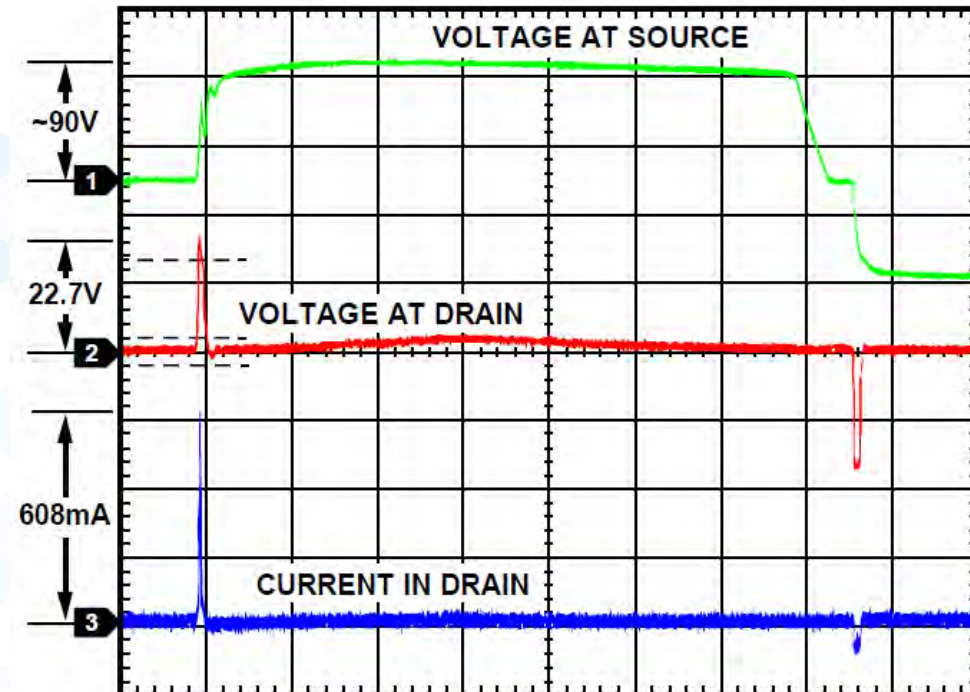


図 48 実波形

- 材質の違いによる静電気電圧の代表例
  1. カーペットの上を歩く人： 1kV～1.5kV
  2. ビニール塗料の床の上を歩く人： 150V～250V
  3. ポリエチレンの袋を扱う人： 1kV～1.2kV
  4. プラスチックのケースに入ったマニュアルを読む人： 400V～600V
  5. 接地された半導体試験装置のハンドラーのガイド： 50V～500V

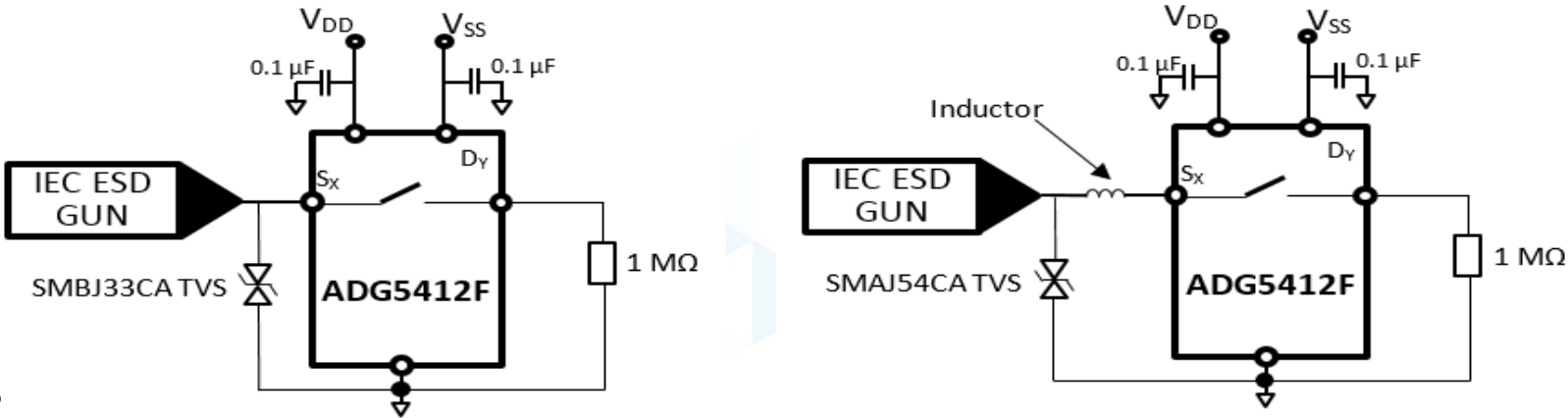
60% RH 条件

# IEC ESD 試験結果例 (参考資料)

表 7 試験結果例

| Pass Level    | Details                             |
|---------------|-------------------------------------|
| +0.5kV/-1.5kV | 外付け保護回路無し                           |
| ±8kV          | 33V TVS (FAIRCHILD SMBJ33CA 双方向TVS) |
| ±6kV          | 54V TVS (BOURNS SMAJ54CA 双方向TVS)    |
| ±8kV          | 54V TVS + 直列接続30Ω抵抗あるいは15nHインダクタ    |

表 8

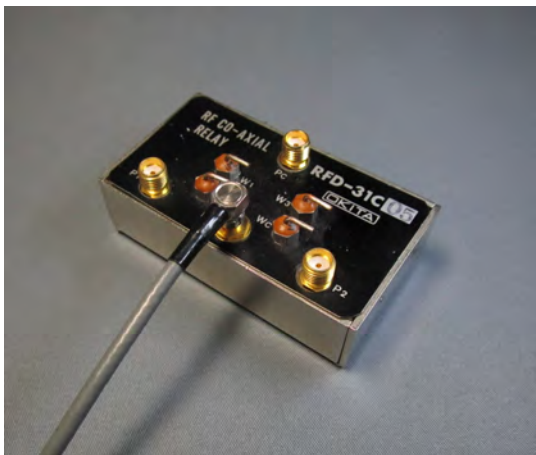


| ESD Voltage Level | HBM Peak Current | IEC Peak Current | HBM Rise Time | IEC Rise Time |
|-------------------|------------------|------------------|---------------|---------------|
| 8kV               | 5.33 A           | 30 A             | 20nS          | 1ns           |

# 4. マイクロ・マシン・リレー シリコン上のメカニカル接点

# 高周波スイッチ (リレー)

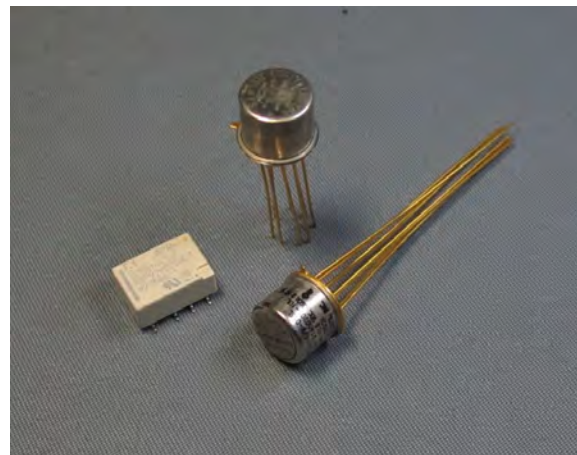
図48 COAX Relay



0Hz ~ 100GHz+  
高リニアリティ  
低オン抵抗  
ESD

大型パッケージ  
非常に高価  
駆動電力  
サイクル寿命: 500万回  
低速スイッチング

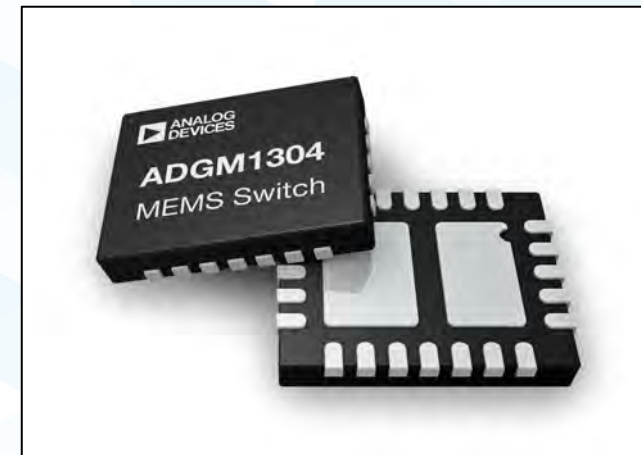
図49 EMR/Reed



0Hz(DC) から動作  
低オン抵抗  
リニアリティ  
ESD

大型 >100mm<sup>2</sup>  
帯域 <10GHz  
駆動電力  
サイクル寿命: <1億回 (EMRs)

図50 RF MEMS Relay



小型パッケージ  
0Hz to 100GHz+  
高リニアリティ  
低消費電力  
動作サイクル > 10億回  
オン抵抗 < 2ohms  
スイッチングタイム: 30usec

ホットスイッチ

# アナログ・デバイセズ社のMEMSスイッチ

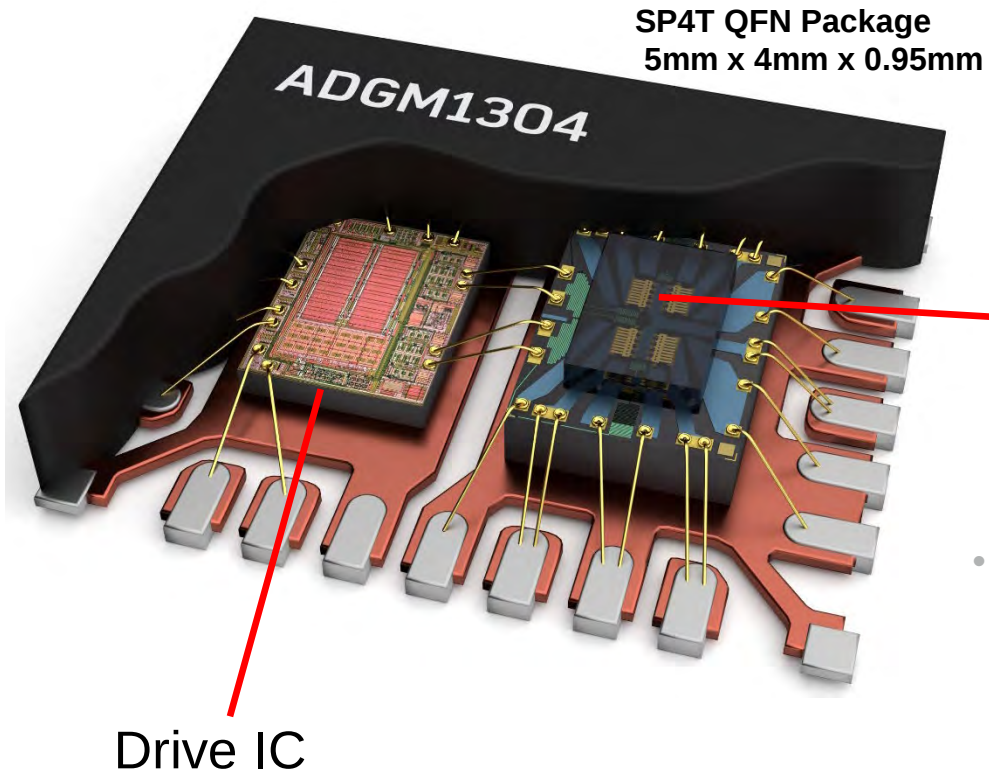


図 51 ADGM1304 内部構造

## カンチレバー接点の構造

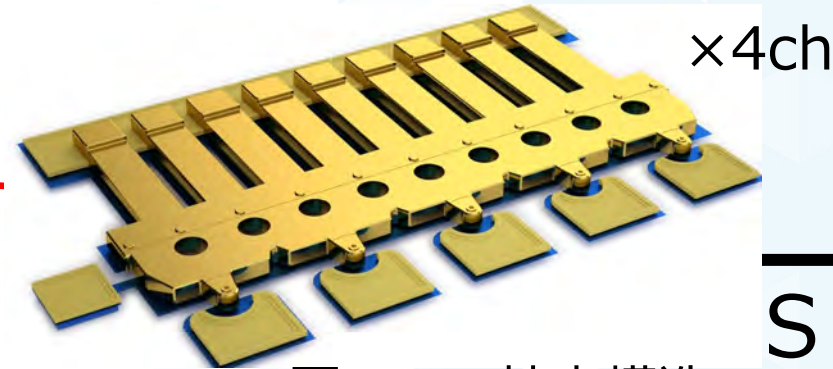


図 52 接点構造

### 特長:

- シリコンキャップのハーメチック・シール
- 金カンチレバー
- 静電気による駆動
- 高電圧ドライバーチップを同封
- サイクル寿命 10億回以上
- $<2 \Omega$  Ron



## ADI MEMS Switch

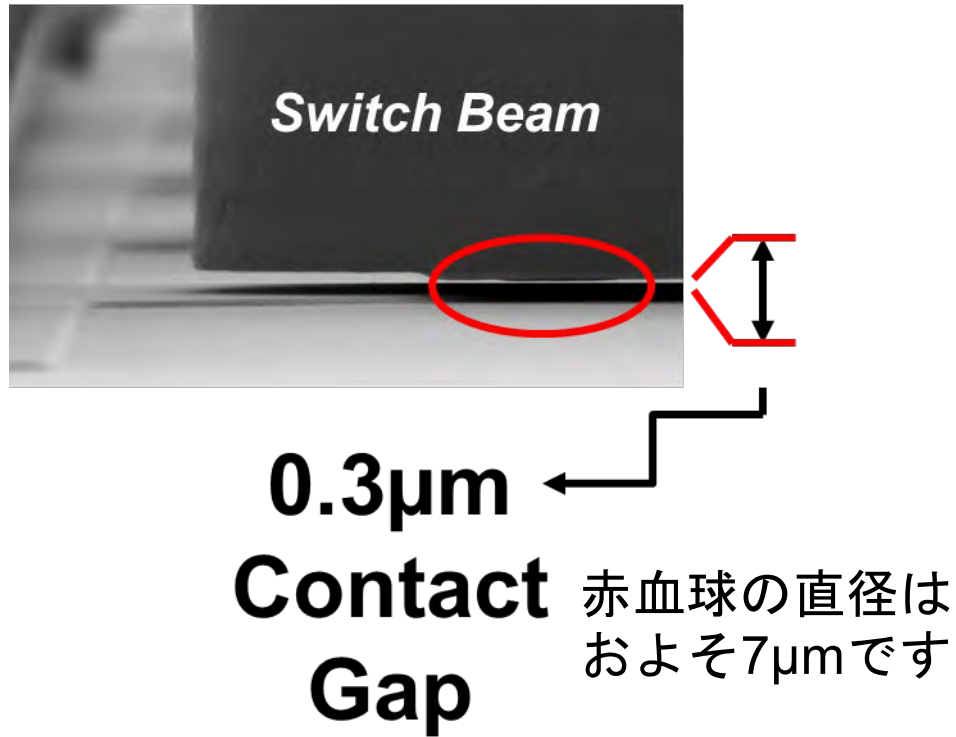


図 53 接点ギャップの写真

## ADGM1304 RF Characteristics

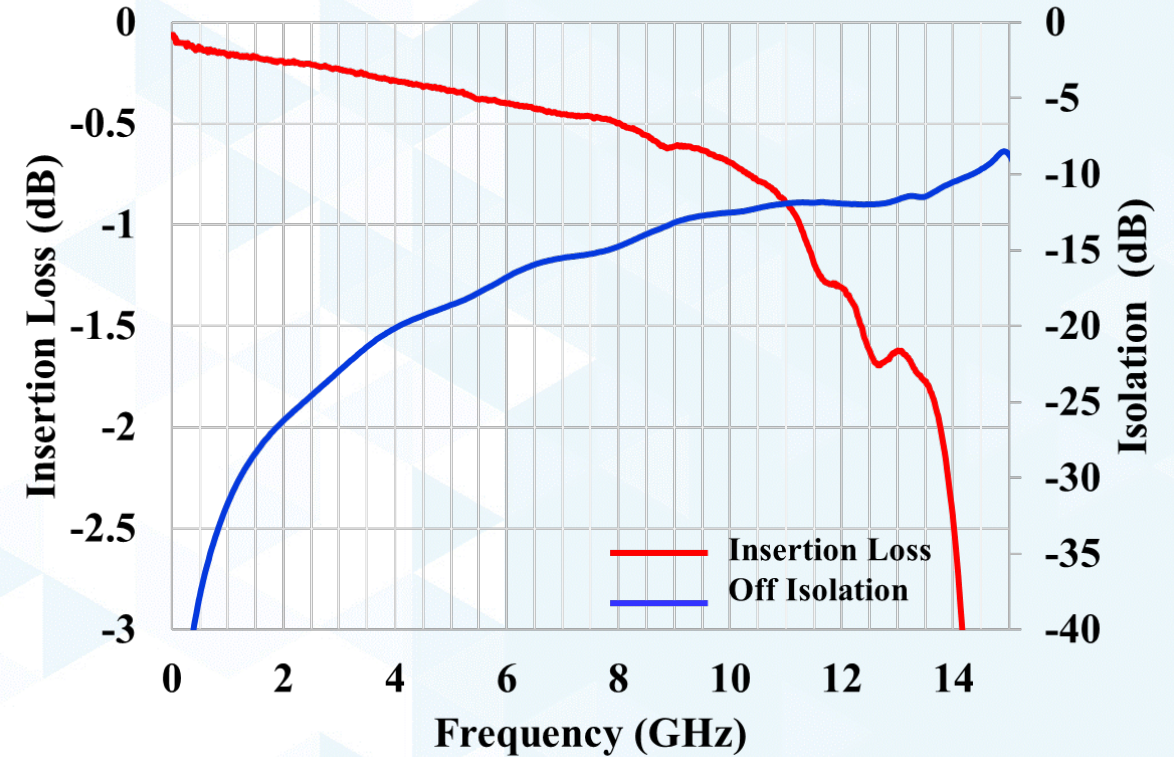


図 54 挿入損失とアイソレーション

# MEMSスイッチの設定にもESD耐量があります

|                                                 |         |
|-------------------------------------------------|---------|
| Electrostatic Discharge (ESD)                   |         |
| Human Body Model (HBM)                          |         |
| RF1 to RF4 and RFC                              | 5 kV    |
| All Other Pins                                  | 2.5 kV  |
| Field Induced Charged Device Model <sup>5</sup> |         |
| All Pins                                        | 1.25 kV |

- メカニカル・コンタクトの入出力端子には、ESD保護素子が入っています。
- 制御端子は通常の半導体素子と同じようにESD素子が入っています。

表 9 ADGM1304の定格（抜粋）

# 5. まとめ

# 半導体アナログ・スイッチ まとめ (I)

## 1. 個別スイッチが使用される場面

- 診断回路やキャリブレーション回路などのように、常時使わない信号パスをを作らなければならない場合。
- 時定数やフィルター回路で、高性能、例えば低ON抵抗や低リークなどを必要とする場合。
- RF信号に対して高アイソレーションが必要で、複数のスイッチの組み合わせが必要な場合。

# 半導体アナログ・スイッチ まとめ (II)

## 2. 電子部品としてのアナログ・スイッチ

- 特性、スペックのトレード・オフ
- 回路設計上の基本部品（ねじ、くぎ）としての役割
- 電源の必要性
- 他の回路とのアイソレーション（メカ接点と電子接点の違い）
- ESD保護