

超高速コンパレータと戯れつつレベル変換回路を思いつく

著者：石井 聡

はじめに

モノの仕込みと醸造には時間がかかります…。その「とあるプロジェクト」の仕込みを行うために、超高速 PECL (Positive Emitter-Coupled Logic) 出力のコンパレータ **ADCM553** の特性を実験してみました。この技術ノートでは、高速な回路での性能の出し方や測定の方法、そしてコンパレータの原始回路である差動回路を用いて、レベル変換回路を実現してみた話題を説明していきたいと思います。

データシートどおりの波形は得られるのか

ADCM553 は図 1 のような出力特性になっています。データシート・スペックでは $t_r = 440\text{ps}$, $t_f = 410\text{ps}$ です。この波形、ちゃんと測定で得られるのでしょうか？まずは ADCMP553 についてご紹介しておきましょう！

ADCM553: 高速コンパレータ、8 ピン MSOP パッケージ、単電源、PECL

ADCM551/ADCM552/ADCM553 は、アナログ・デバイス独自の XFCB プロセスで製造された単電源の高速コンパレータです。750ps の伝播遅延と 150ps 未満のオーバードライブ分散を特長としています。異なるオーバードライブ条件下での伝播遅延の差を示す伝播遅延分散は、高速コンパレータの特に重要な特性です。ADCM552 には、プログラマブル・ヒステリシス・ピンが別途用意されています。

差動の入力段により、 -0.2V から $V_{CCI} - 2.0\text{V}$ までの同相電圧レンジで一定の伝播遅延が得られます。出力は、PECL 10K および 10KH ロジック・ファミリーと完全に互換のコンプリメンタリー・デジタル信号です。出力は、 50Ω で終端する伝送ラインを $V_{CCO} - 2\text{V}$ までの電圧レンジで直接駆動するために十分な駆動電流を提供します。

正しい波形を得るための組み立て

その日はとても寒い日でした。会社のある竹芝桟橋付近から浜松町駅までは、「『もつなべ』を食べにいくの」、という一団と一緒にでしたが、私は車で別れて、自宅へのいつもの帰路に向かったのです。

さて、早速(?) ではありますが、ADCM553 実験回路の組み立てのようすを図 2 に示します。下のボードは何でもよかったのですが、それまで作っていた(関連する)基板を活用しました。この上に変換基板を載せて、ADCM553 を実装しました。

拡大したようすも図 3 に示します。グラウンドは「今ひとつ」な配線ですが…。

測定回路はデータシートの Fig. 24 (図 4 に示します) と等価なものですが、この 100Ω & V_{CCO} マイナス 2V の部分は、抵抗 2

個で V_{CC} と GND にプルアップ R_1 /プルダウン R_2 し、等価的に Fig. 24 の抵抗値と電圧をつくりました。式では、

$$R_T = 100 = \frac{R_1 R_2}{R_1 + R_2}$$

$$V_T = V_{CCO} - 2 = \frac{R_2}{R_1 + R_2} V_{CC}$$

となるように R_1 と R_2 を設定します。これはテブナンの定理を基本とした考え方です。

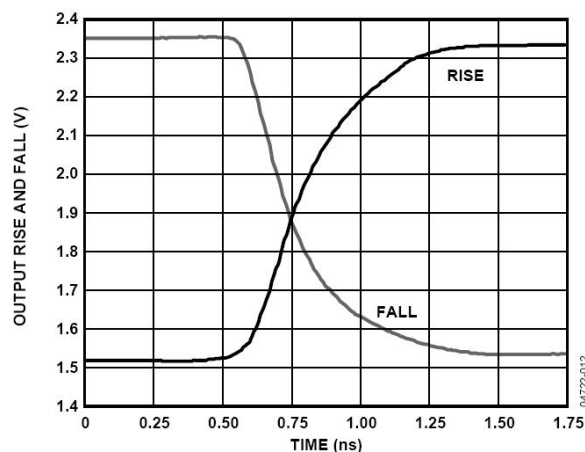


Figure 9. Rise and Fall of Outputs vs. Time

図 1. ADCMP553 の出力変化特性

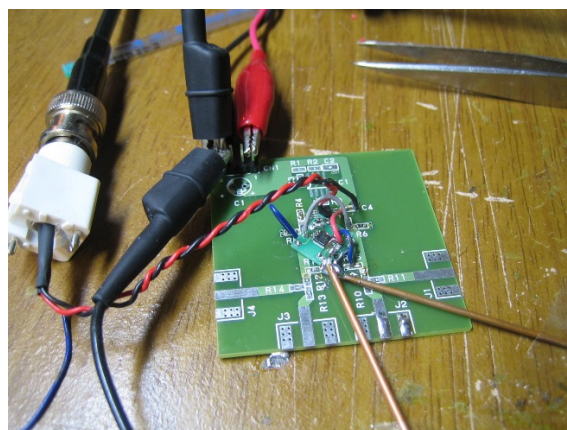


図 2. ADCMP553 実験回路の組み立てのようす

図 2 の左側に見える白い BNC コネクタはパルスジェネレータからの経路です。BNC コネクタから ADCMP553 へはインピーダン

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2016 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ電子回路技術ノート

TNJ-025

スが大きく暴れないように、良く擦（よ）ったツイストペアを
経由させています。パルスジェネレータ（BNC コネクタの反対
側）からは 50Ω の同軸ケーブルで、ツイストペア（特性インピ
ーダンスは 100Ω より少し大きいと推測されます）とはインピ
ーダンスの不整合がありますが、ここでは目をつぶっています
（汗）。

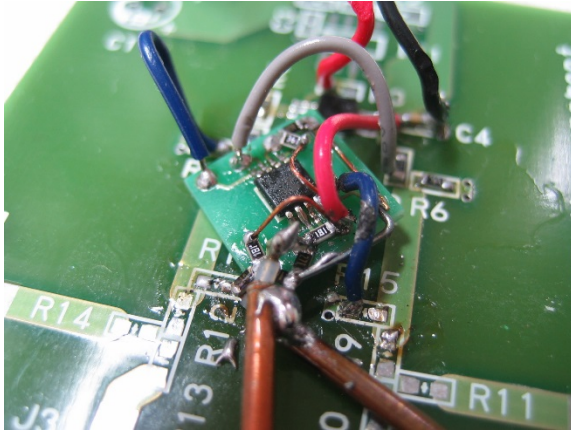


図 3. 実験回路の組み立てのようすを拡大

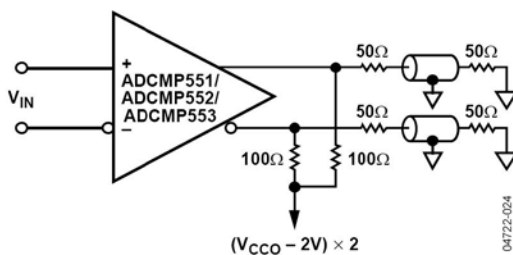


Figure 24. How to Interface a PECL Output to an Instrument with a 50Ω to Ground Input

図 4. ADCMP553 のデータシートの Fig. 24 が
今回の測定回路の基本

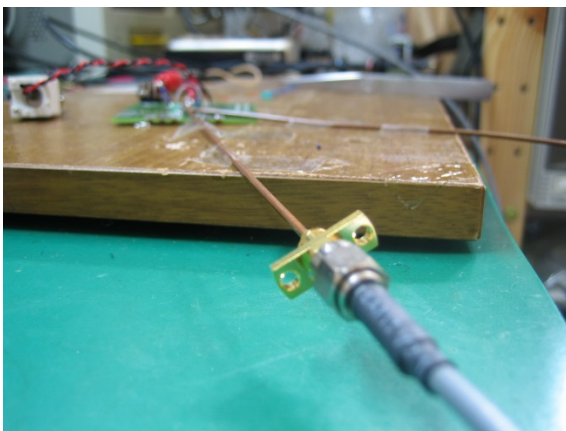


図 5. セミリジッド・ケーブルの接続のようすは
「絶景かな、絶景かな！（笑）」

正しい波形を得るための測定

図 4 のなかで、出力（ケーブル左側）の 50Ω は実装し、ケーブ
ル右側の 50Ω はオシロの入力抵抗で対応しました。とはいえオ
シロは AC 入力にして交流結合として受けました。

測定は（上記の「オシロの入力抵抗で対応」という意味も含め
て）オシロを 50Ω 入力にして、セミリジッド・ケーブルでつな
いでいます。そのセミリジッド・ケーブルの接続のようす（全
景）も図 5 にお見せしておきます。

このセミリジッド・ケーブルは SMA コネクタとなっており、
SMA コネクタのケーブル、さらに SMA-BNC 変換コネクタでオ
シロと接続します。図 5 の写真を見た知人の方から「セミリジ
ットが出てくるとは本格的ですね」というコメントをいただき
ました。この技術ノートをご覧の皆様からも「絶景だね！」と
言っていたけるとうれしいです（冗談です…笑）。

セミリジッド・ケーブルは、同軸ケーブル接続などで動いて半
田が取れないように、セロハンテープで止めています（単純で
すがとても大事です！！）。

信号源は、繰り返しはそれほど速くなくてもいいので、max
 250MHz のパルスジェネレータを用いています。これまで使っ
ていた低速なパルスジェネレータから、この高速なものにグ
レードアップしました！といっても 250MHz くらいになると（古
いので）整形した矩形波形がちゃんと出ないのでありました…
（汗）。まあ、それでもこの波形観測は ADCMP553 の出力側を
見るわけですし、「コンパレータ」ですから、入力が少し鈍っ
ていても、正しく出力が得られることになるわけでした。

得られた波形のようす

さて、実際の測定波形を図 6 にお見せしましょう。オシロは帯
域幅 1GHz のもので、これまで説明したように 50Ω AC 入力で
観測しています。

デルタマーカは 700ps を示しており、ほぼデータシートどお
りの波形が観測されていることが分かります。オシロの立ち上
がりは 350ps 程度と思われますので、実際はもうちょっと高速に
立ち上がっていると思われます。

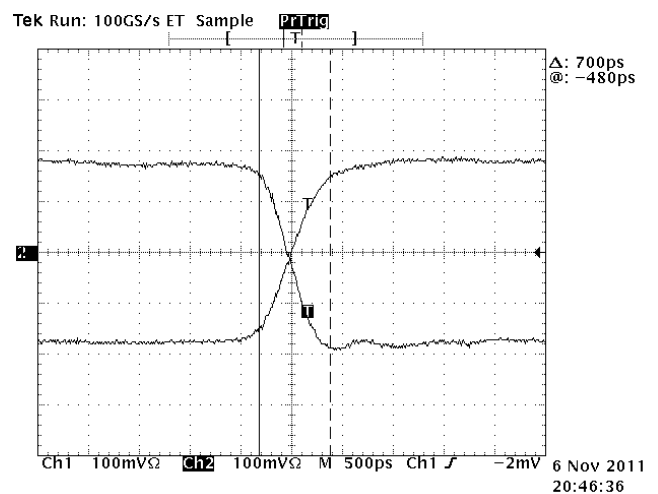


図 6. これまでの組み立て・測定方法を用いて得られた波形
（ $500\text{ps}/\text{Div}$ ）

アナログ電子回路技術ノート

TNJ-025

パッシブプローブではどんなふうに見える？

図7と図8は片一方(CH2)を普通のパッシブプローブ P6139A に変更して、何も考えずにテキトーに接続して、観測したのですが、まったく原型の波形をとどめていないことが分かります(図7 = 500ps/div 図8 = 2ns/div)。

このように適切なツール(プローブ)を適切に接続して観測することが、高速な信号を測定する場合にはとても重要であることが分かります。

高速コンパレータから気がついた「そうだ、これを使えばレベル変換回路ができる！」

その日はほのかに暖かい日でした。会社のある竹芝栈橋付近から浜松町駅までは、「『イタリアン』を食べにいくの」、という一団と一緒にでしたが、私は駅で別れて、自宅へのいつもの帰路に向かったのです(笑)。

以降、何の話題かは、前半のようにには分からないので、「早速」というわけに行きません。そこで、まずはその背景からお話していきます。

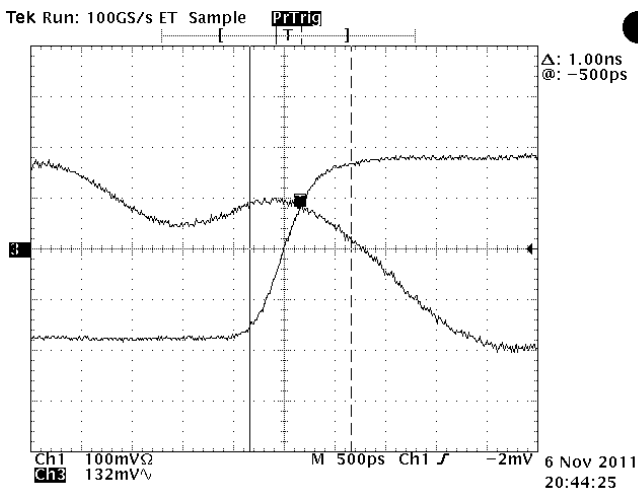


図 7. CH2 をパッシブプローブに変えて観測してみた (500psec/Div)

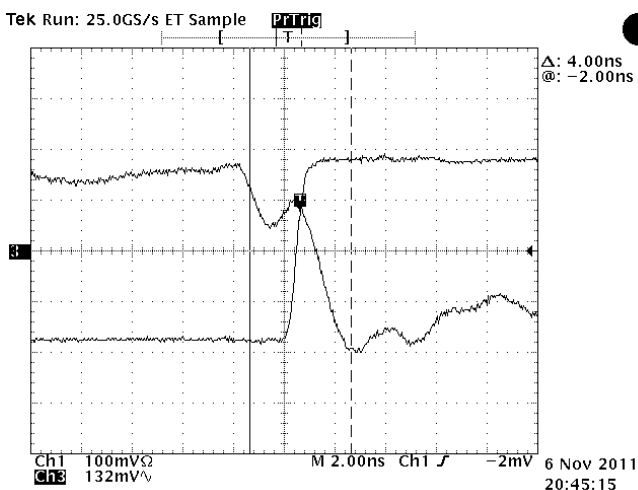


図 8. CH2 をパッシブプローブに変えて観測してみた (2nsec/Div)

最近の異電源電圧混在でのデジタル信号のスレッシュホールドの問題

とある日、代理店の方から「1.8V系と5V系の(昇圧)インターフェースを取りたいのが、10 円前後のローコストで出来る方法はあるのか」という質問をいただきました。

最近では異電源電圧が混在するシステムが多くなってきており、たとえば TTL 互換 CMOS を 5V で動作させたときの H レベル・スレッシュホールド電圧 V_{IH} は、東芝 TC74VHCT00AFT を例にすると、最小で $V_{IH} = 2.0V$ です。3.3V 電源系のロジック IC とはインターフェースは可能ですが、さすがに 1.8V 系では不可能なことが分かります。

この問題に対応するには、ADI の製品としても **レベル変換器 (Level Translator)** というカテゴリがあり、これを活用することも出来ます。

以下の URL で ADI の **Level Translator 製品群** をご確認くださいことができます。

非常に高性能なレベル変換 IC (Level Translators)、それも双方向で変換できるものが用意されていますので、便利にご活用いただけるものと思います。

しかしコストが厳しいのだった…

しかし今回の質問である「10 円前後のローコスト」となると大分厳しく、他のソリューションを考える必要も出てきます。幸い、速度もそれほど高速でもないことから、これまで検討してきた高速コンパレータの回路実験から「そうだ、これを使えばレベル変換回路ができるぞ」と気がつきました。というところから、トランジスタを用いたディスクリート・ソリューションを考えてみました。

このトランジスタ回路を、コンパレータのオリジナル回路である「差動回路」を用いて設計してみました。それを ADIsimPE で回路図にしてみたものが図 9 になります。

使用したトランジスタはいくら低速でも良いとはいえ、ある程度高速なものが必要になりますので、ここでは ADIsimPE 内でモデルが登録されていた BF199 (中速度のトランジスタ $f_t = 550MHz$) というものでシミュレーションしてみました。

10MHz のクロック (UART や SPI などシリアル通信では 20Mbps 相当になります) でシミュレーションしてみた結果を図 10 に示します。立ち上がりは 10ns 程度で、十分に 10MHz、つまり 20Mbps 程度が通りそうなことが分かりました。

電圧や抵抗値の設定について

ここで回路の各部分の電圧や抵抗値をどのように設定したかご説明しておきます。

まず、スレッシュホールド電圧の設定ですが、1.8V ロジックを動作させるということで、図 9 の Q2 のベースは 1V に設定しています。このようにすると Q1 のベースは 1V を基準として動作し、1V をスレッシュホールドとして Q1 のトランジスタがオン・オフすることになります。

つづいてエミッタ電圧レベルですが、Q1/Q2 のエミッタが共通で 220Ω の R1 に接続されています。Q1/Q2 のベース電圧が 1V であれば、この電圧は 0.3V 程度になり、このとき R1 に流れる電流は 1.36mA 程度になります。

Q1 のベースに 1V よりも高い電圧が加わった場合には、R1 (Q1/Q2 のエミッタ) には、「その高い電圧マイナス 0.7V」程度の電圧が加わることになります。とはいえ、ここは 1.8V が最大ですから、1.1V max となり、R1 には 5mA 程度が流れることになります。一方で Q2 は逆バイアスとなり「オフ」になります。こうすることで Q2 のコレクタに接続されている R2 で電圧降下

アナログ電子回路技術ノート

TNJ-025

が生じないことになり、「H レベル」= 5V を出力できることになります。

Q1 のベースに 1V よりも低い電圧が加わった場合には、Q1/Q2 にエミッタ電圧は Q2 のベースに加わる電圧で決まり、0.3V 程度になります。これにより Q1 は逆バイアスとなり「オフ」になります。

R1 には 1.36mA 程度が流れることになります。この 1.36mA は全て Q2 から流れることになり、Q2 のコレクタ電流もほぼ同じになります。ここでコレクタに接続されている抵抗 R2 が 3.9kΩ であることから、R2 の電圧降下は $3.9 \cdot 10^3 \times 1.36 \cdot 10^{-3} = 5.3V$ となり（実際は電圧の相互関係で若干電流制限されますが）、Q2 のコレクタは「L レベル」≒ 0V を得ることができます。これで 1.8V ロジックから 5V ロジックに対してインターフェースを取ることができるわけです。

なお本来の高性能な差動回路を構成する場合には、この R1 の部分は電流源として作られるものですが、ここではデジタル信号のオン・オフをさせるだけですので、このように抵抗を用いて簡略化しています。

ところでトランジスタのベースに十分に電流を流し、トランジスタを十分飽和させた（「オン」させた）場合、ベースに過剰な少数キャリアが存在することになります。このときトランジスタをオフしようとしても、この過剰な少数キャリアが残留していると、トランジスタがオフしようとしてもオフしない「蓄積時間」というものが生じます。この少数キャリアが消失する時間が「蓄積時間」となります。蓄積時間によりレベルの変化が緩慢になり、高速なスイッチングができない問題が生じます。

これは μ sec オーダで生じますが、図 9 の回路の場合は、過剰な少数キャリアが多数生じる「完全にオンした」状態にはなっていないので、この図 10 で示されるように、オンからオフへの遷移時間を高速にすることができるわけです。

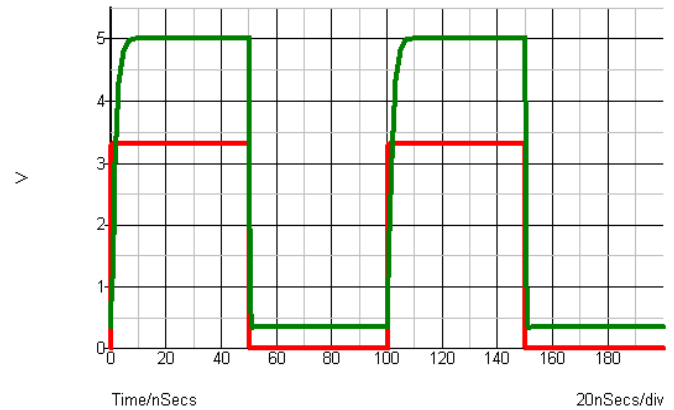


図 10. 図 9 の差動回路でシミュレーションしてみた。20Mbps（繰り返し 10MHz）の信号に対して十分短い立上り／立下り 時間が得られている

後日談（少しは浅知恵もついてくる）

それこそこの技術ノートを書く数日前も、別の代理店の別の FAE の方がいらっしゃって、「お客様で超高速デジタル差動信号伝送系での V_{COM} （コモンモード電圧）のレベルを変換したい要望がある」という質問を受けました。早速、この技術ノートでここまでご説明した、高速コンパレータを使ったワザを提案したものでした。

高速コンパレータは差動で受けて差動で出す、ということができますので、高速なデジタル差動信号伝送にも活用できるということなのでした。

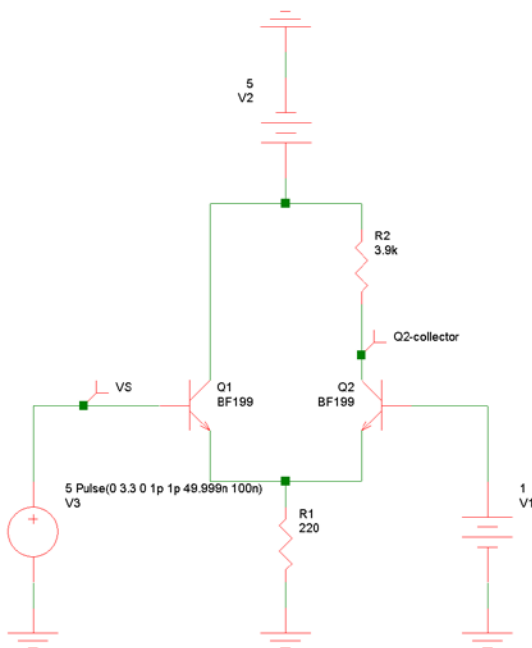


図 9. 1.8V から 5V にレベル変換する回路をコンパレータのオリジナル回路である「差動回路」で設計してみた