

QSFP-DD光トランシーバの給電方法

光トランシーバ市場の拡大は、クラウドコンピューティング、モノのインターネット、および仮想データセンターのイーサネットの高速化に対する需要によって促進されています。10Gbps、40Gbps、および100Gbpsという現在の速度は、間もなく200Gbpsおよび400Gbpsによって塗り替えられます。速度の増大にともなって光トランシーバモジュールの消費電力も増大しますが、形状は同じままに維持する必要があります。そのため、モジュールの設計者は可能な限り低消費電力の高集積チップを使用しなければならないという厳しいプレッシャーに晒されます。狭いスペースの中で、より効率的に電力を供給しながらより多くの機能を実現するにはどうすればよいのでしょうか？このデザインソリューションでは、小型スペースで電力を効率的に供給し、次世代光トランシーバで予想されるより高い速度を可能にする革新的なパワーマネジメントシステムを紹介します。

光ネットワークインタフェース

光ネットワークインタフェースでは、スイッチ(図1)やルータなどの通信機器は互いに遠く(最大数km)離れた場所にあり、光ファイバーケーブルで接続されます。スイッチまたはルータは情報パケットの処理を行い、トランシーバはケーブルとのインタフェースおよび受信した光信号から電気的インパルスへの(およびその逆方向の)変換を行います。



図1. データセンターのネットワークスイッチのSFPTランシーバモジュール(光ケーブルが接続されている)

光トランシーバ

光ファイバートランシーバ(図2)は、光ファイバー伝送ネットワークの重要な構成要素です。これらのトランシーバは小型形状で設計され、高密度ネットワークに最適な光サブアセンブリを内蔵しています。



図2. ネットワークスイッチ用の光ギガビットSFPTランシーバモジュール

トランシーバモジュール(図3)の主要な構成要素は、トランスミッタ光サブアセンブリ(TOSA)、およびレシーバ光サブアセンブリ(ROSA)です。TOSAはレーザーダイオード、光インタフェース、モニタフォトダイオード、金属および/またはプラスチック筐体、および電気的インタフェースで構成されます。ROSAはフォトダイオード、光インタフェース、金属および/またはプラスチック筐体、および電気的インタフェースで構成されます。トランスインピーダンスアンプ(TIA)は、フォトダイオード電流をその後の処理のために差動電圧に変換します。ボード上のDSP/PHYは通信プロトコルの調整を行い、マイクロコントローラはDSP/PHY、光サブアセンブリ、およびレギュレータを設定します。モジュールの各コンポーネントは、ホストボードから V_{CC} 入力(3.3V)を受け取るボード上の電源によって給電されます。この3.3Vは、トランシーバの各コンポーネントによって消費される電流のピークを平滑化するために強力なフィルタを介して供給されます。

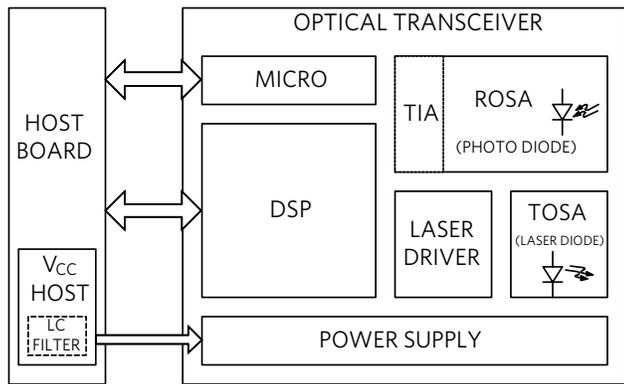


図3. 光トランシーバシステム

4倍帯域幅、小型形状、およびプラグブル機能を備えた最新式の倍ライン密度(QSFP-DD)光トランシーバには、8つの出力クラスがあります。上位のクラスほど高いデータレートと長いケーブル距離に対応します。たとえば、クラス1は1.5Wのピーク出力と600mAのピーク電流を備え、通常は40Gbpsの速度と300mの最大リンク長に対応します。クラス7は14Wのピーク出力と5.6Aのピーク電流を備え、400Gbpsで最大2kmの伝送距離に対応すると予想されます。クラス8は最も高出力用(14W以上、6A安定状態電流)です。

トランシーバ電源

図4に示すトランシーバモジュールの電源ツリーは、マルチ出力電圧レギュレータ(TRIPLE BUCK)によって給電されるDSP/PHYデジタル、アナログ、およびPLLレールの標準的な電流および電圧範囲を表しています。光インターフェイス(レーザードライバ、TIA、ROSA、TOSA)はシングルレギュレータ(BUCK)によって給電されます。マイクロコントローラ(MICRO)の入力は3.3Vを直接受け取ります。入力電力がデバイスクラスの電力エンベロップの範囲内に保たれることを確保するために、バックコンバータは非常に高効率である必要があります。

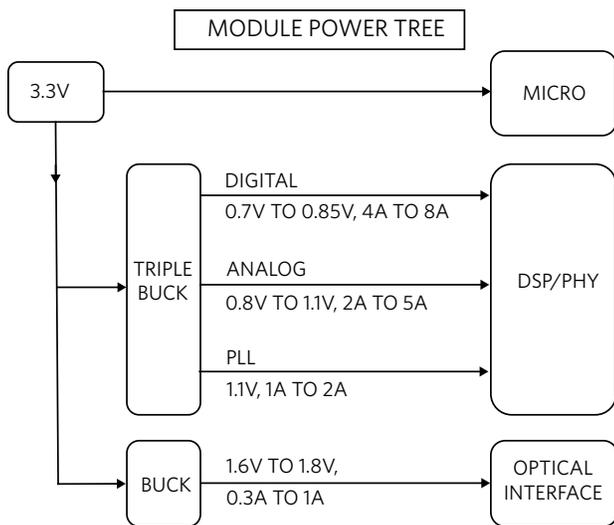


図4. トランシーバの電源ツリー

マルチフェーズアーキテクチャ

最大8Aのピーク電流を必要とするデジタルレールの場合、図5に示すような、2相インタリーブ方式、同期整流バックコンバータアーキテクチャが最良のソリューションです。

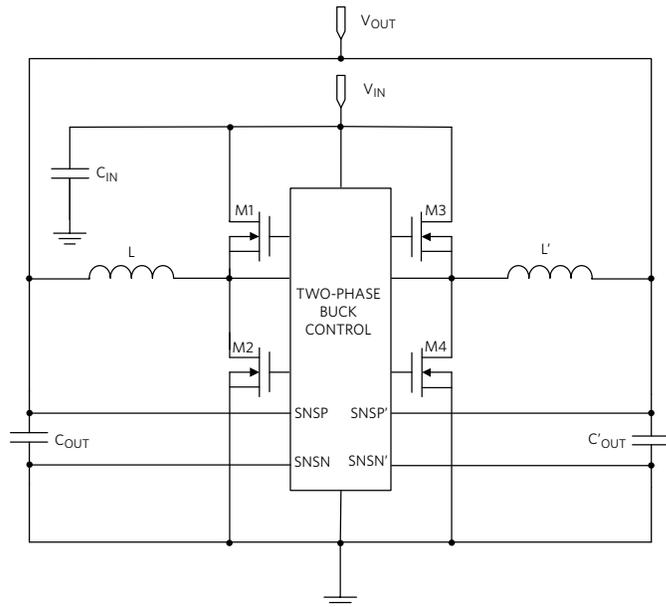


図5. 2相インタリーブ方式バックコンバータ

2つのインタリーブされた位相によって、リップル電流の低減およびそれによるリップル電圧の低減が保証されます。低い総リップル電流が、比較的低位相当り動作周波数で実現されます。例として、図6は180°逆位相で33%デューティサイクルの2つのリップル電流の場合、2倍の周波数の単一位相に比べて総リップル電流が半分の大きさになることを示しています。より低い出力電流リップルおよび電圧リップルがより高い周波数で得られるということは、出力に必要なコンデンサが少なくて済むということであり、BOMの削減につながります。

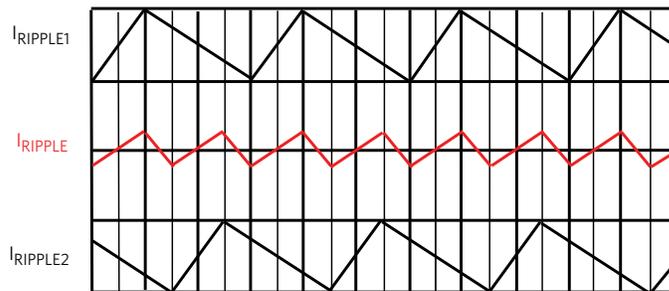


図6. 2相電流リップル低減と時間の関係

2相アーキテクチャは、必要な入力コンデンサの数も少なくなります。総入力電流は、2つの逆位相電流(図7の I_{IN1} および I_{IN2})の和です。ここで、総入力電流が時間方向に分散されることで、入力電流の総RMS値が単相動作に比べて低減され、より小型の入力電流リップルフィルタの使用が可能になります。

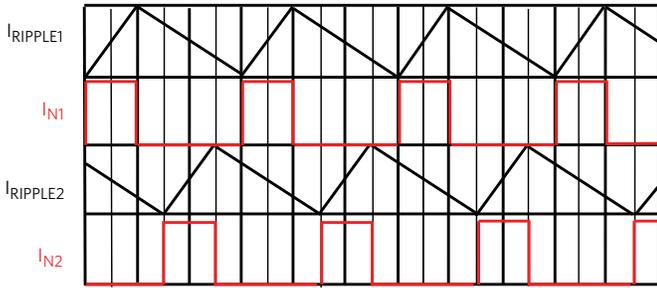


図7. 2相出力リップル電流および入力電流と時間の関係

さらに、図8に示すように、2つの方式を同じ出力リップル周波数で動作させた場合、2相(2Φ、赤で表示)は単相(1Φ、青で表示)より効率的です。単相も、2相の2倍のスイッチング周波数(f_{sw})で動作することによって高周波数および低電流リップルを実現することができますが、スイッチング損失がより大きくなります。1つの周期内でのこの2つの方式の遷移は同数ですが、2相コンバータの消費電流は単相コンバータの(2倍の時間での)電流の半分であるため、スイッチング損失が低減します。

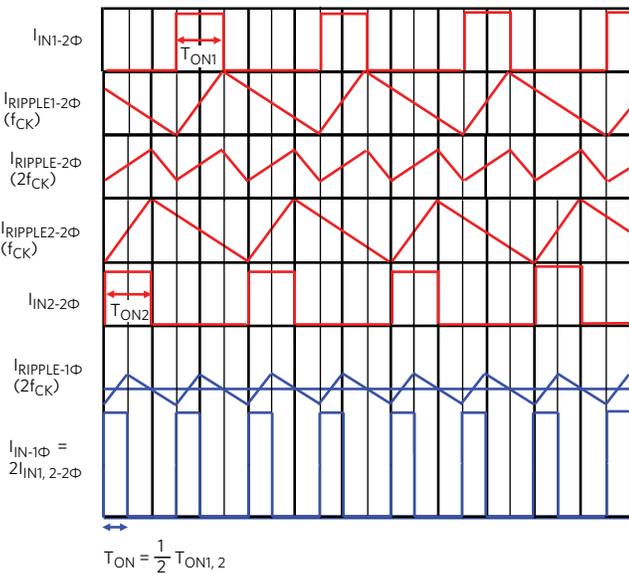


図8. 2相の電流と単相の電流と時間の関係

2相コンバータのもう一つの大きい利点は、高速過渡応答および負荷ステップ時の電圧オーバーシュート/アンダーシュートの低減です。位相当りの電流が半分で、電流リップルが小さく、リップル周波数が2倍のため、スイッチング周波数を上昇させることが可能で、部品サイズをさらに低減し、温度制限に達することなくコンバータのクローズドループ帯域幅を増大することができます。

最後に、総負荷電流が増大すると、受動部品のサイズも大きくなります。高負荷の場合、単相バックのインダクタは大型で非効率的になります。多相動作では個々の相の電流が低減されるため、受動部品の最適なサイズが確保されます。

単相～4相、1～4出力、最大20A、設定可能バックコンバータ

一例として、設定可能、単相～4相、1～4出力高電流、バック(ステップダウン)コンバータを図9に示します。このデバイスは高効率、小型PCBソリューション実装面積、高い出力電圧精度、高速過渡応答、および高速シリアルインタフェースオプションを備えているため、光トランシーバアプリケーションのDSP/PHYの給電に最適です。柔軟なアーキテクチャによって、4 (1つの4相出力)、3 + 1 (2出力、1つの3相と1つの単相)、2 + 2 (2つの2相出力)、2 + 1 + 1 (3出力、1つの2相、2つの単相)、および1 + 1 + 1 + 1 (4つの単相出力)などのユーザー選択可能な位相構成が可能です。

シングルチップによるシステム電力の処理

適切な構成を選択することによって、1つのICで図3の光トランシーバのDSP/PHYに給電することができます。図9では、2 + 1 + 1構成でDSP/PHYデジタル、アナログ、およびPLLセクションに給電可能です。

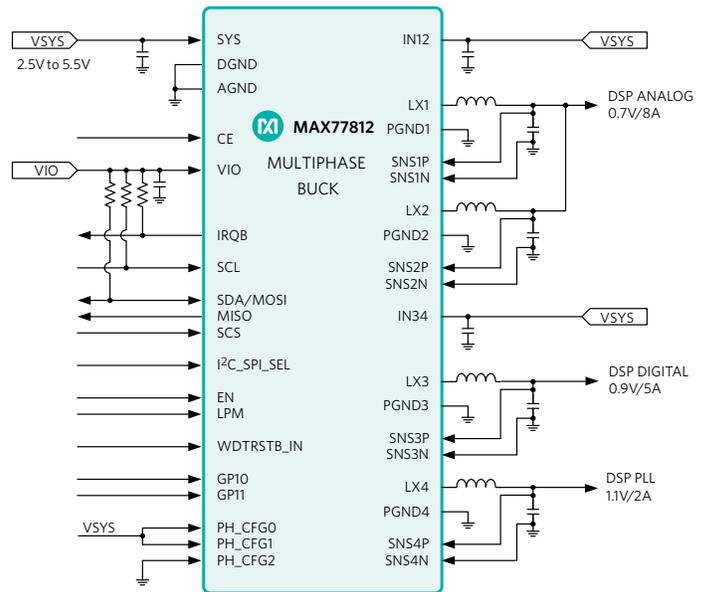


図9. MAX77812の2+1+1アプリケーションダイアグラム

高効率

このデバイスの2相の効率曲線を、最大10Aまでの電流の範囲で図10に示します(0.22 μH、2520サイズのインダクタ)。

TWO-PHASE DC-DC EFFICIENCY (0.7V_{OUT})

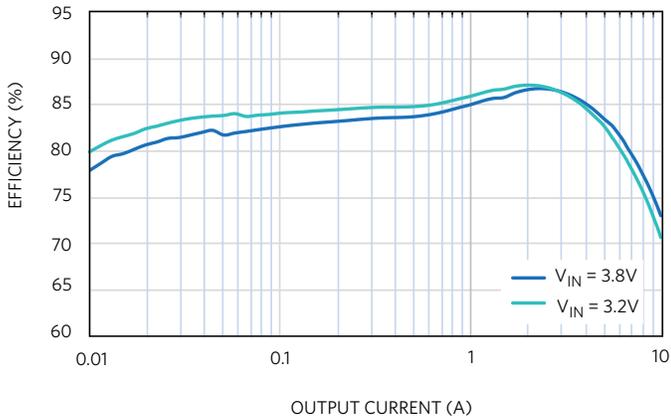


図10. 2相の効率

2相アーキテクチャによって、非常に低いデューティサイクル(低いV_{OUT})でも高効率を実現されます。このデバイスの単相の効率曲線を、最大5Aまでの電流の範囲で図11に示します(0.22μH、2520サイズのインダクタ)。

SINGLE-PHASE DC-DC EFFICIENCY (0.9V_{OUT})

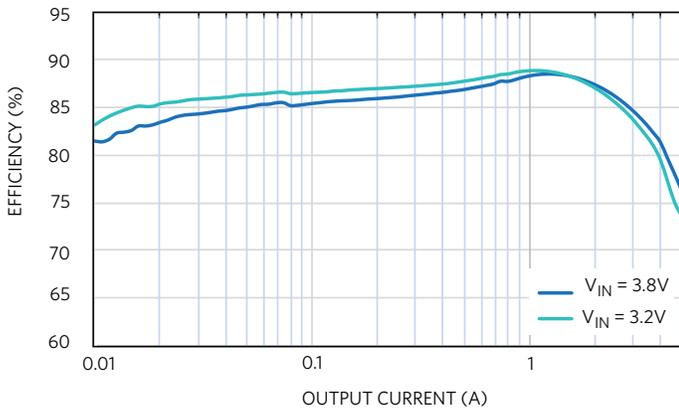


図11. 単相のDC-DC効率

出力電圧の設定

出力電圧は、シリアルインタフェースを介して5mVステップで設定可能です。マイクロプロセッサに給電する場合、これらの微調整によって軽負荷動作時の電力損失を最小限に抑えることができます。デフォルトの出力電圧はOTP (ワンタイムプログラマブル)値によって出荷時に設定され、出力電圧設定レジスタを新しい値で更新することによって出力のイネーブル前でも上書き可能です。

起動およびシャットダウンシーケンス

MAX77812は、設定可能なマスター位相間の起動およびシャットダウン遅延時間に対応します。マスター位相間の起動およびシャットダウン遅延時間は、0~62ms (32ステップ)に設定可能です。この機能によって外部シーケンスが不要になり、追加のBOMコストおよびスペースが節約されます。

小型サイズ

小型PCB実装面積は、64ピン、0.4mmピッチのWLPパッケージと、小型サイズのインダクタおよびコンデンサの使用によって実現されます。設定可能な電流制限によって、システムの実際の要件に基づいてインダクタサイズを最小化することができます。図12は、PCB実装面積がわずかに約79mm²であることを示しています。

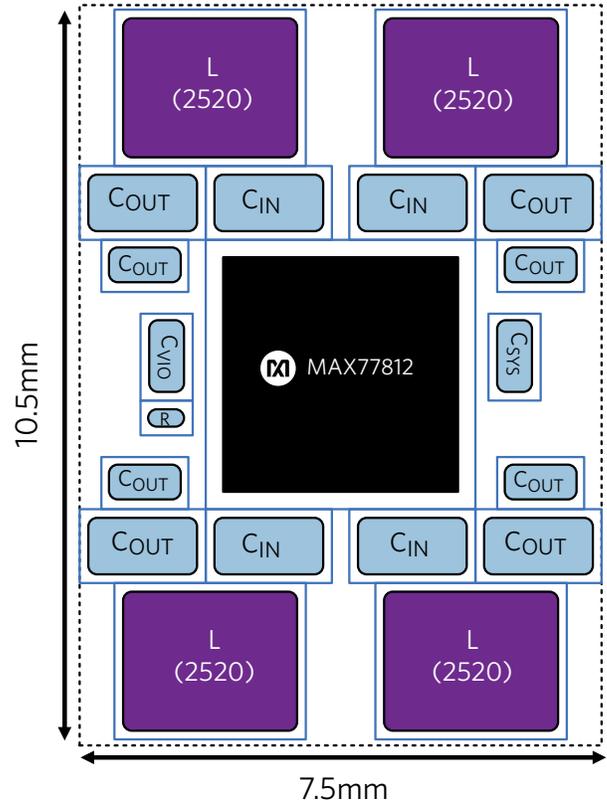


図12. 小型サイズPCBの2 + 1 + 1バックコンバータ(78.75mm²)

高効率、超小型シングルバックコンバータ

図4の単相バックコンバータは、図13に示すアプリケーション回路で実装することができます。

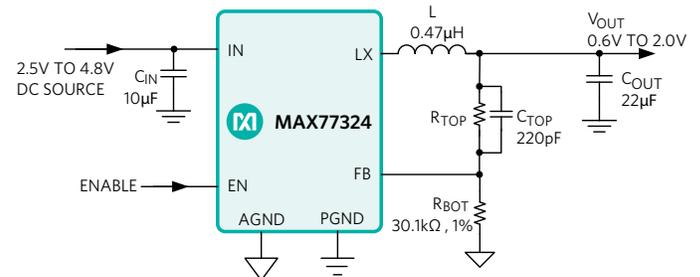


図13. 高度なLED照明システム

1.8V出力での効率曲線を図14に示します。このソリューションは、動作範囲の大部分にわたって+90%という優れた効率を提供します。

易であるため、設計、認定、および市場投入までの時間が短縮されます。光インターフェースに給電するためのシングル、小型サイズ、高効率バックコンバータを紹介しました。

用語集

DSP: デジタル信号プロセッサ

PHY: 物理層。異なるデバイス間のビットレベルの伝送を処理し、物理媒体に接続して同期型の通信を実現する電氣的または機械的インターフェースをサポートします。

PLL: 位相ロックループ

QSFP-DD: 4倍帯域幅、小型形状、プラグブル倍ライン密度

ROSA: レシーバ光サブアセンブリ

SFP: 小型形状、プラグブル

TIA: トランスインピーダンスアンプ

TOSA: トランスミッタ光サブアセンブリ

WLP: ウェハレベルパッケージ

SINGLE-PHASE DC-DC EFFICIENCY (1.8V_{OUT})

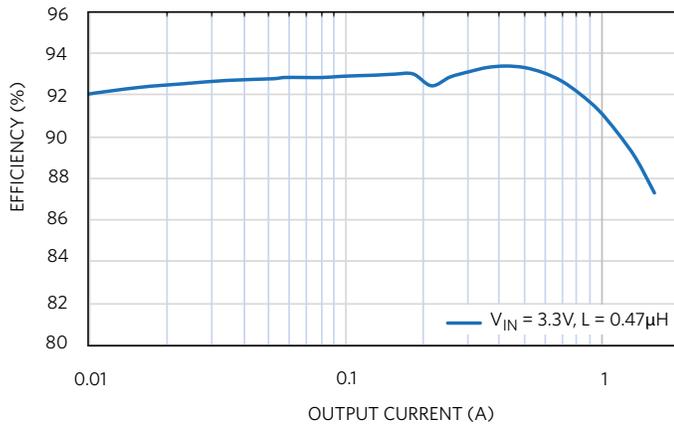


図14. シングルバックコンバータの効率

図15に示すように、このアプリケーション回路が占有するスペースは最小限です。WLP技術と小型受動部品によって、わずか約7mm²のPCBサイズを実現しています。

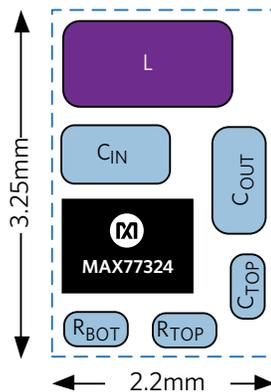


図15. シングルバックコンバータのPCB (6.89mm²)

結論

QSFP-DDデバイスの各クラスで許容される最大消費電力の制約内で高データレートを提供するという光トランシーバの課題について解説しました。単相~4相、1~4出力の高電流バックレギュレータは、高効率および小型PCBサイズを備えているため、高データレート光トランシーバへの給電に最適な選択です。

このコンバータの柔軟なアーキテクチャによって、ユーザー選択可能な位相構成が可能になり、仕様変更への適合が容

詳細はこちら

MAX77812: 4相、最大20A、設定可能バックコンバータ

MAX77324: 4.8V_{IN}、1.5A高効率、超小型バックコンバータ

デザインソリューションNo. 138

Rev 0; November 2018

設計サポートが必要な場合は、Eメールにてお問い合わせください。
<https://www.maximintegrated.com/jp/support/overview.html/TechSupportFormJapan>

その他のデザインソリューションを探す

マキシム・ジャパン株式会社

〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ4号館20F maximintegrated.com/jp

© 2019 Maxim Integrated Products, Inc. All rights reserved. Maxim IntegratedおよびMaxim Integratedのロゴは、米国およびその他の国の管轄域におけるMaxim Integrated Products, Inc.の登録商標です。その他、記載されている会社名、製品名は各社の登録商標、または商標です。

