



回路ノート CN-0279



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0279> をご覧ください。

使用したリファレンス・デバイス

AD9642	14 ビット、250MSPS、A/D コンバータ
ADL5565	6GHz 超高ダイナミックレンジ、差動アンプ

バンドパス・フィルタ付き高 IF サンプリング・レシーバ・フロントエンド

評価および設計サポート

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

図 1 に示す回路は、超低ノイズ差動アンプ・ドライバ ADL5565 と 14 ビット、250MSPS A/D コンバータ (ADC) AD9642 をベースにした狭帯域バンドパス・レシーバ・フロントエンドです。

3 次バターワース・アンチエイリアシング・フィルタは、アンプと ADC の性能とインターフェースの要件に基づいて最適化されています。フィルタ回路やその他の要素による総合挿入損失はわずか 5.8dB です。

通過帯域の平坦度が 3dB の回路全体の帯域幅は 18MHz です。127MHz のアナログ入力力で測定した信号対ノイズ比 (SNR) とスプリアスフリー・ダイナミック・レンジ (SFDR) は、それぞれ 71.7dBFS と 92dBc です。サンプリング周波数が 205MSPS なので、第 2 ナイキスト・ゾーンの IF 入力信号の位置は 102.5MHz と 205MHz の間になります。

回路説明

この回路はシングルエンド入力を受け入れ、広帯域 (3GHz) 1:2 トランス Mini-Circuits TC2-1T を使って差動入力に変換します。6GHz の差動アンプ ADL5565 の差動入力インピーダンスは、6dB のゲインで動作するときに 200Ω、12dB のゲインで動作するときに 100Ω と異なる値を持ちます。15.5dB のゲインも選択できます。

ADL5565 は AD9642 に最適なドライバであり、バンドパス・フィルタを経由して ADC へ入力するまで完全差動構成になっているため、優れた高周波数同相ノイズ除去性能を提供するとともに、2 次歪み成分を最小限に抑えます。ADL5565 のゲインは入力接続に応じて 6dB または 12dB になります。この回路では、フィルタ回路とトランスの挿入損失 (約 5.8dB) を補償するために 12dB のゲインを使って、全体の信号ゲインを 5.5dB にしました。

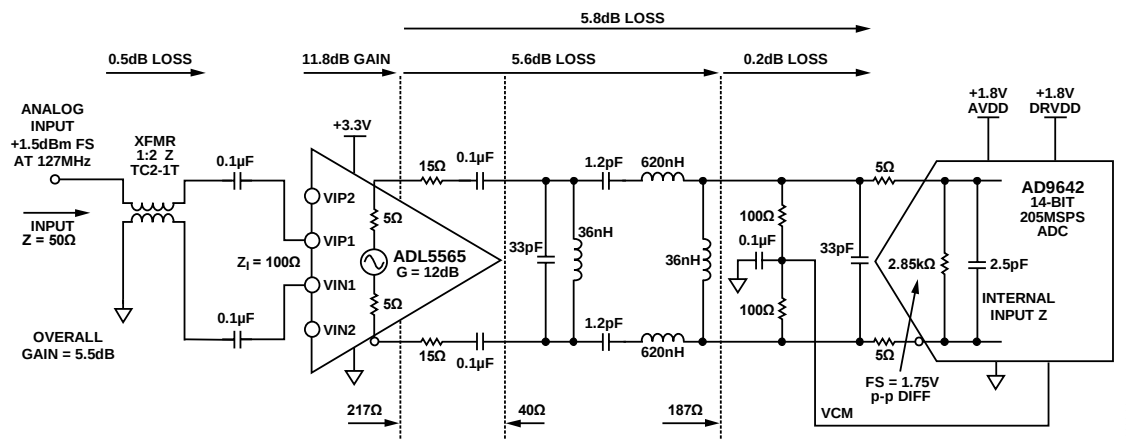


図 1. 14 ビット、250MSPS 広帯域レシーバ・フロントエンド
(簡略回路図：全ての接続およびデカップリングは示されていません)
入力周波数 127MHz でのゲイン、損失、信号レベルの測定値

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

1.5dBmの入力信号で、ADC入口に1.75V p-pのフルスケール差動信号が生成されます。

アンチエイリアシング・フィルタは、標準フィルタ設計プログラムを使って設計した3次バターワース・フィルタです。バターワース・フィルタを選択した理由は通過帯域が平坦なためです。3次フィルタのACノイズ帯域幅比は1.05で、Nuhertz Technologies Filter Free や quite universal circuit simulator (Qucs) free simulation のようないくつかの無償のフィルタ・プログラムで設計することができます。

最高の性能を得るには、ADL5565に200Ωの差動負荷をかけます。15Ωの直列抵抗はフィルタ容量をアンプ出力から隔離し、後段のインピーダンスと並列の100Ω抵抗は、30Ωの直列抵抗に接続されることで217Ωの負荷インピーダンスになります。

ADC入力と直列の5Ω抵抗は内部スイッチング・トランジエントをフィルタとアンプから隔離します。

2.85kΩの入力インピーダンスは、AD9642のホームページでダウンロード可能なスプレッドシートを使って決定したものです。対象となるIF周波数の中心でパラレル・トラック・モード値を使用するだけです。このスプレッドシートには実数と虚数の両方の値が示されています。

3次バターワース・フィルタは、200Ωの信号源インピーダンス（差動）、200Ωの負荷インピーダンス（差動）、127MHzの中心周波数、および20MHzの3dB帯域幅を使って設計しました。標準フィルタ設計プログラムで計算した値が図1に示されています。必要な直列インダクタンスの値が大きいため、1.59μHのインダクタを620nHまで小さくし、0.987pFのコンデンサをそれに応じて2.53pFまで大きくすることで、より現実的な部品の値を使って同じ127MHzの共振周波数を維持しています。

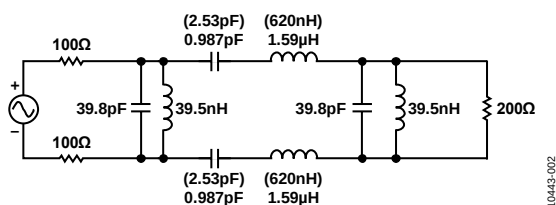


図2. $Z_S = 200\ \Omega$ 、 $Z_L = 200\ \Omega$ 、 $F_C = 127\ \text{MHz}$ 、 $BW = 20\ \text{MHz}$ を用いた3次差動バターワース・フィルタの設計の出発点

ADCの2.5pFの内部容量が2番目のシャント・コンデンサの値から差し引かれ、この値は37.3pFになっています。回路では、電荷キックバックを低減/吸収するため、このコンデンサをADCの近くに配置しています。

実際の回路の寄生要素に対して調整した後の最終的なフィルタの受動部品として選択した値が、図1に示されています。

システムの実測性能を表1にまとめてあります。ここでは、127MHzを中心とした3dB帯域幅は18MHzです。回路の総合挿入損失は約5.8dBです。周波数応答を図3に、SNRとSFDRの性能を図4に、それぞれ示します。

表1. 回路の実測性能

Performance Specifications at -1 dBFS (FS = 1.75 V p-p), Sample Rate = 205 MSPS	Final Results
Center Frequency	127 MHz
Pass-Band Flatness (118 MHz to 136 MHz)	3 dB
SNRFS at 127 MHz	71.7 dBFS
SFDR at 127 MHz	92 dBc
H2/H3 at 127 MHz	93 dBc/92 dBc
Overall Gain at 127 MHz	5.5 dB
Input Drive at 127 MHz	0.5 dBm (-1 dBFS)

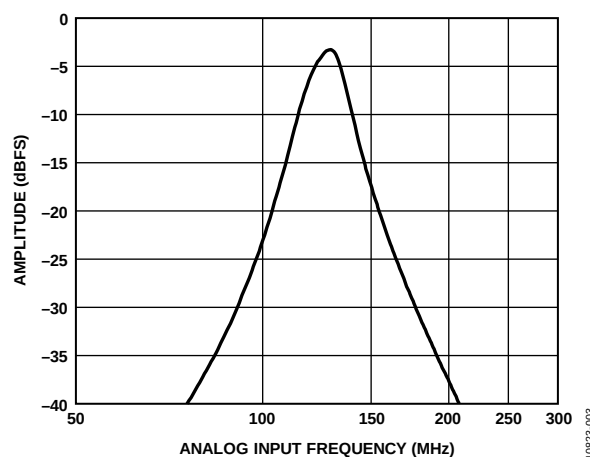


図3. 通過帯域平坦性能の周波数特性

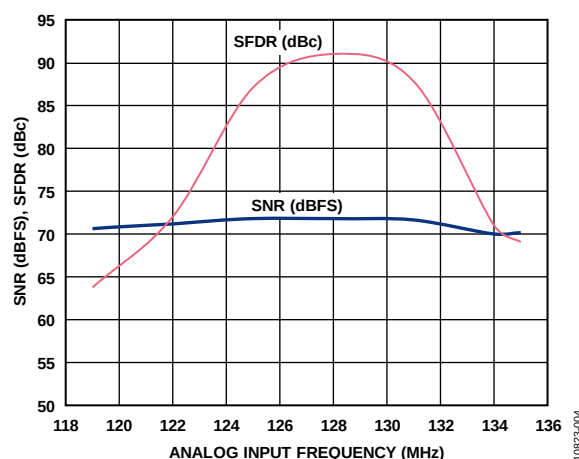


図4. SNR/SFDR性能の周波数特性、
サンプル・レート = 205 MSPS

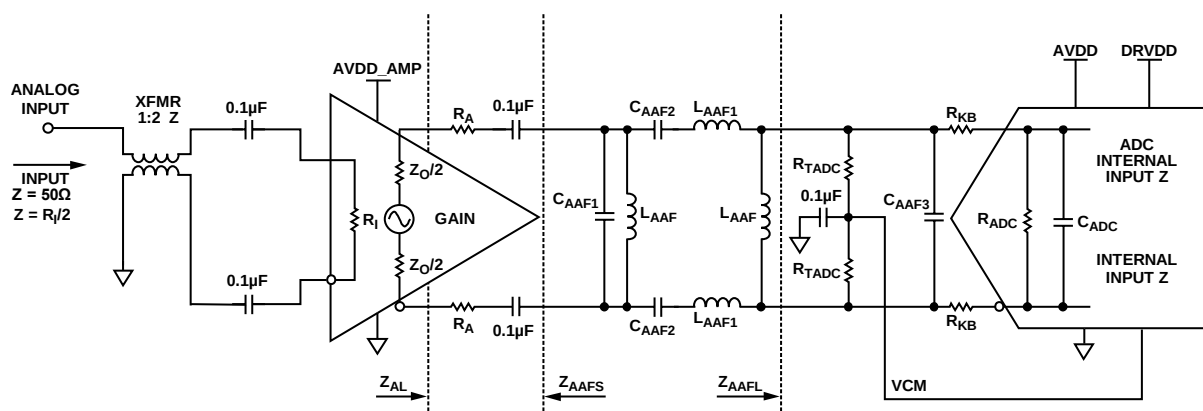


図 5. バンドパス・フィルタを備えた一般的な差動アンプと ADC のインターフェース

フィルタとインターフェースの設計手順

このセクションでは、バンドパス・フィルタを備えたアンプと ADC のインターフェースの一般的な設計手順について説明します。最適な性能（帯域幅、SNR、および SFDR）を実現するために、アンプと ADC を使った一般的な回路は程度の設計上の制約を受けます。

1. 最適な性能を得るには、アンプに接続される DC 負荷にデータシートで推奨されている適正な値を設定する必要があります。
2. アンプとその負荷（フィルタ）の間に適正な大きさの直列抵抗を接続する必要があります。この抵抗は通過帯域での望ましくないピーキングを防ぐためのものです。
3. ADC への入力は外付け並列抵抗によって低減することが必要で、ADC をフィルタから隔離するために適正な直列抵抗を接続する必要があります。この直列抵抗はピーキングの低減も行います。

図 5 に示す一般的な回路はほとんどの高速差動アンプと ADC のインターフェースに適合し、バンドパス・フィルタの基本として使用されています。この設計方法は、ほとんどの高速 ADC の入力インピーダンスが相対的に高いことと駆動源（アンプ）のインピーダンスが相対的に低いことを利用して、フィルタの挿入損失を最小限に抑える傾向があります。

基本的な設計プロセスを以下に示します。

1. R_{TADC} と R_{ADC} の並列接続の値が $200\Omega \sim 400\Omega$ になるように、外付け ADC 終端抵抗 R_{TADC} を設定します。
2. 経験値または ADC のデータシートの推奨値を基に R_{KB} を選択します（標準的には $5\Omega \sim 36\Omega$ ）。
3. 次式を使ってフィルタの負荷インピーダンスを計算します。

$$Z_{AAFL} = 2R_{TADC} \parallel (R_{ADC} + 2R_{KB})$$

4. アンプの外付け直列抵抗 R_A を選択します。アンプの差動出力インピーダンスが $100\Omega \sim 200\Omega$ の場合は R_A を 10Ω より小さくし、アンプの出力インピーダンスが 12Ω 以下の場合は R_A を $5\Omega \sim 36\Omega$ にします。
5. アンプから見た総合負荷 Z_{AL} が個別の差動アンプに適合するように次式を使って Z_{AAFL} を選択します。

$$Z_{AL} = 2R_A + Z_{AAFL}$$

6. 次式でフィルタのソース抵抗を計算します。

$$Z_{AAFS} = Z_O + 2R_A$$

7. フィルタ設計プログラムまたは表を利用し、信号源インピーダンス Z_{AAFS} 、負荷インピーダンス Z_{AAFL} 、フィルタ・タイプ、帯域幅、次数を使ってフィルタを設計します。周波数帯域が平坦になるように、アプリケーションの通過帯域が必要とする帯域幅より約 10% 高い帯域幅を使用します。

これらの予備の計算をしたら、回路の次の項目に関して速やかにレビューを行う必要があります。

1. C_{AAF3} の値が C_{ADC} より数倍大きくなるように、 C_{AAF3} の値を $10pF$ 以上にする必要があります。これにより、 C_{ADC} の変動に対するフィルタの感度が最小限に抑えられます。
2. フィルタが大部分のフィルタ表、フィルタ設計プログラムの制限内に入るように、 Z_{AAFS} に対する Z_{AAFL} の比が約 7 を超えないようにする必要があります。
3. 寄生容量と部品のばらつきに対する感度を最小限に抑えるため、 C_{AAF1} の値を $5pF$ 以上にする必要があります。
4. インダクタ L_{AAF} は少なくとも数 nH の適切な値にする必要があります。
5. C_{AAF2} と L_{AAF1} も適切な値にする必要があります。回路シミュレータにより、これらの値が小さくなりすぎるか大きくなりすぎる場合があります。これらの値をより適切なものとするには、同じ共振周波数を維持するより好ましい標準値部品を使ってこれらの値の比率を調整するだけです。

フィルタ設計プログラムが複数のユニークなソリューション（得に高次フィルタの場合）を提供する場合があります。常に最も適切な部品値の組合せを採用するソリューションを選択する必要があります。また、シャント・コンデンサと ADC の入力容量を組み合わせられるように、シャント・コンデンサが最終段となる回路構成を選択します。

回路の最適化技術とトレードオフ

このインターフェース回路のパラメータは相互に大きく依存しているため、主な仕様（帯域幅、帯域幅の平坦度、SNR、SFDR、ゲインなど）全てに対して回路を最適化することはほとんど不可能です。ただし、応答帯域幅でしばしば生じるピーキングは R_A と R_{KB} を変更することにより最小限に抑えることができます。

R_A の値は SNR 性能にも影響を及ぼします。 R_A の値を大きくすると帯域幅のピーキングが小さくなりますが、ADC をフルスケールで駆動するためにより大きな信号レベルが必要となるので、SNR はわずかに向上する傾向になります。

ADC 入力 R_{KB} 直列抵抗は、ADC の内部サンプリング・コンデンサからの残留チャージ・インジェクションによって生じる歪みを最小限に抑えるように選択する必要があります。この抵抗を大きくしても帯域幅のピーキングは小さくなる傾向があります。

ただし、 R_{KB} を大きくすると信号減衰が大きくなるので、アンプは ADC の入力範囲を満たすためにより大きな信号を駆動しなければなりません。

中心周波数を最適化するため、通過帯域特性と直列コンデンサ C_{AAF2} をわずかに変えることができます。

通常、ADC の入力終端抵抗 R_{TADC} は、ADC の正味入力インピーダンスが多くのアンプに固有の負荷の標準値である $200\Omega \sim 400\Omega$ になるように選択する必要があります。大きすぎるか小さすぎる値を使用すると、アンプの直線性に悪影響を与える可能性があります。

これらのトレードオフのバランスをとることは多少難しい面があります。この回路設計では、各パラメータを同じ重み付けにしたため、選択された値は全ての回路特性に対する代表的なインターフェース性能を実現します。設計によっては、システム要件に応じて、SFDR、SNR、または入力駆動レベルを最適化するために異なる値を選択することができます。

この回路の SFDR 性能は図 1 に示されているように、アンプのインターフェース部品の値と ADC のインターフェース部品の値の 2 つの要素で決まります。

この回路の信号が、アンプとその終端抵抗、ADC 入力の間で同相電圧を遮断するために $0.1\mu\text{F}$ コンデンサで AC 結合されている点に注目してください。同相電圧に関する詳細については AD9642 のデータシートを参照してください。

受動部品と PC ボードの寄生容量に関する検討事項

このような高速回路の性能は適切なプリント回路ボード（PCB）のレイアウトに大きく依存します。これには電源バypass、管理されたインピーダンス・ライン（必要な場合）、部品配置、信号配線、電源プレーン、グラウンドプレーンなどが含まれますが、これらに限定されません。高速の ADC やアンプの PCB レイアウトに関する詳細については、チュートリアル [MT-031](#) と [MT-101](#) を参照してください。その他、[CN-0227](#) と [CN-0238](#) も参照してください。

フィルタの受動部品には、寄生要素が小さい表面実装コンデンサ、インダクタ、および抵抗を使用します。インダクタは Coilcraft の 0603CS シリーズから選択しました。フィルタの表面実装コンデンサは安定性と精度を考慮して、5%、C0G、0402 タイプを使用しました。

システムの詳細な文書については [CN-0279 設計サポート・パッケージ](#) を参照してください。

バリエーション回路

[AD9643](#) は AD9642 のデュアル・バージョンです。

より低い消費電力、より狭い帯域幅のアプリケーションには、[ADA4950-1](#) または [ADL5561/ADL5562](#) を使用することもできます。これらのデバイスは前に示したシングル・バージョンのデバイスとピン互換です。

回路の評価とテスト

この回路は、修正した [AD9642-250EBZ](#) 回路ボードと FPGA をベースにした [HSC-ADC-EVALCZ](#) データ・キャプチャ・ボードを使用します。2 つのボードには接続用高速コネクタが備わっているため、回路のセットアップと性能評価を短時間で行うことができます。修正した AD9642-250EBZ ボードには、この回路ノートに記述されているように評価済み回路が含まれています。ADC を適切に制御してデータをキャプチャするために、HSC-ADC-EVALCZ データ・キャプチャ・ボードを VisualAnalog® 評価用ソフトウェアならびに SPI コントローラ・ソフトウェアとともに使用します。AD9642-250EBZ ボードの回路図、部品表、レイアウトについては [ユーザー・ガイド UG-386](#) を参照してください。[CN-0279 設計サポート・パッケージ](#) 中の [readme.txt](#) ファイルに標準 [AD9642-250EBZ](#) ボードの修正点が記述されています。[アプリケーションノート AN-835](#) には、この回路ノートに記述されているテストを実行するためのハードウェアとソフトウェアのセットアップ方法が記載されています。

さらに詳しい資料

CN-0279 Design Support Package :

<http://www.analog.com/CN0279-DesignSupport>

UG-386 User Guide : [Evaluating the AD9642/AD9634/AD6672 Analog-to-Digital Converters](#)

AN-835 Application Note : [高速 A/D コンバータ \(ADC\) のテストと評価について](#)

Analog Dialogue, 39-09 : [高速プリント回路基板 レイアウトの実務ガイド](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.](#)

MT-101 Tutorial : [Decoupling Techniques, Analog Devices.](#)

Quite Universal Circuit Simulator

Nuhertz Technologies, Filter Free Filter Design Program

Reeder, Rob, Achieve CM Convergence between Amps and ADCs, Electronic Design, July 2010.

Reeder, Rob, Mine These High-Speed ADC Layout Nuggets For Design Gold, Electronic Design, September 15, 2011.

Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 1: Power and Ground Planes, November 2010.

Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 2: Using Power and Ground Planes to Your Advantage, February 2011.

Rarely Asked Questions: Considerations of High-Speed Converter PCB Design, Part 3: The E-Pad Low Down, June 2011.

データシートと評価ボード

[AD9642 データシート](#)

[ADL5565 データシート](#)

[回路評価ボード \(AD9642-250EBZ\)](#)

[標準データ・キャプチャ・プラットフォーム \(HSC-ADC-EVALCZ\)](#)

改訂履歴

7/12—Revision 0: 初版

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。