ANALOG DEVICES

回路ノート CN-0577

Circuits from the Lab® Reference Designs

テスト済み回路設計集“Circuits from the Lab® ”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。更に詳しい情報又は支援は www.analog.com/jp/CN0577 をご覧ください。

接続または参考にしたデバイス

LTC2387-18	18 ビット、15MSPS SAR A/D コンバータ	LT3042	20V、200mA、超低ノイズ、超高 PSRR の RF リニア・レギュレータ
ADR4520	超低ノイズ、高精度 2.048V リファレンス電圧	LT3080	抵抗 1 本で調整可能な 1.1A、低損失レギュレータ
ADA4945-1	高速で±0.1µV/°C のオフセット・ドリフトの完全差動 ADC 用ドライバ	LT3094	−20V、500mA、超低ノイズ、超高 PSRR、負電圧のリニア電圧レギュレータ
ADN4661	差動ドライバ、高速、シングル、3V・LVDS、CMOS	LT1931	ThinSOT の 1.2MHz/2.2MHz 反転 DC/DC コンバータ
ADG3241	2.5V/3.3V の 1 ビット、2 ポート、レベル変換バス・スイッチ		

シリアル LVDS SAR ADC 用のアナログ・フロント・エンドおよびデジタル・インターフェース

評価と設計支援

- 回路評価用ボード
  - CN0577 回路評価用ボード（EVAL-CN0577-FMCZ）
- 設計および統合ファイル
  - 回路図、PCB レイアウト・データ、部品表、ソフトウェア

回路の機能とその利点

フロー・サイトメトリ、光パルス測定、高速制御ループ、高速デジタル歪み補正、イメージ・センサー・デジタイゼーションなどの計測アプリケーションには、それぞれ独自のデータ・アクイジション上の問題があります。このようなアプリケーションでは、多くの場合、高サンプリング・レート、高直線性、低ドリフト、低ノイズ、低遅延を組み合わせることが要求されます。

従来の逐次比較レジスタ（SAR）A/D コンバータ（ADC）ベースのデジタイザは、低ノイズ性能と低消費電源を提供しますが、サンプリング・レートは通常 2MSPS 以下です。もう 1 つの手段は、非常に高速なパイプライン ADC を使用して、出力をダウン・サンプリングすることです。この方法は特定のアプリケーションでは有効ですが、パイプライン ADC は一般に SAR ADC よりもノイズが高くてドリフトも大きく、更にパイプライン遅延が数サンプルあります。

図 1 に示す回路は 18 ビット、15MSPS、2ppm のリニア・データ・アクイジション・システムで、入力インピーダンスが 1.1kΩ と駆動が容易です。アナログ入力範囲はピーク to ピークが 8.096V で、シングルエンドまたは差動モードで駆動できるため、様々なアプリケーションに柔軟に対応できます。S/N 比（SNR）は 90dB（代表値）以上、全高調波歪み（THD）は −110dB 未満です。

この回路は、フィールド・プログラマブル・ゲート・アレイ（FPGA）メザニン・カード（FMC）のフォーム・ファクタで、FMC コネクタまたは外部電源から 12V を供給します。デジタル・インターフェースは、シリアル低電圧差動信号（LVDS）を用いているため、入出力条件が最小限に抑えられ、FPGA との統合が容易です。

独立したデータ・クロック出力により、ホスト FPGA のタイミング条件が緩和されます。オンボードの 120MHz クロックが FPGA に転送され、CONVERT 再タイミング・フリップフロップが FPGA の変換信号からのジッタを低減します。

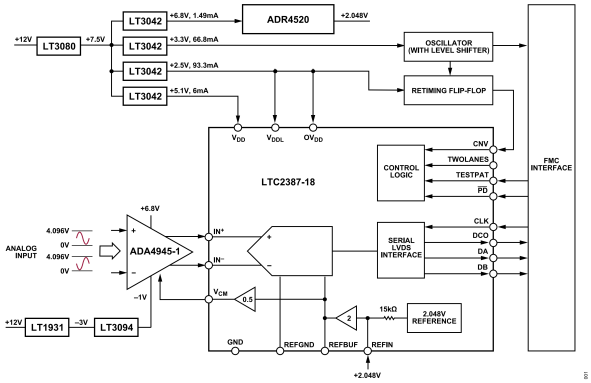

図 1. CN0577 の簡略化したブロック図

アナログ・デバイセズの「Circuits from the Lab™／実用回路集」は、アナログ・デバイセズのエンジニアによって設計、製作されています。各回路の設計と構築には標準的なエンジニアリング・プラクティスが採用されています。これらの機能と性能は、検査室において室温でテスト、検証されています。ただし、この回路をテストして、用途とアプリケーションの適合性および適用可能性を判断する責任はお客様自身にあります。従って、アナログ・デバイセズはいかなる場合でも、「Circuits from the Lab／実用回路集」の使用に起因する直接的、間接的、特別、付随的、結果的、または懲罰的な損害について責任を負うものではありません。（最終ページに続く）

回路の説明

アナログ・フロント・エンド

CN0577 のアナログ・フロント・エンド（AFE）の最も重要な特徴は、ADC の厳しい駆動条件を満たしながら、任意の入力駆動方式（シングルエンド、差動、擬似差動）に容易に対応できることです。

LTC2387-18 SAR ADC は、コモンモード電圧が REFBUF 電圧の半分に等しい完全差動アナログ入力を必要とし、これにより入力範囲も決まります。CN0577 は REFBUF 電圧を 4.096V に設定するため、入力範囲は±4.096V、必要なコモンモード電圧は 2.048V となります。

ADA4945-1 は、LTC2387-18 の駆動に最適な低ノイズ、低歪みの完全差動アンプ（FDA）です。オフセット電圧は 10µV、ドリフトは 100nV/°C、入力電圧ノイズは 1.8nV/√Hz（通常消費電力モード、100kHz）です。

LTC2387-18 は、入力コモンモード電圧を設定するための V_{CM} 出力を備えています。これは、パッシブ・ネットワークを介するか完全差動アンプの V_{OCM} ピンを駆動して行います。V_{CM} 出力のインピーダンスは 15Ω で、ADA4595-1 の V_{OCM} ピンのインピーダンスである 125kΩ を直接駆動できます。

ADA4945-1 の入出力ピンは DC 結合されており、外付けの AC カップリング・コンデンサを介して駆動されると、入力は 0V の差動電圧に自己バイアスされます。ADA4595-1 は+6.8V と−1V の電源電圧を使用するため、入力範囲が最大化され、出力が ADC のフルスケール入力範囲を利用できます。

図 2 に示すように、ADA4945-1 の V_{OCM} ピンは LTC2387-18 の V_{CM} ピンに接続すると、出力は完全差動となります。

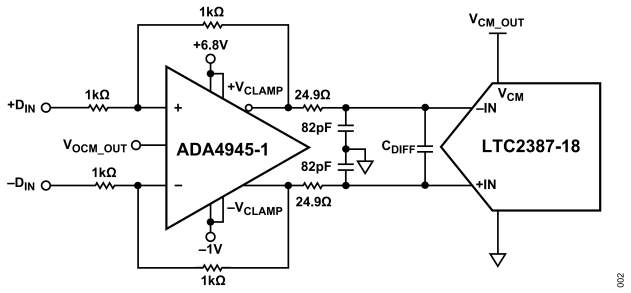

図 2. ADA4945-1 による LTC2398-18 の駆動

入力レンジとコモンモード・レンジ

ADA4945-1 はユニティ・ゲインの構成となっており、LTC2387-18 の入力範囲は±4.096V で固定されているため、アナログ・フロント・エンドの入力電圧範囲にもなっています。CN0577 は差動、擬似差動、または任意の入力信号を受け取ることができます。

図 3〜図 6 に、CN0577 の様々な構成における入力信号の能力を示します。

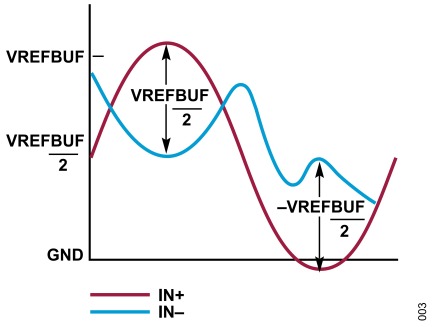

図 3. 任意入力

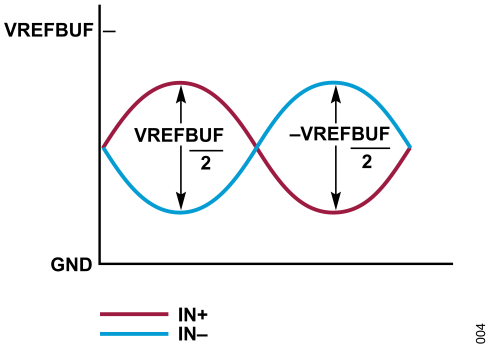

図 4. 完全差動入力

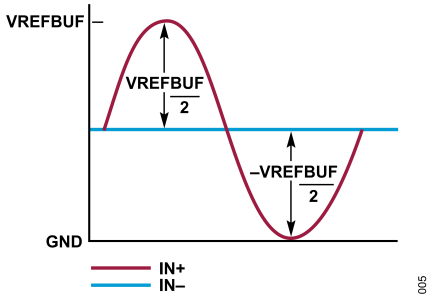

図 5. 疑似差動バイポーラ IN−または COM をバイアス

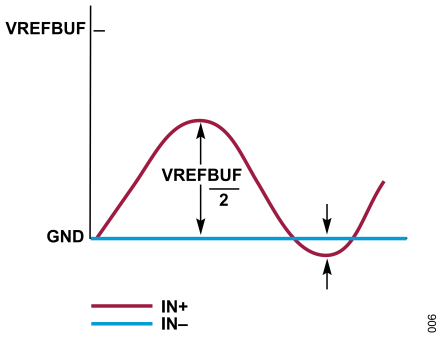

図 6. 擬似差動ユニポーラ IN−または COM を接地

入力コモンモードの限界値は、ADA4945-1 の加算ノード（IN+、IN–）における許容コモンモード電圧範囲によって決まり、これは−VS〜+VS−1.3V と仕様規定されています。任意駆動の解析は容易ではないため、目的のアプリケーションでの最も厳しい条件を LTspice®シミュレーション・ソフトウェアを用いて検証する必要があります。

図 7 に示す LTspice®回路は、入力のコモンモード（VIN_CM）と差動モード（VIN_NORMAL）を独立して駆動できるように構成されており、任意信号を簡単にシミュレートできます。同様に、出力の差動成分（VOUT）とコモンモード成分（VOCM_VERIFY）も個別に検証されるため、不適切な動作を容易に検出できます。

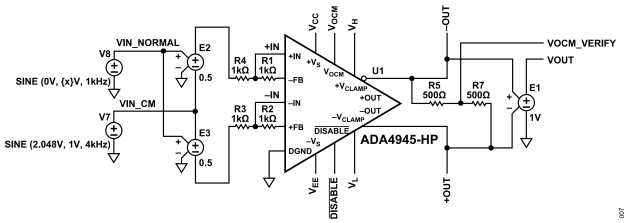

図 7. ADA4945-1 の LTspice シミュレーション回路

図 8 は、入力および出力のコモンモードと差動モードを示しています。

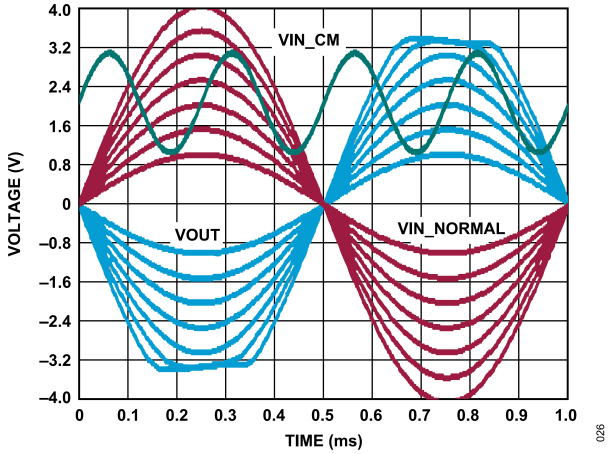

図 8. 入力のコモンモードと差動モード

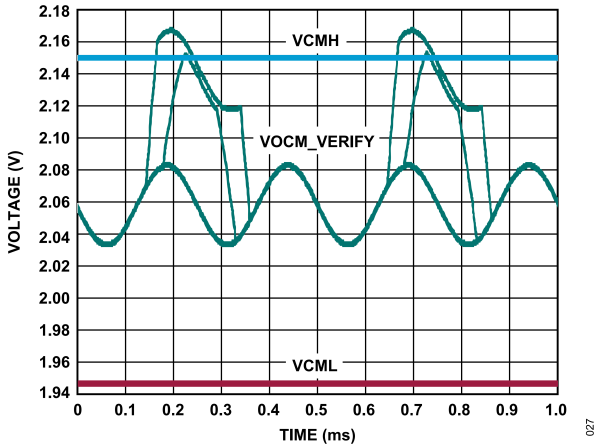

図 9. 出力コモンモード電圧の限界値

図 9 は出力のコモンモード電圧を示しています。VCMH と VCML は LTC2387-18 の入力コモンモードの上限と下限で、VOCM_VERIFY はこの間に収まっていなければなりません。

図 9 で VOCM_VERIFY が VCMH を超える領域があり、それが図 8 の VOUT のクリッピングと同じ時点で対応していることに注意してください。このシミュレーションは設計支援パッケージからアクセスできます。

入力インピーダンスの計算

有効入力インピーダンスは、信号源がシングルエンドか差動かによって異なります。図 10 に示すような平衡差動入力信号の場合、入力間（$+D_{IN}$ と $-D_{IN}$）の入力インピーダンスは、式 1 で表されます。

$$R_{IN_DIFF} = 2 \times R_G \quad (1)$$

ここで、

R_{IN_DIFF} は差動入力インピーダンス。
R_G はゲイン抵抗。

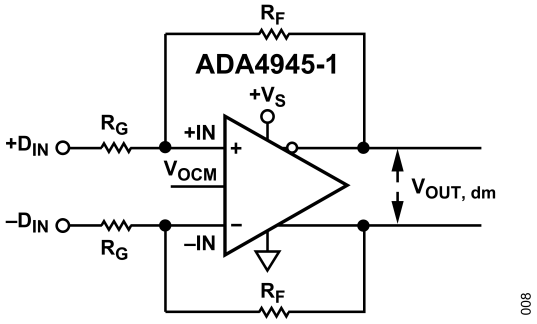

図 10. ADA4945-1 を平衡（差動）入力に構成

図 11 に示すような不平衡シングルエンド入力信号の場合、入力インピーダンスは式 2～式 4 を用いて計算できます。

$$\beta 1 = \frac{R_{G1}}{R_{G1} + R_{F1}} \quad (2)$$

$$\beta 2 = \frac{R_{G2}}{R_{G2} + R_{F2}} \quad (3)$$

$$R_{IN_SE} = R_{G1} \times \frac{(\beta 1 + \beta 2)}{\beta 1 \times (\beta 2 + 1)} \quad (4)$$

ここで、

R_{IN_SE} はシングルエンド入力信号のインピーダンス。
R_{G1} と R_{G2} はゲイン抵抗。
R_{F1} と R_{F2} は帰還抵抗。
β1 と β2 は帰還係数。

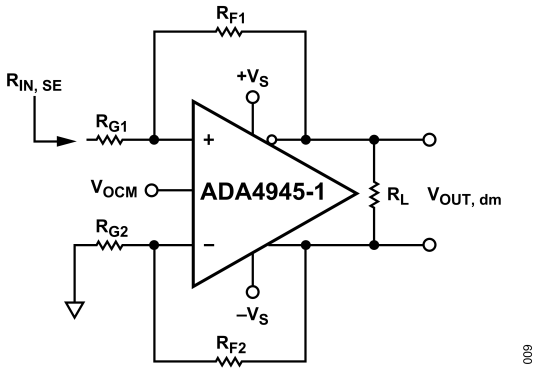

図 11. ADA4945-1 を不平衡（シングルエンド）入力に構成

出力フィルタ処理

ADA4945-1 の出力と LTC2387-18 の入力の間には、ADA4945-1 のノイズ寄与を最小化し、ADC のサンプリング・トランジェントから反射される妨害を低減するために、フィルタ・ネットワークを配置する必要があります。多くのアプリケーションでは、単純な 1 極のローパス RC フィルタで十分です。このフィルタの RC 時定数は、アナログ入力が ADC のアクイジション時間内にセトリングするのに十分小さいことが重要です。セトリングが不十分であれば、積分直線性（INL）と全高調波歪み（THD）の性能が制限される可能性があるためです。

フィルタ・コンデンサの値は、値が大きければノイズが小さくなり、値が小さければフルスケール誤差が小さくなるというトレードオフを伴います。図 12 は、サンプリング・レートに基づき、出発点として考慮すべきコンデンサ値の範囲を示しています。

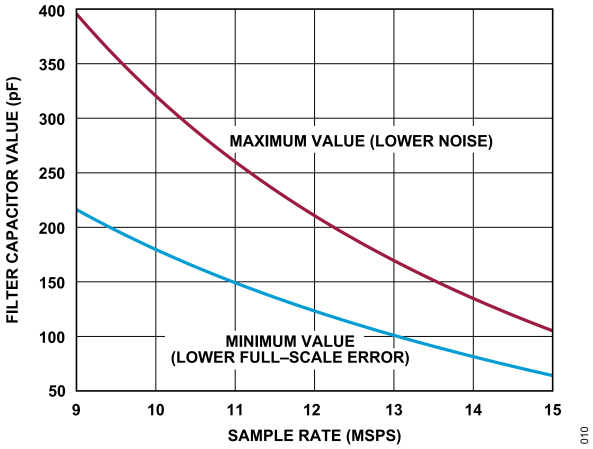

図 12. フィルタ・コンデンサ値の推奨範囲と
サンプリング・レートの関係

CN0577 は 82pF のコンデンサ（15MSPS での最適値に近い）と 24.9Ω の抵抗を用いて、カットオフ周波数を 77.95MHz としています。FDA の広帯域ノイズが 1.8nV/√Hz、ADC のノイズ密度が 17nV/√Hz、フル・パワー帯域幅が 200MHz であることを考慮すると、フィルタがノイズに与える影響は最小です。しかし、フィルタは ADC の 18pF サンプリング・コンデンサからのサンプリング・グリッチを減衰させることにより、サンプル間のセトリングを完全に確保します。

アナログ・デジタル変換

LTC2387-18 は、低ノイズ、高速、18 ビット、15MSPS の SAR ADC です。このデバイスは、INL が 2ppm、S/N 比が 96dB、THD が–117dB という卓越した性能を備えています。ポスト・フィルタ処理を適用すると、164dB のダイナミック・レンジ（1Hz 帯域幅に正規化）が得られます。

LTC2387-18 は 2 つのフェーズで動作します。アクイジション・フェーズでは、サンプリング・コンデンサがアナログ入力ピンの IN+と IN–に接続され、差動アナログ入力電圧をサンプリングします。CNV ピンの立上がりエッジで変換を開始します。変換フェーズでは、ADC は逐次比較アルゴリズムによりシーケンスされ、差動コンパレータを用いて、サンプリングした入力をリファレンス電圧のバイナリ加重分数（例えば、VREFBUF/2、VREFBUF/4、…、VREFBUF/262144）と比較します。

ADC がフルスケールのアナログ入力電圧をデジタル化し、制御ロジックがシリアル転送用に 18 ビットのデジタル出力コードに調整する結果、LSB サイズが 31.25µV（REFBUF = 4.096V）となります。出力データは 2 の補数形式です。理想的な伝達関数を図 13 に示します。

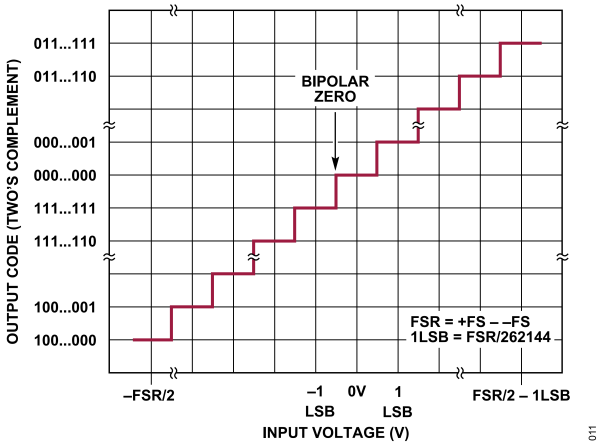

図 13. LTC2387-18 の伝達関数

アナログ入力は、図 14 に示す等価回路を用いてモデル化できます。入力にあるダイオードと 10Ω の抵抗は、静電気放電（ESD）とオーバードライブの保護を提供します。アクイジション・フェーズでは、各入力は、サンプリング・コンデンサによる約 18pF（C_{SAMPLE}）とサンプリング・スイッチのオン抵抗である 28Ω を直列接続したものになります。C_{PAR} は、主にダイオード接合で形成される 2pF オーダーの集中容量です。

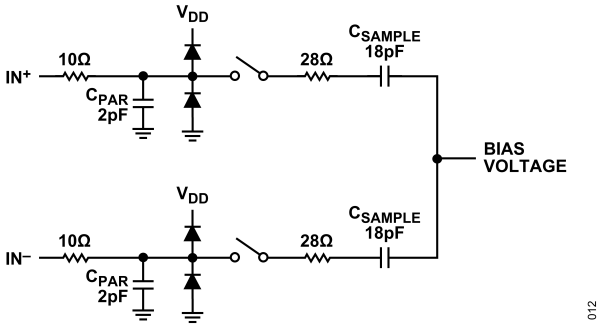

図 14. LTC2387-18 の等価差動アナログ入力回路

電圧リファレンス

LTC2387-18 は、0.25%の初期精度と±20ppm/ºC（最大）の温度係数を確保した高精度 2.048V のリファレンスを内蔵しています。2.048V、低ノイズ、低ドリフトのバンドギャップ・リファレンスは、2 倍のゲインを持つ内部リファレンス・バッファを駆動し、REFBUF に 4.096V を生成します。REFBUF～REFGND 間の電圧差によって、ADC のフルスケール入力範囲が決まります。

内部リファレンスは多くのアプリケーションにとって十分ですが、外部リファレンスを使用すると初期精度を向上させ、ドリフトを低下させることができます。CN0577 は、超低ノイズ、高精度の 2.048V 電圧リファレンスである ADR4520 を内蔵しています。このデバイスの初期精度は 0.025%、ドリフトは 2ppm/°C です。ノイズは 0.1Hz～10Hz で 1µVp-p、出力ノイズ密度は 1kHz で 35.8nV/√Hz です。

REFBUF アンプは、ADC が示す平均負荷が 0.5mA～1.6mA の高速トランジェントを駆動するように最適化されています。REFBUF 電圧は内部で 2 分圧され、入力信号のコモンモードを設定するのに使用されるバッファ付きの V_{CM} 信号を生成します。

デジタル・インターフェース

CN0577 の変換は CNV+入力と CNV−入力によって制御され、これらは LVDS 信号で直接駆動できます。また、CNV-を GND に接続している場合は、0V～2.5V の CMOS 信号で CNV+ピンを駆動することもできます。CNV+の立上がりエッジでアナログ入力をサンプリングし、変換を開始します。

CN0577 への電源投入後、またはパワーダウン・モード終了後の最初の 2 サイクルの変換データは無効です。その後の変換結果は、変換間隔が LTC2387-18 のデータシートに記載の仕様に適合している限り、正確です。サンプリング中、アナログ入力信号が完全にセトリングされていない場合、CN0577 のノイズ性能は CNV+の立上がりエッジにおけるジッタの影響を受けます。このような場合は、クリーンで低ジッタの信号によって CNV+の立上がりエッジを駆動します。なお、CN0577 は CNV+の立下がりエッジのジッタの影響を受けにくくなっています。ジッタの影響を受けにくいアプリケーションでは、CNV を FPGA から直接駆動できます。

CN0577 は、最大変換時間が 63ns になるように調整された内部クロックを備えています。代表的なアクイジション時間は 27.7ns で、15MSPS のスループット性能を実現します。

CN0577はまた、1レーンまたは2レーン出力モードの高速LVDSデジタル・インターフェースを備えており、アプリケーションごとにインターフェースのデータ・レートを最適化できます。LVDS には、CLK±、DCO±、DA±の 3 ペアが必要です。4 番目の LVDS ペアである DB±はオプションです（図 15 参照）。

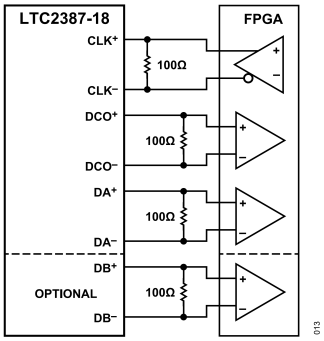

図 15. FPGA へのデジタル出力インターフェース

変換は CNV+の立上がりエッジで開始します。変換が完了すると、最上位データ・ビットが DA±に出力されます。その後、CLK±入力に 9 クロック・パルスのバーストを印加することにより、データをシフト・アウトする準備ができます。DA±上のデータは、CLK±のエッジごとに更新されます。CLK±のエコーが DCO±に出力されます。DA±と DCO±のエッジはアライメントされているので、FPGA で DA±をラッチするのに DCO±を使用できます。単一変換のタイミングを図 16 に示します。

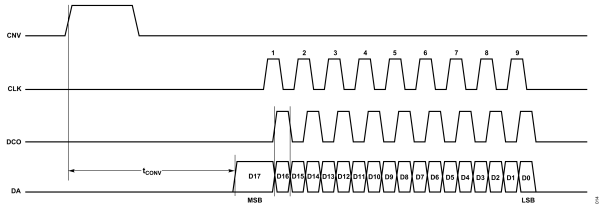

図 16. 1 レーン・モードでの単一変換のタイミング図

現在の変換が完了した後、次の変換が終了する前にデータはクロック・アウトされる必要があります。データのクロック・アウトが可能な有効時間のウィンドウを図 17 に示します。次の変換が開始されても、データは引き続きクロック・アウトできることに注意してください。

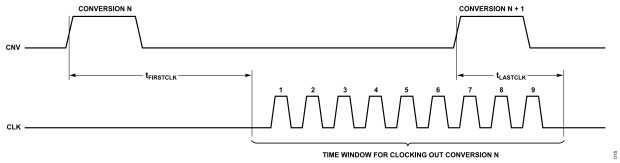

図 17. データのクロック・アウトが可能な有効時間のウィンドウ

高サンプリング・レートでは、必要な LVDS インターフェースのデータ・レートが 400Mbps を超えることがあり、タイミング制約が複雑になります。2 レーン出力モードでは、必要なクロック周波数が半分になります。2 レーン入力ピンをハイに接続すると、オプションの LVDS 出力 DB±がイネーブルになり、データは一度に 2 ビットずつ DA±と DB±に出力されます。DB±出力をイネーブルにすると、OV_{DD} からの電源電流が約 3.6mA 増加します。2 レーン・モードでは、CLK±に 5 クロック・パルスが必要です（図 18 参照）。

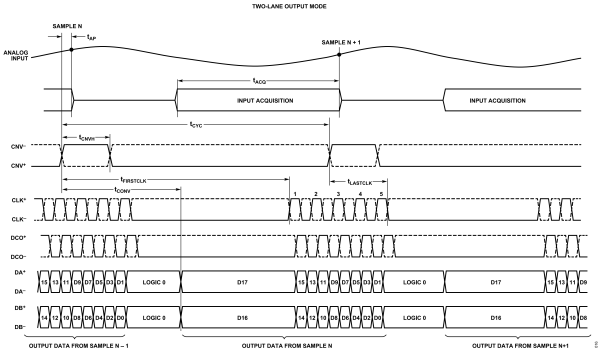

図 18. 2 レーン出力モードのタイミング図

クロック・アーキテクチャ

CN0577 のクロック・ツリーを図 19 に示します。オンボードの 120MHz 電圧制御水晶発振器は、CN0577 と FPGA のクロック供給に使用されます。この超低ノイズ発振器は、10kHz オフセットでの位相ノイズが−162dBc/Hz（代表値）、チューニング電圧範囲が 0V～3.3V、周波数プリング範囲が 28ppm～55ppm です。更に、この水晶発振器の RMS ジッタは、100MHz キャリアで <50fs～100fs です。

クロックは再タイミング・フリップフロップと FPGA に送られます。ADG3241 レベル・シフタは、クロックの 3.3V ロジック・レベルを再タイミング・フリップフロップが必要とする 2.5V レベルに変換します。ADN4661 は、3.3V クロックを LVDS 信号に変換し、この信号は FMC コネクタのグローバル・クロック接続に送られます。

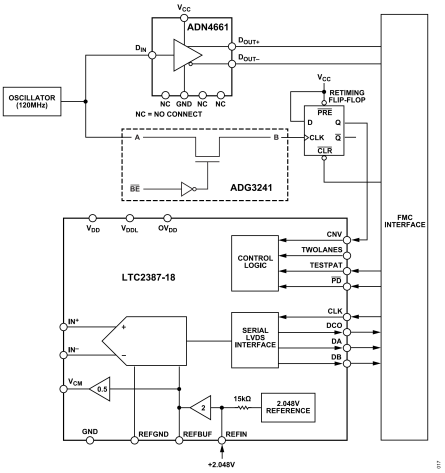

図 19. CN0577 のクロック接続とデジタル接続

外部クロック

CN0577 を他の回路に同期させる場合、またはより厳しい周波数精度や周波数ドリフトが必要な場合は、外部クロックを外部クロック・コネクタに印加できます。外部クロックの周波数がオンボードの 120MHz クロックより大幅に高いか低い場合は、FPGA のタイミング制約を含めて回路全体を見直します。

外部クロック回路には、AC カップリングを備え、立上がり時間と立下がり時間のバランスを調整するための単一の高速インバータも含まれています。このデバイスの伝搬遅延時間は 2.4ns（代表値）で、高い出力ドライブ能力がありながら、広い V_{CC} の動作範囲で自己消費電力を低く維持します。

再タイミング・フリップフロップ

FPGA はリファレンス・クロックにジッタを付加します。多くの場合、付加されるジッタの量は仕様化されていないか未知であり、S/N 比を大幅に低下させる可能性があります。CN0577 は立上がりエッジ・トリガの D 型フリップフロップを内蔵しており、低ジッタで再タイミングされた CNV エッジを LTC2387-18 に供給します。

このデバイスは、1.65V～5.5V V_{CC} の電源電圧で動作し、最小セットアップ時間は 1.7ns、最小ホールド時間は 0.3ns です。

変換を開始するには、FPGA がフリップフロップの CLR ピンにハイ・レベルを供給します。この信号の立上がりエッジには大きなジッタがある可能性があります。リファレンス・クロックの次の立上がりエッジで、フリップフロップの D 入力から Q 出力にロジック・ハイが伝搬され、低ジッタの CNV エッジが LTC2387-18 に供給されます。

パワー・ツリー

CN0577 は、FPGA に接続される FMC コネクタの 12V 電源ピンを介して電源が供給されます。パワー・ツリーは、システム・レベルの電源アーキテクチャ設計ツールである LTpowerPlanner™ を用いて設計されました。図 20 に、このボードの詳細な電源アーキテクチャを示します。

このボードの 12V 電源は、まずレギュレータの前段にある LT3080（単一抵抗で調整可能な 1.1A の低ドロップアウト（LDO）レギュレータ）によって電圧が低下します。このステージでは、12V 電源を 7.5V に低下させ、ボード全体に消費電力を分散させます。この電圧は 4 つの LT3042 LDO に供給され、6.8V、5.1V、3.3V、2.5V の各レールを生成します。

LT1931（1.2MHz の反転 DC-DC コンバータ）は−3V レールを生成し、それが LT3094（低ドロップアウト負レギュレータ）に供給されて−1V レールを生成します。

ボードの総消費電力は、15MSPS で約 2.25W です。

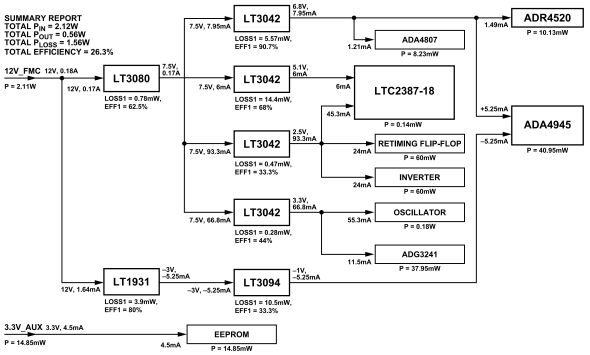

図 20. CN0577 のパワー・ツリー

レイアウト時の考慮事項

プリント回路基板（PCB）のレイアウトは、シグナル・インテグリティを維持し、最適な性能を実現するために非常に重要です。LTC2387-18 の下の 1 層目内部にクリーンなグランド・プレーンを備えた多層基板を推奨します。基板上の個々の部品と様々な信号の配線も注意深く配置する必要があります。更に、入力信号と出力信号を対称に配線することを推奨します。

ADC のグラウンド・ピンは、複数のビアを用いて PCB のグランド・プレーンに直接はんだ付けしなければなりません。更に、ADC の入力ピンと出力ピンの下のグランド・プレーンとパワー・プレーンは、望ましくない寄生容量を避けるために取り除く必要があります。望ましくない寄生容量は、基板における歪みと直線性の性能に影響を与える可能性があります。敏感なアナログ部とデジタル部は PCB 上で分離し、電源回路はアナログ信号経路から遠ざけます。

CNV±や CLK±のような高速スイッチング信号、およびデジタル出力 DA±と DB±は、ADC へのノイズ結合を防ぐために、アナログ信号経路の近くを走らせたり、アナログ信号経路を横切らないようにする必要があります。

LVDS 信号は PCB 上で 100Ω の差動伝送ラインとして配線し、レシーバーでは 100Ω の抵抗で終端する必要があります。

同様に、このボードで使用されている完全差動アンプと電圧リファレンスは、寄生効果を避けるために出力パターンの長さを最小にする必要があります。相補信号のレイアウトを対称的にすることで、これらのデバイスの性能を最大化し、バランスのとれた性能が得られます。

また、デバイスの電源電圧変動除去比（PSRR）を維持するために、搭載されている LT3042 および LT3094 LDO の出力に、少なくとも 4.7µF の高品質セラミック・バイパス・コンデンサを追加する必要があります。

図 21 は、LTC2387-18 と ADA4945-1 の近くに配置した CN0577 の PCB レイアウトを示しています。

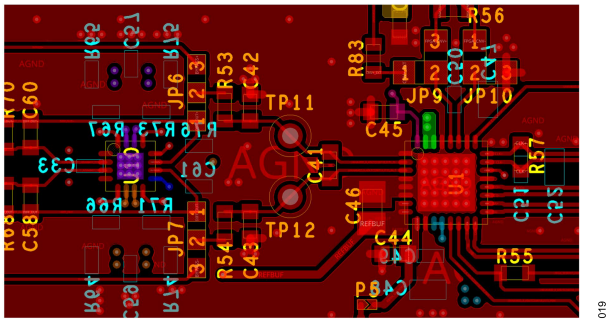

図 21. CN0577 の PCB レイアウト

バリエーション回路

LTC2387-16 は低ノイズ、高速、16 ビット 15MSPS の SAR ADC で、LTC2387 SAR ファミリとピン互換性があります。目的のアプリケーションが 16 ビット分解能しか必要としない場合、このリファレンス・デザインの LTC2387-18 ADC の代わりに使用できます。

ADAQ23878 は、LTC2387-18 および ADA4945-1 と同等の機能を提供する µModule®データ・アクイジション・ソリューションです。デジタル・インターフェースも互換性があります。

より高い精度やより低いドリフトが必要な場合は、REFIN を外部 2.048V リファレンスで直接オーバードライブできます。LTC6655（2.048V）は、内部リファレンスをオーバードライブする場合に LTC2387-18 と共に使用するのに適しています。LTC6655 の初期精度は 0.025%（最大）、温度係数は 2ppm/°C（最大）で、高精度アプリケーション向けとなっています。REFIN ピンの近くに 2.7µF～10µF のセラミック・コンデンサで LTC6655 をバイパスすることを推奨します。

回路の評価とテスト

このセクションでは、EVAL-CN0577-FMCZ を評価するための一般的なセットアップの概要を説明します。ハードウェアとソフトウェアのセットアップの完全な手順については、CN0577 ユーザ・ガイドを参照してください。

必要な装置

- EVAL-CN0577-FMCZ
- ZedBoard（AES-Z7EV-7Z020-G）
- 12V 電源
- ホスト PC
- MicroSD カード（16GB 以上）
- アナログ・デバイセズ Kuiper Linux イメージ
- LAN ケーブル
- SMA ケーブル
- XLR-SMA アダプタ・ケーブル
- オーディオ・アナライザ（Audio Precision© APX525）
- 高精度直流電源／キャリブレータ（Krohn-Hite 523 または同等品）

開始にあたって

以下の手順を実行して、評価用の設計をセットアップします。

1. PC、Mac、または Linux のホストに IIO オシロスコープ・アプリケーションをダウンロードしてインストールします。
2. アナログ・デバイセズの Kuiper Linux イメージを microSD カードに書き込みます。
3. microSD カードを EVAL-CN0577-FMCZ 用に設定します。
4. microSD カードを ZedBoard に挿入します。
5. EVAL-CN0577-FMCZ を FMC ピン・コネクタを介して ZedBoard に接続します。
6. ZedBoard に 12V 電源ジャックを接続します。
7. ZedBoard からホスト・コンピュータに LAN ケーブルを接続します。
8. XLR-SMA アダプタ・ケーブルを用いて、EVAL-CN0577-FMCZ をオーディオ・アナライザに接続します。
9. EVAL-CN0577-FMCZ のアースをオーディオ・アナライザに接続します。
10. オーディオ・アナライザの USB ケーブルを PC に接続します。
11. IIO オシロスコープ・ソフトウェアを実行し、その結果の ADC データと FFT データをキャプチャします。

テスト結果

定格スループットでの ADC の周波数応答、歪み、ノイズをテストするのに高速フーリエ変換（FFT）技術を使用します。歪みの少ないサイン波を印加し、FFT アルゴリズムを用いてデジタル出力を分析することにより、ADC のスペクトル成分を基本波以外の周波数について調べることができます。LTC2387-18 は、AC 歪み測定とノイズ測定の両方のテストにより限界値が確保されています。図 22 に、CN0577 の FFT 性能を示します。

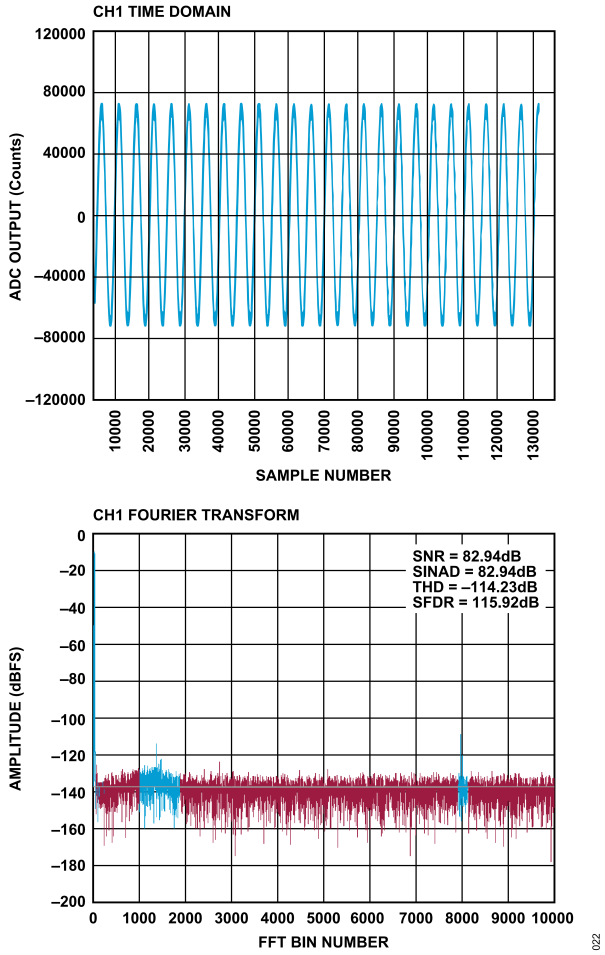

図 22. EVAL-CN0577-FMCZ の FFT 性能

図 23 は、S/N 比、THD、SFDR をテストするための、EVAL-CN0577-FMCZ とオーディオ・アナライザの適切な接続を示しています。

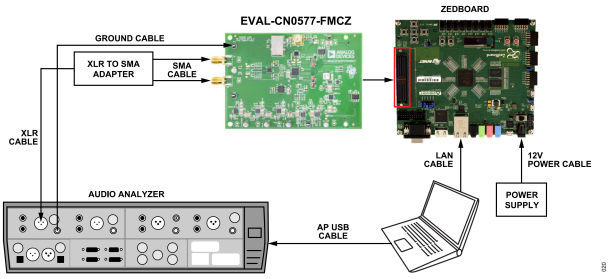

図 23. S/N 比、THD、SFDR 分析のための EVAL-CN0577-FMCZ システムのテスト用セットアップ

コモンモード電圧が 2.048V、ADC サンプリング・レートが 15MSPS で、40kHz の差動入力信号を 4.096Vp-p の振幅で与えた場合、測定された最小の平均 S/N 比は 82.6dB、THD は−84dB です。図 24 は、異なるサンプリング・レートおよび周波数の入力信号における CN0577 の代表的な性能を示しています。

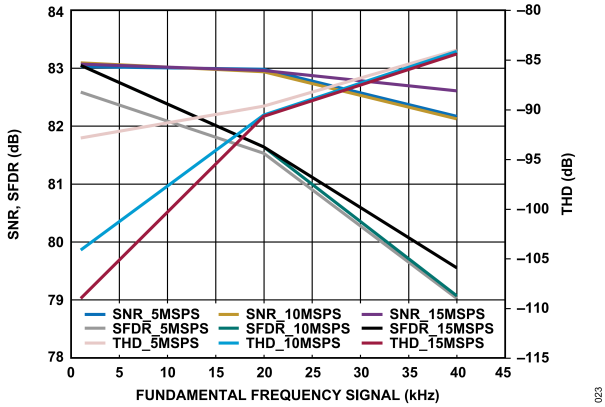

図 24. EVAL-CN0577-FMCZ の S/N 比/THD/SFDR と入力信号周波数の関係

図 25 は、ノイズをテストするための、EVAL-CN0577-FMCZ と高精度 DC 電源の適切な接続を示しています。

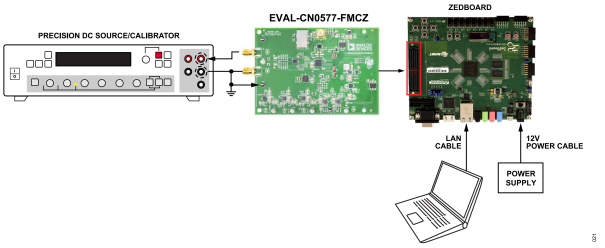

図 25. ノイズ・テストのための EVAL-CN0577-FMCZ システムのセットアップ

図 26 は、CN0577 の代表的な DC ヒストグラムを示しており、REFIN は 2.048V、サンプル周波数は 15MSPS としています。

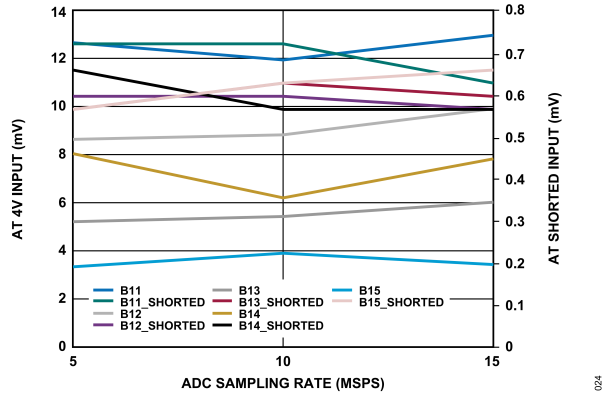

図 26. EVAL-CN0577-FMCZ の DC ヒストグラム

図 27 は、5MSPS と 15MSPS の 2 つの異なるサンプリング・レートにおける、理想電圧とそれに対応する電圧入力の間の誤差を示しています。

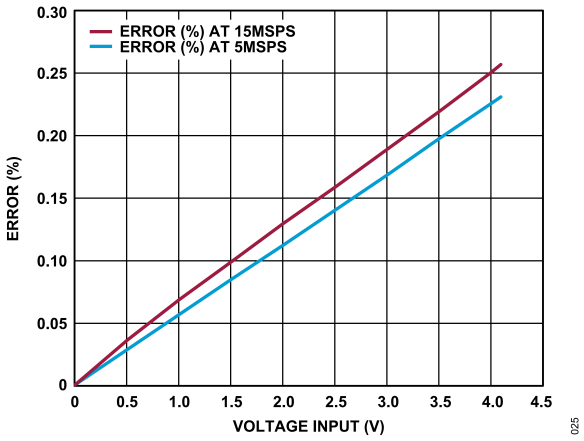

図 27. 誤差とサンプリング・レートの関係

更に詳しい資料

CN0577 設計サポート・パッケージ

PScope Basics

Pachchigar, Maithil、Walsh, Alan、「新世代の SAR ADC を適用した シグナル・チェーンの設計、高精度データ・アクイジションの課題を解消」Analog Dialogue, Vol. 50, Dec 2016.

Reeder, Rob、Green, Wayne、Shillito, Robert、「A/D コンバータのクロックの最適化 試験工学的な観点」Analog Dialogue, Vol. 48, Feb 2008.

Scott, Kevin. Technical Article. "Parameters that Affect Comparator Propagation Delay Measurements." Analog Devices.

Stuetzle, Doug. Technical Article. "Single-Ended to Differential Driver Circuit for the LTC2387-18 SAR ADC." Analog Devices.

Francis, Chris. "Level Shifting Digital Logic Signals." analogictips.com. 2015.

Redmayne, Derek and Steer, Alison. "Understanding the Effect of Clock Jitter on High-Speed ADCs." EETimes.com. 2008.

データシートと評価用ボード

LTC2387-18 データシート

LTC2387-18 評価用ボード

ADA4945-1 データシート

ADA4945-1 評価用ボード

ADG3241 データシート

ADG3241 評価用ボード

ADN4661 データシート

LT1931 データシート

LT1931 評価用ボード

LT3042 データシート

LT3042 評価用ボード

LT3080 データシート

LT3080 評価用ボード

LT3094 データシート

LT3094 評価用ボード

ADR4520 データシート

改訂履歴

1/2023—Revision 0: Initial Version

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

（最初のページから続く）「Circuits from the Lab／実用回路集」はアナログ・デバイセズ製品専用に作られており、アナログ・デバイセズまたはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズの提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズはその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズはいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2023-2023 Analog Devices, Inc. All rights reserved.　商標および登録商標は各社の所有に属します。

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300