



AN-0971 アプリケーション・ノート

isoPower デバイスでの EMI 放射制御についての推奨事項

著者 : Mark Cantrell

はじめに

絶縁型電源 (isoPower®) を内蔵する iCoupler® デジタル・アイソレータは、300MHz の高い周波数で約 700mA の電流をスイッチングする絶縁型 DC/DC コンバータを採用しています。これらの高い周波数での動作では、放射ノイズと伝導ノイズの問題が生じます。PCB のレイアウトと構造は、isoPower 部品を内蔵するアプリケーションからの放射とノイズを制御する非常に重要な手段です。このアプリケーション・ノートでは放射のメカニズムを特定し、これらに対処する特定のガイドラインを提供します。

放射に対する規格は複数存在します。米国では、FCC (Federal Communications Commission) が、規格とテスト方法を管理しています。ヨーロッパでは、IEC (International Electrotechnical Commission) が規格を制定し、放射の評価に CISPR テスト方法を採用しています。2 つの規格の間では方法と合否判定値が少し異なっています。このアプリケーション・ノートでは CISPR 規格を基準にしていますが、すべての結果は両規格に適用可能です。

適切なデザインを選択すると、isoPower デバイスは CISPR クラス A (FCC クラス A) 放射規格を容易に満たすことができます。これらに注意すると、これらの製品は非シールド環境で CISPR クラス B および FCC Part 15, Subpart B、クラス B (FCC クラス B) 規格も満たすことができます。このアプリケーション・ノートでは、ボード・レイアウト問題や積層問題などの PCB 関連の EMI 軽減技術について調べます。

このアプリケーション・ノートで説明する技術、レイアウト例、測定値は、PCB 構成で使用可能なオプションに大きく依存します。評価済みの EMI 制御技術を組込むためには、4 層 PCB が必要です。PCB の内部層数を増やすと、同じ EMI 軽減を実現するための PCB 面積が小さくなります。このアプリケーション・ノートのために、4 層ボードをデザインして、業界で一般的な材料と構造を使って製造しました。

信号ケーブルからの放射制御とシャース・シールド技術は、このアプリケーション・ノートの範囲外とします。

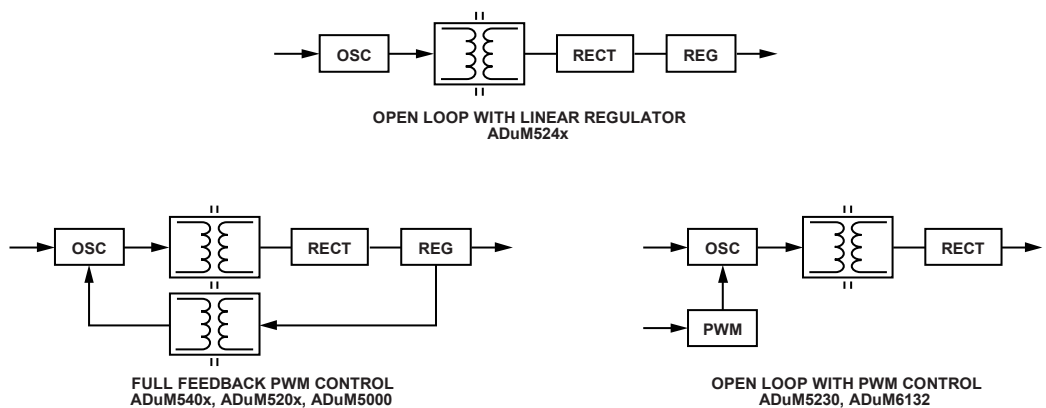


図 1. isoPower のアーキテクチャ

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. C

©2008-2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセス株式会社

本社 / 〒105-7323
大阪営業所 / 〒532-0003
名古屋営業所 / 〒451-6038

東京都港区東新橋 1-9-1 東京汐留ビルディング 23F
大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F

目次

はじめに.....	1	推奨デザイン方法.....	11
改訂履歴.....	2	アイソレーション規格の満足.....	12
<i>isoPower</i> の概要.....	3	EMI に対する PCB 構造の評価.....	13
放射源.....	4	エッジ・ガードの結果.....	15
エッジ放射.....	4	動作負荷と電圧に対する依存性.....	16
入力ー出力間ダイポール放射.....	4	層間容量.....	16
伝導ノイズ源.....	6	実装技術.....	17
EMI 軽減技術.....	7	例 1—基本絶縁ボード.....	17
入力ー出力間のスティッチング.....	7	例 2—強化型絶縁ボード.....	18
エッジ・ガード.....	8	その他のレイアウト注意事項.....	19
層間容量バイパス.....	9	結論.....	20
消費電力の削減.....	10	参考資料.....	20
動作電圧.....	10		

改訂履歴

1/14—Rev. B to Rev. C

Added Table 1 and changes to and moved <i>isoPower</i> Overview Section.....	3
Change to Edge Emissions Section.....	4
Changes to EMI Mitigation Techniques Section.....	7
Change to Equation 2.....	8
Changes to Interplane Capacitive Bypassing Section.....	9

6/11—Rev. A to Rev. B

Changes to Introduction Section, <i>isoPower</i> Overview Section, and Figure 1.....	1
Changes to Edge Emissions Section and Input-to-Output Dipole Emissions Section.....	3
Added Figure 3; Renumbered Sequentially.....	3
Changes to Sources of Conducted Noise Section.....	5
Deleted Figure 9; Renumbered Sequentially.....	5
Changes to EMI Mitigation Techniques Section and Input-to-Output Stitching Section.....	6
Added Safety Rated Capacitor Section and Stitching Capacitance Built into the PCB Section.....	6
Added Floating Capacitive Structure Section and Gap Overlap Stitching Section.....	7
Replaced Figure 6 and Figure 7.....	7
Changes to Edge Guarding Section.....	7
Deleted Figure 13.....	7
Deleted Table 2; Renumbered Sequentially.....	8
Deleted Figure 15.....	8
Changes to Figure 9 and Figure 10.....	8
Replaced Buried Capacitance Bypassing Section with Interplane Capacitive Bypassing Section.....	8
Added Figure 11.....	8
Changes to Figure 12 and Power Reduction Section.....	9

Replaced Figure 13.....	9
Deleted Appendix A—A Design Example Section, Figure 16, and Figure 17.....	9
Added Operating Voltage Section.....	9
Changes to Recommended Design Practices Section.....	10
Changes to Meeting Isolation Standards Section.....	11
Added Figure 14.....	11
Added Table 1; Renumbered Sequentially.....	11
Replaced Example Board Section with Evaluating PCB Structures for EMI Section.....	12
Changes to Figure 15.....	12
Added Figure 16 and Figure 17.....	12
Changes to Table 2.....	13
Added Stitching Capacitance Results Section, Figure 18, and Figure 19.....	13
Added Figure 20, Edge Guarding Results Section, Table 3, and Figure 21.....	14
Added Operating Load and Voltage Dependence Section, Figure 22, Figure 23, and Interplane Capacitance Section.....	15
Added Integrating Techniques Section, Figure 24, Example 1—Basic Insulation Board Section, Table 4, and Figure 25.....	16
Added Figure 26 Through Figure 30, Example 2—Reinforced Insulation Section, and Table 5.....	17
Added Additional Layout Considerations Section and Figure 31.....	18
Changes to Conclusions Section and References Section.....	19

3/09—Rev. 0 to Rev. A

6/08—Revision 0: Initial Version

isoPOWER の概要

表 1 に示される isoPower 製品は、アイソレーション技術の大きな進歩を表しています。アナログ・デバイセズは、チップ・スケール DC/DC 電源コンバータを製造するマイクロトランス・デザインでの経験を活用しています。これらの電源コンバータは、アナログ・デバイセズの信号アイソレーション製品に組み込まれています。3.3V~15V の出力電圧範囲で 1/2 ワットの電力レベルが使用可能です。isoPower は、iCoupler データ・チャンネルの 2 次側とチップ外負荷に電源を供給するために使います。

アナログ・デバイセズの標準データ・カプラでは同じ磁気技術を使用しているため、EMI はデータ専用 iCoupler と isoPower デバイスのデータ・チャンネルで問題となります。データ・チャンネルからの放射については、AN-1109 アプリケーション・ノート、「Control of Radiated Emissions in iCoupler Devices」で詳しく説明しています。

アナログ・デバイセズでは複数の電源アーキテクチャを使用して、効率、小型サイズ、高出力電圧のようなデザイン目標を達成しています（図 1 参照）。

これらのアーキテクチャには、iCoupler の 2 次側へ電力を渡すトランス、効率良い電力輸送に最適な周波数でトランスを流れる電流のスイッチングを行う発振器タンク回路、2 次側で DC レベルを再現する整流器の 3 つの共通なエレメントがあります。これらの製品では複数のレギュレーション方法が使用されています。

トランスの理論から、トランスへ流入する電流を 180MHz~300MHz の範囲でスイッチングする発振器回路が必要とされます。2 次側の整流回路では、整流時にこの周波数を実質的に 2 倍にします。

これらの機能はスイッチング電源に共通ですが、動作周波数は標準 DC/DC コンバータより 3 桁高くなっています。コンバータ動作で発生する 30MHz~1GHz 範囲のノイズが、放射の問題になります。

表 1. 放射制御のステップを必要とする isoPower 製品

Open-Loop with Linear Regulator	Open-Loop with Primary Side PWM Control	High Power Full Feedback PWM Control	Low Power Full Feedback PWM Control
ADuM5240 ADuM5241 ADuM5242	ADuM5230 ADuM6132	ADuM5000 ADuM5200 ADuM5201 ADuM5202 ADuM5400 ADuM5401 ADuM5402 ADuM5403 ADuM5404 ADuM6000 ADuM6200 ADuM6201 ADuM6202 ADuM6400 ADuM6401 ADuM6402 ADuM6403 ADuM6404	ADuM5010 ADuM5210 ADuM5211 ADuM5212 ADuM6010 ADuM6210 ADuM6211 ADuM6212

放射源

isoPower を使用する PCB ではエッジ放射と入力出力間ダイポール放射の2つの放射源が存在します。

エッジ放射

エッジ放射は、グラウンド・プレーンと電源プレーンのエッジ(縁)で不要な電流が合流するときに発生します。これらの不要な電流は次のソースから発生します。

- ・グラウンドと電源のノイズ。これは大きな電源電流シンクでのバイパスが不十分なことから発生します。
- ・円筒放射磁界。この磁界は、ボード層間に放射された浸透成分から誘導され、最終的にボード・エッジで合流します。
- ・ストリップ・ライン・イメージ電荷電流。この電流は、ボード・エッジの極近くを通過する高周波信号ラインから拡散します。

エッジ放射は、多くのソースからの差動ノイズがボードのエッジで合流する場所で発生し、プレーン間間隙から漏れて、導波導波管として機能します(図2参照)。



図2. エッジが一致したグラウンドと電源の対からのエッジ放射

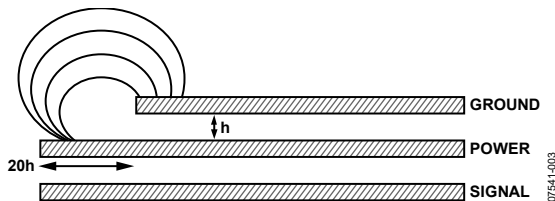


図3. エッジが一致しないグラウンドと電源の対からのエッジ放射

エッジ境界には、2つの制約条件があります。グラウンド・プレーンと電源プレーンのエッジが図2のように一致しているか、または図3のように一方のエッジが他方より引っ込んでいることです。エッジが一致している1つ目のケースでは、反射してPCBへ戻る部分と電界がPCB外部へ送出される部分があります。2つ目のケースでは、両ボードのエッジにより、パッチ・アンテナのエッジと同じ構造が形成されます。エッジの不一致が20hより大きい場合(hはプレーン間間隙)、PCBから出る電界の効果は大きくなり、非常に大きな放射が発生します。これらの2つの制約ケースは、PCBのエッジ処理を説明する際に重要となります。

入力出力間ダイポール放射

入力出力間ダイポール放射は、グラウンド・プレーン間の間隙を跨いで電流源を駆動することにより発生します。これは、isoPower アプリケーションでの放射の支配的なメカニズムです。絶縁型電源の本来の性質により、グラウンド・プレーンの間隙を跨いでエネルギーが駆動されます。境界を横切る電力信号に対応して高周波イメージ電荷が生ずることは避けられず、この

電荷により間隙を跨ぐ差動信号が発生してダイポールを駆動します。多くの場合、これは非常に大きなダイポールになります(図4参照)。同様なメカニズムにより、グラウンド・プレーン内と電源プレーン内にある分割部分を超えるとときに高周波信号ラインから放射が発生します。このタイプの放射は、グラウンド・プレーンに垂直な方向で支配的です。

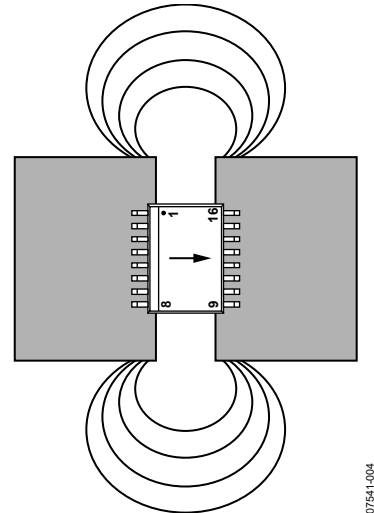


図4. 入力出力間のダイポール放射

ADuM5400、ADuM5401、ADuM5402、ADuM5403 および ADuM5404 デバイスは、放射の発生と軽減に関する問題の良い例を提供します。これらのデバイスの発振器タンク回路は約180MHzで動作します。2次側にあるピンからの制御を受けて、出力を5Vまたは3.3Vにレギュレーションすることができます。入力電圧は3V~5Vの範囲です。最高電源動作モードは5V入力/5V出力であり、このアプリケーション・ノートではこの構成を主に調べます。

100mAのフル出力負荷で動作するとき、平均入力電流は約290mAです。これは、タンク回路のピーク電流が180MHzのスウィッチング・レート値の約2倍になることを意味します。

この部品のバイパス・コンデンサが、この高周波電流をローカル的に供給するものと見なします。この電流は、バイパス・コンデンサにとっては大きな電流です。コンデンサは大きな電荷を供給する必要があります。同時に、コンデンサは180MHzで非常に小さい直列抵抗を持つ必要があります。ピンの近くに複数の低ESRコンデンサがあっても、バイパスが誘導性により制限されるため過渡電圧が発生して、ノイズがグラウンド・プレーンと電源プレーンへ混入します。

電力は出力側に輸送され、ここでDCに整流されます。整流プロセスではタンク周波数を2倍にして360MHzにします。入力出力間放射は、整流周波数とタンク周波数で発生し、高調波も含まれます。図5に、ニア・フィールド・プローブを使って2層評価用ボードで取得した最悪ケース・データを示します。

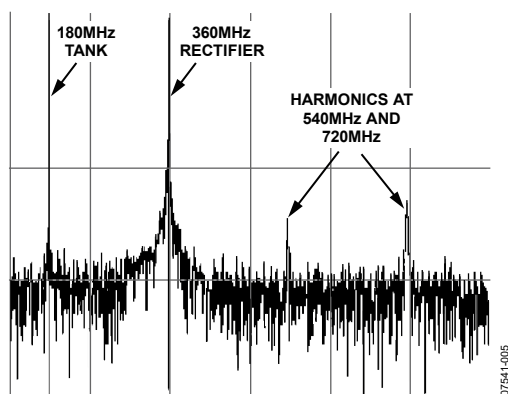


図 5.2 層ボードからのニア・フィールド放射の FFT

図 5 に示すニア・フィールド放射があるボードは、シャーシ・シールドがない場合、360MHz ピークで約 30dB になるため FCC クラ B 放射規格を満たすことはできません。

伝導ノイズ源

大きな電流と高い周波数も、グラウンド・プレーンと電源プレーンで伝導ノイズを発生します。両タイプの EMI の原因と対策は、PCB の同じグラウンド構造と電源構造を使って扱うことができるため、この伝導ノイズも放射と同じ技術を使って扱うことができます。

isoPower DC/DC コンバータに対してバイパス・コンデンサとグラウンド/電源プレーンから十分な高周波電流を供給することが避けられないため、 V_{DD} ノイズが発生します。DC/DC コンバータは、約 700mA の振幅を持つ 2.5ns パルスのバーストで電源をスイッチングします。

数 μF の理想バイパス・コンデンサは、電流の AC 成分を供給するために十分ですが、実際のバイパス・コンデンサは理想的ではなく、誘導性ビアを介してグラウンド・プレーンまたは両電源プレーンへ接続されます。更に、グラウンド・プレーンと電源プレーンとの間の距離が大きい場合、これらの間に大きなインダクタンスが発生して、電流を迅速に供給する能力が制限されます。これらのファクタは、 V_{DD} プレーン上の高周波ノイズ電圧の大きな成分になります。

EMI 軽減技術

多くの軽減技術があります。このセクションでは、isoPower デバイスに直接使用できる幾つかの技術を探します。デザインが FCC/CISPR 放射レベルを満たすために、どの程度積極的な EMI 対策を選択すべきかは、デザイン条件、コスト、性能トレードオフに依存します。実現が最も容易な放射 EMI 軽減技術は、ケーブル・シールドへ逃れるノイズをフィルタ・エレメントにより制限し、接地したシャーシの中に PCB を配置することです。このアプリケーション・ノートではこのオプションについて説明しませんが、PCB 関連技術が現実的でない場合には、この方法も使用可能であることに注意してください。

EMI 軽減策は、比較的連続したグラウンド・プレーンと電源プレーンを設けること、および各層の相対位置と相対距離の設定可能性に依存します。このことから、最小合計プレーン数は、グラウンド、電源、信号の 3 プレーンになります。

ボード製造上の現実的な考慮から、4 層ボードが最小層数になります。層数を増やすことは可能であり、推奨技術の実効性を大幅に向上させるために使用することができます。

次の技術が EMI 放射とボード・ノイズの削減に効果的です。

- 入力ー出力間グラウンド・プレーンのスティッチング容量
- 電源制御
- エッジ・ガード
- 層間容量パイパス

ADuM5400、ADuM5401、ADuM5402、ADuM5403 および ADuM5404 を使用するこれらの EMI 軽減技術を評価するため、テスト構造を持つ回路ボードを用意しました。各ボードのレイアウトの違いは、結果の比較を可能にするため、できるだけ少なくしました。テストは、シールド・チェンバ内の EMI テスト施設で行いました。予想通り、EMI テスト時にタンク周波数（180MHz）での放射がボード・プレーン内で支配的であることが分かり、放射の主なメカニズムは PCB エッジから発生していることが示されました。整流放射（360MHz）は、主にボードの絶縁間隙に垂直方向にあり、入力ー出力間ダイポール放射であることが示されました。

入力ー出力間のスティッチング

電流が PCB パターンに流れると、イメージ電荷がパターンの下グラウンド・プレーン上に生じて追従して移動します。パターンがグラウンド・プレーン内の間隙を跨ぐと、イメージ電荷はこれに追従できません。このために、PCB 上に差動電流と差動電圧が発生して、放射と伝導放射が生じます。これに対するソリューションは、イメージ電荷が信号に追従できるようにパスを設けることです。標準的な対策方法は、グラウンド・プレーンの分割を跨いで信号の近くにスティッチング・コンデンサを設けることです（[参考資料](#)のセクションに示す Archambeault および Drewniak 著の「PCB Design for Real-World EMI Control」参照）。この同じ技術は、isoPower が動作するために発生するグラウンド・プレーン間の放射の削減にも有効です。

スティッチング容量の形成には、少なくとも次の 3 つのオプションがあります。

- 障壁を跨いでセーフティ定格コンデンサを使用する
- 内部層上の絶縁側と非絶縁側の間の間隙を蔽うフローティング金属プレーンを使用する（[図 6](#) 参照）。
- 内部層上のグラウンド・プレーンと電源プレーンを PCB の絶縁間隙まで延ばして、コンデンサを形成する（[図 7](#) 参照）。

これらの各オプションには、有効性と所用面積について利点と欠点があります。

セーフティ定格コンデンサ

スティッチング容量は、障壁を跨ぐシンプルなセラミック・コンデンサで実現することができます。沿面距離、空間距離、耐圧が保証されたコンデンサは、Murata、Johansen、Hitano、Vishay などの主要コンデンサ・メーカから提供されています。セーフティ定格コンデンサは、用途に応じて複数のグレードが提供されています。Y2 グレードはラインンググラウンド間アプリケーションで使用されています。このアプリケーションでは感電の危険性があるため、セーフティ定格アプリケーションではスティッチング・コンデンサにセーフティ・コンデンサ・タイプを使用することが推奨されます。このタイプのコンデンサは、表面実装放射状ピン配置のディスク・バージョンとして提供されています。

セーフティ・コンデンサはディスクリート部品であるため、パッドまたはスルーホールを使って PCB へ接続する必要があります。これにより、固有インダクタンスの他にコンデンサに寄生インダクタンスが加わります。また、スティッチング・コンデンサが局所化されて、コンデンサに電流が流れるので、非対称なイメージ電荷パスが発生してノイズが増加します。これらのファクタにより、ディスクリート・コンデンサの効果が約 200MHz 以下の周波数に制限されます。

スティッチング容量の PCB への組み込み

PCB 自体はスティッチング・コンデンサ構造を形成するように複数の方法でデザインすることができます。PCB 内で 2 枚のプレーンを重ねるとコンデンサが形成されます。このタイプのコンデンサでは、形成される並行プレート・コンデンサのインダクタンスが極めて小さく、容量が比較的広い面積に分布します。

これらの構造は、PCB の内部層に形成する必要があります。表面層では沿面距離条件と空間距離条件が小さくなるため、このタイプの構造に表面層を使うことは実用的ではありません。このため、最小 4 層のボードが必要になります。

もう 1 つのオプションは、ボードの内部層でフローティング金属構造を使って、1 次と 2 次の電源プレーンを接続することです。このアプリケーション・ノートではグラウンド用または電源用のプレーンをリファレンス・プレーンと呼んでいることに注意してください。両プレーンは、AC ノイズの面では同じ働きをするので、スティッチング容量に対しては同じ扱いができるためです。

フローティング容量構造

フローティング・スティッチング容量の例を図 6 に示します。リファレンス・プレーンは青と緑で示し、フローティング結合プレーンは黄で示します。この構造の容量には、構造の非重複部分でつながれた 2 つの容量領域（濃い色で表示）があります。構造の領域に最適な容量が形成されるようにするため、1 次側と 2 次側の重複面積は等しくする必要があります。

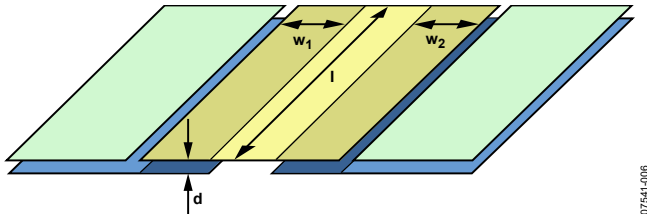


図 6. フローティング・スティッチング容量

図 6 に示す構造の容量結合は、並行プレート・コンデンサの次の基本式を使って計算されます。

$$C = \frac{C_1 \times C_2}{C_1 + C_2}, \quad C_1 = C_2 = \frac{A_x \epsilon}{d}, \quad \text{and } \epsilon = \epsilon_0 \times \epsilon_r$$

ここで、

C は合計スティッチング容量。

A_x は各リファレンス・プレーンに対するスティッチング容量の重複面積。

d は PCB の絶縁層の厚さ（図 6 参照）。

ϵ_0 は空間の誘電率 8.854×10^{-12} F/m。

ϵ_r は PCB 絶縁材料の比誘電率で FR4 の場合約 4.5。

$$C = \frac{l \epsilon}{d} \times \left(\frac{w_1 \times w_2}{w_1 + w_2} \right) \quad (1)$$

ここで、 w_1 、 w_2 、 d 、 l は、フローティング・プレーン、1 次側リファレンス・プレーン、2 次側リファレンス・プレーンの重複部分の寸法（図 6 参照）。

$w_1 = w_2$ の場合、式は次のように簡素化されます。

$$C = \frac{l w_1 \epsilon}{2d} \quad (2)$$

実際のアプリケーションでは、この構造に利点と欠点があります。主な利点は、1 次と 2 次に 1 つずつ 2 つのアイソレーション間隙があることです。これらの間隙は結合点と呼ばれ、FR4 層間の結合によりアイソレーションを提供します。また、PCB 材料の厚さ方向に 2 つの直列パスがあります。これらの間隙と厚さの存在は、幾つかのアイソレーション規格のもとでアイソレーション障壁を強化する際に利点となります。このタイプの構造の欠点は、アクティブ回路領域の下に容量が形成されるため、貫通や間隙を跨ぐパターンが存在することです。また、式 2 は、形成される容量がシンプルな並行プレート・コンデンサに比べて使用される単位面積あたり効果が 1/2 になっていることも示しています。

このアーキテクチャは、ボード面積が十分あるアプリケーションか、または絶縁の強化が必要な場合に適しています。

間隙重複スティッチング

優れたスティッチング容量を実現するシンプルな方法は、リファレンス・プレーンを 1 次側と 2 次側から PCB 表面上の沿面距離として使用される領域まで延ばすことです。

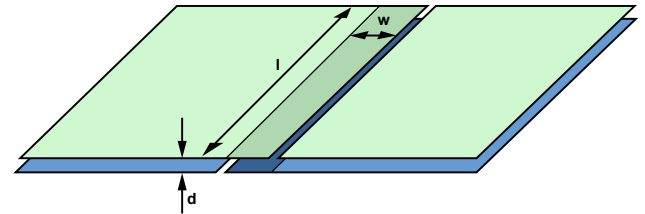


図 7. 重複プレーン・スティッチング容量

図 7 に示す構造の容量結合は、並行プレート・コンデンサの次の基本式を使って計算されます。

$$C = \frac{A \epsilon}{d} \quad \text{and } \epsilon = \epsilon_0 \times \epsilon_r \quad (3)$$

ここで、

C は合計スティッチング容量。

d は PCB 絶縁層の厚さ。

ϵ_0 は自由空間の誘電率 8.854×10^{-12} F/m。

ϵ_r は PCB 絶縁材料の比誘電率で、FR4 の場合約 4.5。

$$C = \frac{l w \epsilon}{d} \quad (4)$$

ここで、 w 、 d 、 l は、1 次側リファレンス・プレーンと 2 次側リファレンス・プレーンの重複部分の寸法（図 7 参照）。

この構造の主な利点は、アイソレータの真下の、沿面距離と空間距離を確保するため上と下の層を分離する間隙内に容量が形成されることです。このボード領域は大部分のデザインでは使用されません。また、形成される単位面積あたりの容量は、フローティング・プレーンに比べて 2 倍です。

このアーキテクチャでは、結合点は 1 箇所だけで、1 次と 2 次のリファレンス・層間の層数は FR4 の 1 層だけです。これは、基本的な絶縁だけが必要な小型ボードに適しています。

エッジ・ガード

電源プレーンとグラウンド・プレーン上のノイズで回路ボードのエッジに到達する成分は、図 2 と図 3 に示すように放射します。エッジをシールド構造で処理すると、ノイズはプレーン内部に反射されて戻されます（参考資料のセクションの Archambeault と Drewniak を参照）。これによりプレーン上の電圧ノイズが大きくなりますが、エッジ放射は減ります。

PCB の伝導性エッジ処理は可能ですが、高価です。安価なソリューションは、ボードのエッジをビアと組み合わせたガード・リング構造で処理する方法です。図 8 に代表的な 4 層ボードの構造を示します。図 9 に、回路ボードの 1 次側の電源層とグラウンド・プレーンにこの構造を実現する方法を示します。

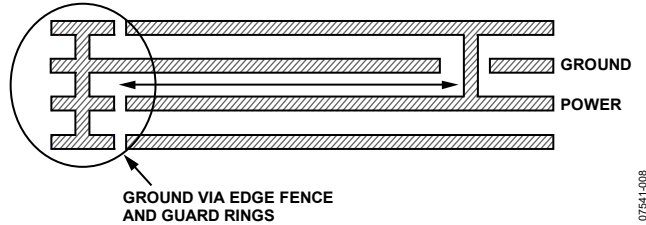


図 8. ビア・フェンス構造、側面図

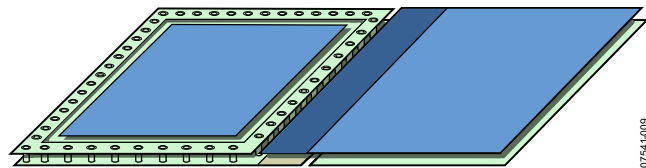


図 9. ビア・フェンスとガード・リング、1 次電源プレーン上に表示

エッジ・ガードの形成には 2 つの目的があります。1 つ目は、ビアからの円筒形放射を反射させて層間隙内に戻し、エッジから逃げないようにすることです。2 つ目は、ノイズまたはパターンを流れる大きな電流から発生する、内部プレーン上のエッジ電流をシールドすることです。

エッジ・ガードを形成するために使用するビアの間隔の決定は、広範囲なモデル化なしには困難です。アナログ・デバイセズのテスト・ボードでは、評価用ボードに 4mm のビア間隔を使用しています。この間隔は、18GHz 以下の信号の減衰には十分小さいため、その他のソースからの全体的な誘導にも適しています。必要とされるビア数も妥当なものです。ビア密度についてのこれ以上の調査は行っていません。

層間容量バイパス

層間容量によるバイパスは、高周波でのバイパス・インテグリティを向上させることにより、ボードの伝導ノイズと放射ノイズを小さくする技術です。これには 2 つの利点があります。1 つ目は、グラウンド・プレーンと電源プレーンの対の中で高周波ノイズが広がる距離を短くすることです。2 つ目は、200MHz～1GHz で効果的なバイパス容量を提供することにより、電源/グラウンド・プレーンに混入する初期ノイズを削減することです（参考資料のセクションの Archambeault と Drewniak を参照）。電源とグラウンドのノイズ削減により、isoPower デバイスの近くにあるノイズに敏感な部品の動作環境が良くなります。伝導放射は、電源ノイズとグラウンド・ノイズの削減に比例して削減されます。放射ノイズの削減はスティッチング技術またはエッジ・ガード技術の場合に比べて大きくはありませんが、ボードの電源環境を大幅に改善します。

EMI テスト・ボードに使用した積層は信号—グラウンド—電源—信号です（図 10 参照）。薄いコア層が電源プレーンとグラウンド・プレーンに使用されました。これら密に構成されたプレーンが層間容量層を提供し、デバイス動作に必要なとされるバイパス・コンデンサを補完しています。



図 10. 層間容量用の PCB 積層構成

グラウンド・プレーンと電源プレーンの他に、グラウンド/電源の繰り返しフィルを信号層に追加することにより、容量を更に大きくすることができます。図 10 の表面層と裏面層は、これら特定の層へフィルを説明するため、信号/パワーと信号/グラウンドと表示しています。これらの追加層により、ビア・フェンス構造のエッジ周囲から漏れる EMI に対するシールドを強化して、PCB 内部に閉じ込める利点が加わります。グラウンドと電源の層追加を行うときは注意が必要です。追加層もリファレンス・プレーンに接続する必要があります。これは追加層をフローティングにしておくと、シールドではなくパッチ・アンテナとして機能してしまうためです。追加層に対する推奨事項には次が含まれます。

- エッジに沿って 10mm ごとにビアを使って追加層は該当するリファレンス・プレーンに接続する必要があります。
- 追加層の細い突出部はなくします。
- 追加層の形が不規則的な場合は、エッジ部分にビアを使用します。

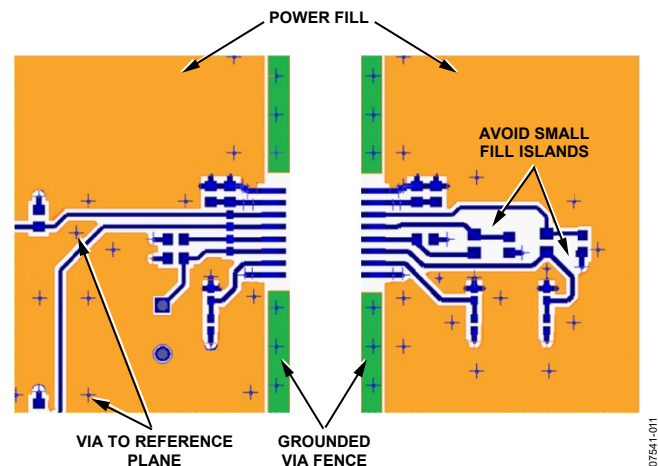


図 11. 追加層の機能

層間容量の効果を図 12 に示します。ADuM5000 のような部品あるいはそのシリーズの同様の部品（部品リストは表 1 を参照）の 1 次側発振器を制御する PWM から発生するノイズを示しています。上の部分は、2 層ボードで V_{DD1} ピンに発生するノイズです。中央部分は、グラウンド・プレーンと電源プレーンを 24 ミル分離した PCB での改善が大きいことを示しています。最後の下の部分では、グラウンド・プレーンと電源プレーンの間隔を 4 ミルに狭くした場合で、ノイズは電源リップルより大幅に小さくなっていることを示しています。

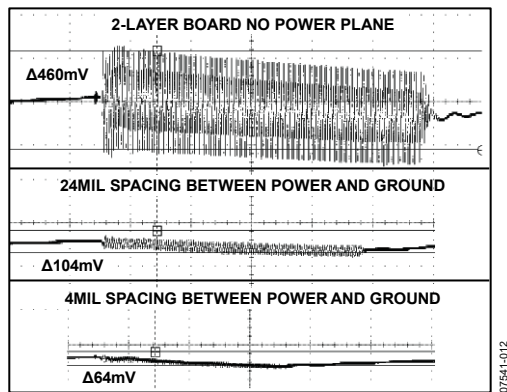


図 12. 様々な積層オプションに対する V_{DD} 電圧ノイズ

消費電力の削減

アクティブ帰還アーキテクチャを持つ *isoPower* デバイスでは、できるだけタンク回路をオフに維持することにより放射を削減することができます。軽い負荷で *isoPower* を動作させると、[表 1](#) に示されるデバイスでこれを実現することができます。負荷の削減により、放射レベルに大きな影響があることが示されました。

動作電圧

動作電圧は、*isoPower* の使用をデザインする際に選択する最後のパラメータです。これは、低消費電力または低電圧動作条件を選択するほど簡単ではありません。[図 13](#) に示すように、180MHz での放射は PWM レギュレーション信号のデューティ・

ファクタと密接な相関があり、動作電圧にほとんど依存しません。PWM デューティ・ファクタは、タンク発振器がスイッチングする時間比を制御します。これは、タンク回路（180MHz ピーク）から発生するノイズが平均電流に比例しないことを意味します。

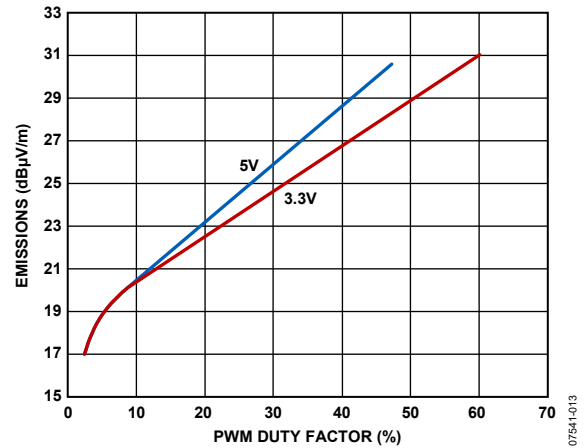


図 13. タンク周波数 180MHz での放射対 PWM デューティ・ファクタ

360MHz での放射は、平均負荷電流に比例します。実際のアプリケーションでは、これは EMI の視点から見た場合、3.3V または 5V のいずれで動作させた方が良いかの選択は、制御する必要のあるピークと所用負荷電流に依存することを意味します。詳細については、このアプリケーション・ノートの[動作負荷と電圧に対する依存性](#)のセクションを参照してください。

推奨デザイン方法

PCB の EMI 問題を小さくするために次の一般的なデザイン方法を考慮してください。これらの方法では、レビューを必要とする PCB にアイソレーション境界を追加することはありません。

- 最小でも 4 層を使用します。
- バイパスを最適化するため、電源プレーンとグラウンド・プレーンの間隔をできるだけ小さくします。
- 電源パス内のすべてのビアをできるだけ大きくする。小さいビアは大きなインダクタンスを持つためノイズを発生します。ビア・インダクタンスの削減では、複数の小さいビアの使用は、大きいビアを 1 個使うほど効果的ではありません。これは、複数パスがあっても最寄りのビアを大きな電流が流れてしまうためです。
- 1 つのリファレンス・プレーンに対して信号ラインを注意深く配線します。イメージ電荷が別のプレーンの元の信号に追いつくために遠まわりしなくて済むようにイメージ電荷パスを維持することが不可欠です。
- PCB のエッジ近くに高速ラインを配置しないようにします。
- データまたは電源をボード外で配線します。特にケーブルを使用すると、更に放射の問題が導入されます。貫通型フィルタ・コンデンサまたは同様のフィルタ構造を使用すると、ケーブル放射を少なくすることができます。

アイソレーション規格の満足

スティッチング容量を経由した入力から出力への混入を除いて、このアプリケーション・ノートで説明した技術は、ボード・アイソレーションに影響を与えません。スティッチングをセーフティ・コンデンサで実現する場合、コンデンサには定格の動作電圧と過渡電圧、更に規定の沿面距離と空間距離があります。このため、認定を受ける点ではセーフティ・コンデンサの扱いは比較的容易ですが、EMI 抑圧素子としての性能は限られています。

PCB スティッチング・コンデンサは、導体が互いに近くに配置されている場合、それ自体の性質から最も効果的です。これらの素子の最大性能を得るためには、内部間隔条件をできるだけ規定値に近づけて、安全性を確保する必要があります。規格が異なると、PCB の構成で全く異なる方法を探ることができるため、適切な規格を適用する必要があります。

認定機関は、多層 PCB の表面層を内部層とは異なる扱いにしています。表面には、空気のイオン化と汚れた表面でのブレイクダウンから導出された沿面距離条件と空間距離条件があります。内部層は、丈夫な絶縁または丈夫な絶縁間の恒久的な結合点として扱います。

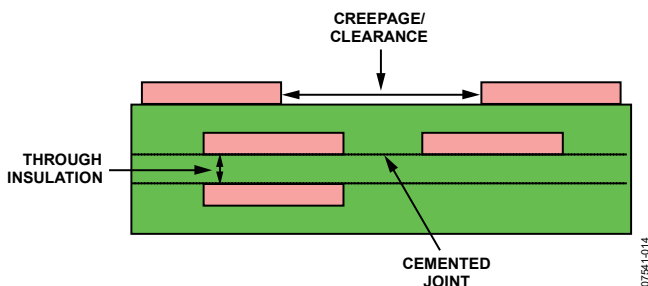


図 14. PCB デザインで重要な寸法

PCB の絶縁では、材料が過渡テスト条件に合格する十分な絶縁ブレイクダウンを持つことと、時間経過により絶縁がブレイクダウンしない方法で構成されていることが、認定機関にとって重要です。表 2 に、PCB 内部で基本絶縁障壁または強化型絶縁障壁を設けるために必要とされる 4 つの規格の比較を示します。

PCB の基本絶縁の場合、絶縁距離の最小規定値はありません。このため、デザインではボード・レイアウトに大きな柔軟性があります。FR4 のような材料は、製品寿命に対して要求される過電圧に耐えるように十分な厚さを持つ必要があります。

強化型絶縁では、内部 PCB 層上での銅構造間の間隙のような、接着面に沿う 0.4mm（約 16 ミル）の絶縁最小距離または多くの場合層相互間の絶縁を直接通過する距離を維持する必要があります。更に、アクティブ構造の間で複数の絶縁層を使用しないかぎり、回路ボードに対してタイプ・テスト要求があることもあります。この要求により注意深いボード・デザインと 4 層以上が必要になりますが、デザインの開始時に考慮しておけば、負担にはなりません。

アイソレーション障壁を跨ぐ容量結合により、1 つのグラウンド・プレーンから別のプレーンへの AC リークと過渡電圧の混入が発生します。300pF は小さく見えますが、それでも高電圧高速の過渡電圧により、この容量を経由して大きな電流が障壁を超えて混入します。アプリケーションでこれらの環境に遭遇する場合には、このことを考慮しておく必要があります。

表 2. アイソレーション規格間のアイソレーション沿面距離の比較

Type of Insulation	IEC 60950		IEC 61010 2nd Edition		IEC 61010 3rd Edition		IEC 60601
	Through Insulation (2.10.6.4)	Along a Cemented Joint (2.10.6.3)	Through Insulation (6.7.2.2.3)	Along a Cemented Joint (6.7.2.2.3)	Through Insulation (6.7)	Along a Cemented Joint (6.7)	Cemented and Solid Insulation
Functional Insulation	No requirement	No requirement	No requirement	No requirement	0.4mm minimum	0.4mm minimum	Verified by test
Basic Insulation	No requirement	No requirement	No requirement	No requirement	0.4mm minimum	0.4mm minimum	Verified by test
Supplemental/ Reinforced insulation	0.4 mm minimum or multiple layers of insulation, precured	0.4mm minimum (2.10.5.2)	No requirement	No requirement	0.4mm minimum or multiple layers of insulation, precured	0.4mm minimum	Verified by test

EMI に対する PCB 構造の評価

PCB 構造と技術の組み合わせを選択すると、システムの放射 EMI 目標を実現することができます。放射の規格には 2 種類あります。1 つは米国 FCC (Federal Communications Commission) の規格で、もう 1 つは IEC の特別委員会 CISPR (Comité Internationale Spécial des Perturbations Radioelectrotechnique) の規格です。

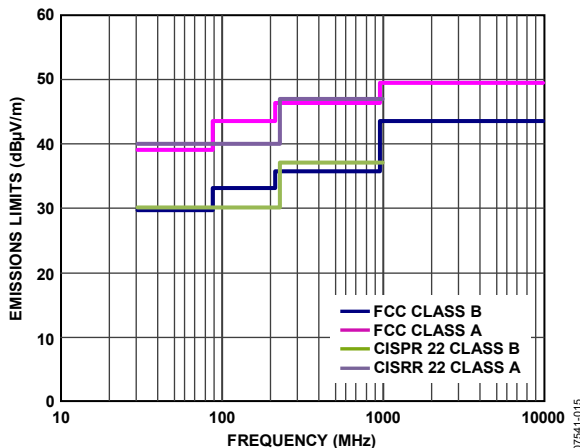


図 15. 10m アンテナ距離に補正した FCC 規定値と CISPR 規定値

このアプリケーション・ノートでは、CISPR22 放射規格は PCB 結果の評価に使います。図 15 に、FCC レベルと CISPR レベルの関係を示します。大部分のスペクトルで、CISPR レベルは FCC レベルより保守的であり、国際市場で多くの製品が両規格を満たす必要があるため、このアプリケーション・ノートでは CISPR の合否規定値のみを参照します。解析のために必要な場合、該当する FCC レベルについては図 15 を参照してください。

EMI 軽減技術の有効性は、ステッチング容量、エッジ・ガード、サイズの様々な組み合わせで、評価用ボードのセットを作成して評価しました。これらの実験は、間隔 4 ミルのグラウンド・プレーンと電源プレーンを内層に持つ FR4 材の 4 層 PCB を使って制御しました。図 16 に示すように、これにより境界の両側に十分な層間容量、エッジ・ガーディングなし、ステッチング容量なしを実現できました。テストは、3m のスクリーン・ルーム内の EMI テスト施設で行いました。目標は、個々のピークへの集中ではなく広いスペクトルの放射を表示することです。このテストのピークは、10m ファー・フィールド結果と良い相関を示しました。

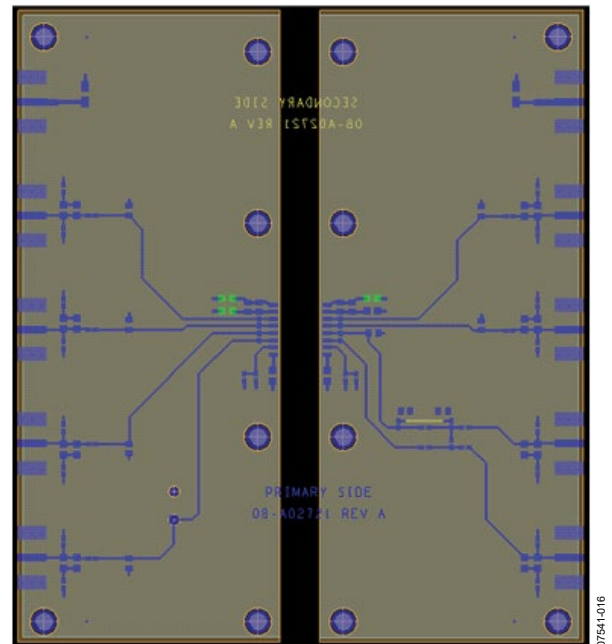


図 16. コントロール・ボード

図 15 から、クラス B 放射レベルを実現するためには、これらの周波数での放射は、10m アンテナ距離で正規化して 180MHz で 30dBμV/m 未満、かつ 360MHz で 37dBμV/m 未満である必要があります。コントロール・ボードの構成は、アイソレーション・アプリケーションに対する標準 PCB レイアウトと見なされます。5V 動作条件とフル負荷での放射は、放射の最悪ケースを表わしています。図 17 に、コントロール・ボードに対して収集した施設データを示します。注意すべき点は、180MHz のタンク周波数ピークと 360MHz の整流周波数です。EMI 軽減策を講じると、通常、高い周波数の高調波は消えます。

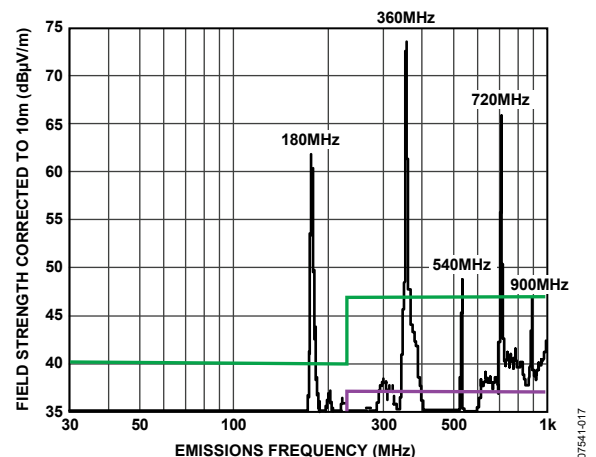


図 17. 5V、90%負荷でのコントロール・ボードからの放射

表 3 に、このボードからの放射は CISPR クラス B を満たすためには、大きいので、360MHz ピークでは 32dB、更に 180MHz ピークでは 36dB 小さくする必要がありますことを示します。この放射を 36dB 下げることがデザインの目標になります。

スティッチング容量の結果のセクションとエッジ・ガードの結果のセクションで示したデータは、5V/5V 90%負荷条件、かつスティッチング容量なしで正規化しているため、図 20、図 22、図 23、表 4 の値をアプリケーション・ボードのベースライン動作から差し引くことができます。

表 3. クラス B 放射規定値

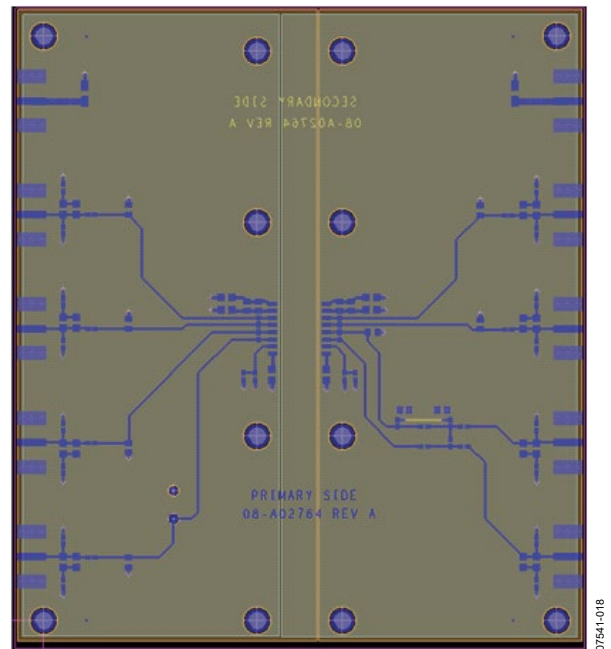
Requirements	180MHz	360MHz
2-Layer PCB Emissions	62dB	73dB
Class B Limit	30dB	37dB
Required EMI Reduction	32dB	36dB

スティッチング容量の結果

スティッチング容量の追加は、スペクトル全体で放射を削減する最も効果的な方法であることが実証されています。スティッチング容量のインダクタンスが非常に小さく、かつ障壁の全長にわたって分布している場合に最も効果的です。一定レベルのスティッチング容量を実現する最適寸法は、使用可能な面積とデザインを管理する規制条件に依存します。この評価の場合、間隙重複容量では大きな容量が実現でき、パターンと部品が存在しない PCB の一部を使用できるため、間隙重複容量を使用することにしました。その他の複数のオプションも使用可能で、これらは実装技術のセクションで説明します。

図 18 に、PCB レイアウトとその内部プレーンを示します。電源プレーンとグラウンド・プレーンが両側まで広がり中央でこれらが重複している 4 ミル・コア上にボードを構築しました。重複部は $l=114\text{ mm}$ で、 $w=6.5\text{ mm}$ 、間隔は $d=0.1\text{ mm}$ です。式 4 を使用すると、スティッチング容量は 300 pF になります。 150 pF のスティッチング容量を形成するため長さの小さい PCB を追加しました。変更により、 75 pF の容量測定値も得られました。

図 19 にデータ・セットの例を示します。予想された周波数でピークを観測することができます。2 つのカーブは、スティッチング容量なしのコントロール・ボードと 300 pF の重複スティッチング・コンデンサを使用したコントロール・ボードを表わしています。ピークに応じて、スティッチング容量により放射が 25 dB ~ 30 dB と大幅に減少しています。ピーク値は負荷と電圧により変化しますが、減少は動作電圧と負荷電流に無関係です。



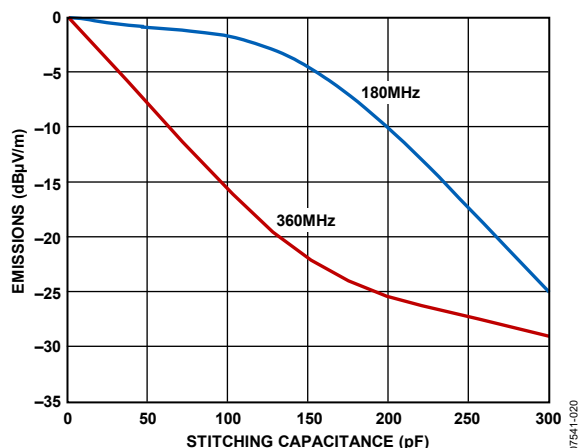


図 20. 5V/5V 動作、10%負荷での
スティッチング容量による放射の減少

カーブ形状の違いは、主に容量結合のインダクタンスと最適結果を得るための所要容量に関係しているものと見られます。360MHzで、低インダクタンス・スティッチングは150pFで入力プレーンと出力プレーンに十分な結合を持っています。180MHzの放射は主に入力プレーンからのもので、放射を削減するためにはバルク容量を大きくする必要があります。このため、幾つかのオプションが使用可能になります。大部分の成分コンデンサは 200MHz 以下でバイパスとして依然非常に有効であるため、低インダクタンス用のスティッチングを採用した PCB と、合計容量を増やすためのディスクリット部品コンデンサとの組み合わせでスティッチング容量を構成することができます。オプションの幾つかの例を[実装技術](#)のセクションで調べます。

カーブの形状は、スティッチング容量の大きさが使用可能なボード面積により制約される場合、成分容量やエッジ・ガードなどの低周波放射を削減するための他の対策が必要であることを示しています。

エッジ・ガードの結果

isoPower システムでは、大きな電流が 1 次側グラウンド、電源プレーン、これらをアクティブ・ピンに接続するビアに流れます。このために、1 次側で発生するエッジ放射の大部分が生じます。エッジ・ガードは、コンバータの 1 次側プレーンに使用したとき最も効果的です。[図 21](#) に、テスト・ボードにエッジ・ガードを追加する方法を示します。

表 4. 放射のエッジ・ガードによる削減

Board Type	180MHz	360MHz
Edge Guard	-11dBμV/m	-4.5dBμV/m

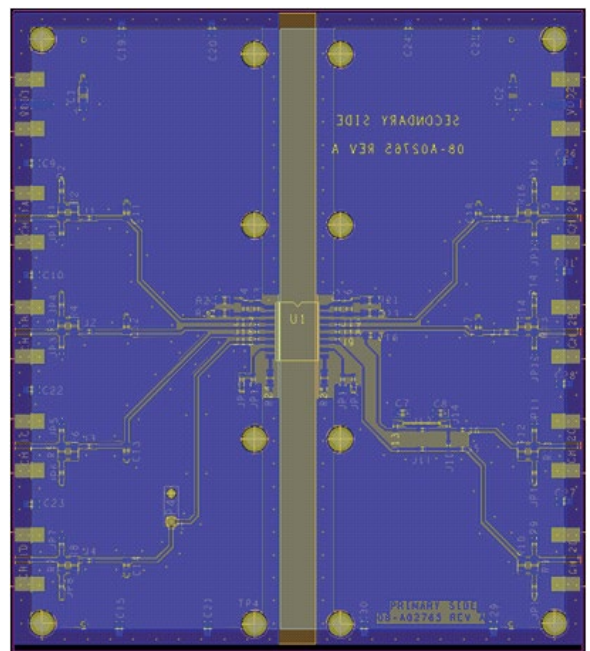


図 21. 重複スティッチング容量、
エッジ・ガード・グラウンド／電源フィル

ガードは両側に設けますが、2 次側プレーンでの効果は小さくなります。ガード・リングをリファレンス層を除く各層に使用し（[図 8](#) と [図 9](#) 参照）、各層を 4mm ごとにビアで互いに接続します。iCoupler の近くのフェンシングには幾つかのオプションがあります。間隔が狭い場合は、フェンスをデバイスの下の方の全層で分断することができます（[図 21](#) 参照）。ガード・リングも表面層と裏面層でのみ分断して、内部層では連続させることができます。エッジ・フェンスに分断が多いほど、EMI リークは多くなります。

システム・アイソレーション条件によっては、結合点（cemented joint）に沿って、全沿面距離までの大きな距離を必要とする場合があります。これらのケースでも、スティッチングとエッジ・ガードが使用可能で、望ましいことでもあります。長い内部 PCB 沿面距離が必要な場合、多くのケースで、スティッチング容量構造は [図 3](#) に示すエッジが一致しないケース（これは効率良い放射器になります）に非常に似たものになります。エッジが一致しないケースに対するエッジ・ガードの使用例を [図 27](#) に示します。

エッジ・ガードしたボードの結果を [表 4](#) に示します。大部分のエッジ放射は、大きな 1 次側電流により 1 次側で発生するため、最大の削減は 180MHz ピークで得られ、一般に約 -11dBμV/m です。360MHz ピークに対する結果は、半分以下の低下です。

動作負荷と電圧に対する依存性

放射は、タンク発振器がオンしている時間長に比例します。
図 22 と 図 23 に、タンク周波数と整流周波数での放射が負荷によって変化する様子を示します。放射は、高い負荷でほぼ電流に比例します。放射は、タンク回路が完全にターンオンしない非常に軽い負荷で大幅に低下します。軽い負荷と低い出力電圧では、タンク放射と整流放射を 20dB 以上削減することができます。

タンク・デューティ・ファクタと様々な電圧での負荷電流との関係のために、60mA/3.3V 負荷で動作した場合の 180MHz での放射には、100mA/5V で動作した場合と同じ大きさのエネルギーが含まれます（図 22 参照）。ただし、5V で転送される電力は 2 倍以上大きくなります。

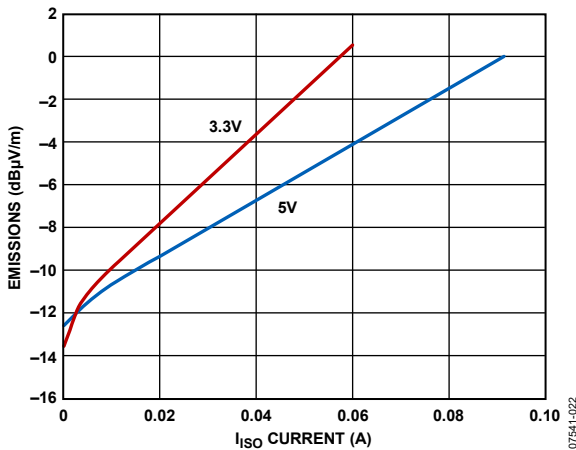


図 22. 180MHz での放射対負荷電流

図 23 で 360MHz 動作を調べると、動作は期待以上であり、3.3V 放射は動作範囲のほぼ全体で低くなっています。低い負荷条件での 3.3V 動作には大きな利点があります。

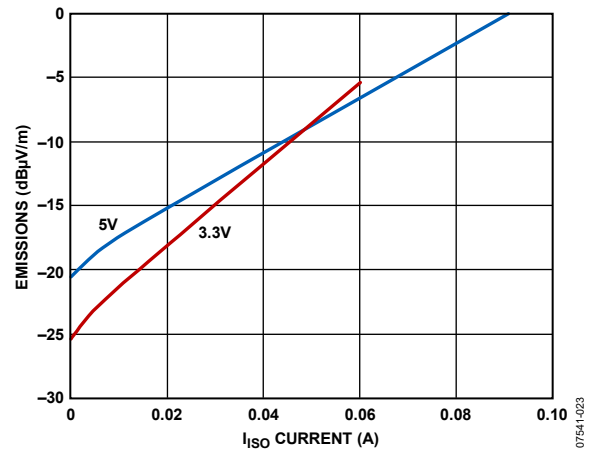


図 23. 360MHz での放射対負荷電流

様々な電圧で 180MHz 応答と 360MHz 応答を比較すると、これらの結果から、低負荷での 3.3V 動作には 180MHz で小さな犠牲がありますが、360MHz で利点があることが分かります。高い負荷電流がある場合には、5V で動作させるべきです。

層間容量

これらのデザインで層間容量を使用すると、放射への効果は限られていますが、電源ノイズには大きな効果があります。ステッチング容量で使用した同じ層を使用して、障壁の両側で層間容量を形成することができます。ステッチング容量に対して優れた結合を得た同じ特性により、優れた層間容量（薄い層と連続プレーン）を形成することができます。

図 21 に示すボードでは、信号層の未使用部分に設けたグラウンド・フィルと電源フィルが交互に並んでいます。これにより層間容量を増やすことができますが、アイソレーションに影響を与えません。フィルの孤島は 10mm ごとのビアでそれぞれのプレーンに接続され、フィルの回廊または孤島が生じないようにレイアウトに注意します。

層数の多いボードで信号層を使用すると、複数の層を互いに入り込ませることによりステッチング容量を大きくすることができます（詳細については、実装技術のセクション参照）。

実装技術

目標とする放射を実現するために、このアプリケーション・ノートで説明したどの方法を組み合わせるかを正確に決定するためには、予測ベースライン放射の測定値が必要です。他の使用可能な予測値がない場合は、コントロール・ボードの動作を使うことができます。多くのオプションはコストまたは面積に大きな影響を与えないので、任意の多層 PCB で使用することができます。EMI を小さくする PCB レイアウトとアプリケーション技術を選択するプロセスを図 24 に示します。ここでは、プロセスを、アイソレーションに影響しない項目、アイソレーションに影響する項目、シールドのようなシステム・レベルの手法の 3 つに分割します。

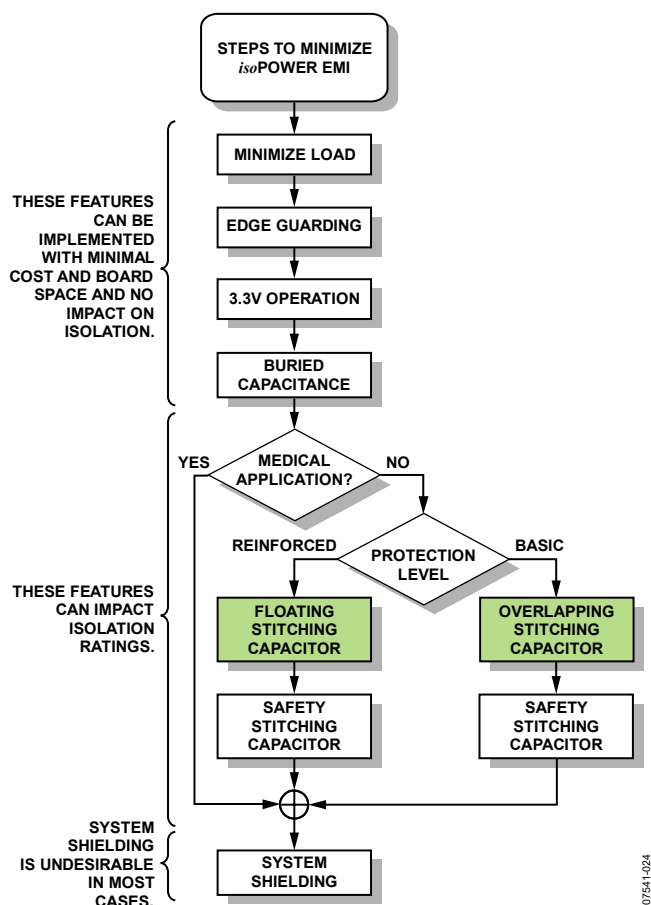


図 24. EMI 軽減オプションの選択

このプロセスを説明するため、プロセスの大部分をカバーする 2 つの例を調べます。最初に、2 つのタイプのアプリケーション・ボードを作成します。

- 基本的な絶縁を満たす必要のある 60mA の平均電流を流せる PCB
- 10mA 未満の電流を供給できるが、強化型絶縁能力を持つ PCB

コントロール・ボードをベースラインとして使用します。表 3 に、このボードのフル負荷での放射と CISPR クラス B 規定値を示します。

例 1—基本絶縁ボード

最初のレイアウト例では、アプリケーションに対して要求される最大負荷は 60mA とします。これにより、デザイン努力なしに放射が数デシベル減少しますが、これは *isoPower* から見ると、比較的重い電流のアプリケーションであるため、1 次側にエッジ・ガードの使用が推奨されます。エッジ・ガードにより、180MHz ピークが 10dB 低下し、360MHz ピークもある程度低下します。更に、大きな電源では、5V/5V 動作条件を選択すると、最小の放射が得られます（図 22 参照）。敏感なアナログ回路が存在する場合、または長いケーブルがアプリケーション PCB に接続されている場合は層間容量の最適化を検討する必要がありますが、これは必須ではありません。

既に使用している方法で放射がベースラインより 11dB~15dB に減少している場合でも、クラス B のために必要とされる 32dB と 36dB の削減を得るためには、スティッチング容量を採用する必要があります。これは医用アプリケーションでないため、クロス・バリア容量を追加する柔軟性があります。基本絶縁のみが必要なため、最小サイズのスティッチング・コンデンサは一重オプションになります。このようにして得られる削減効果は 180MHz ピークで 15dB、360MHz ピークで 11dB になります。これでは、低周波数は 17dB のままで、高い周波数では 21dB が得られます。図 20 に示すように、360MHz ピークでの目標を実現するためには 140pF のスティッチングが必要ですが、180MHz ピークで所要レベルを満たすためには 250pF が必要です。式 4 を使い、絶縁体を 4 ミルとし重複を 8mm とすると、250pF の容量を得るためには長さ 77mm のコンデンサ構造が必要となります。

表 5. 基本絶縁 4 層ボード

Parameter	Value	Relative Change	
		180MHz Peak	360MHz Peak
Power Level	60mA at 5V	-4dB μ V/m	-7dB μ V/m
Edge Guarding	N/A	-11dB μ V/m	-4dB μ V/m
Stitching	250pF	-17dB μ V/m	-27dB μ V/m
Total		-32dB μ V/m	-38dB μ V/m

表 5 に、250pF のスティッチング容量、エッジ・ガード、5V で 60mA の電流で得られる削減の一覧を示します。容量スティッチングは、図 25 のように構成してあります。4 層ボードでは、表面層と裏面層でフル PCB 沿面距離が必要ですが、内部層では間隔を大幅に小さくすることができることに注意してください。

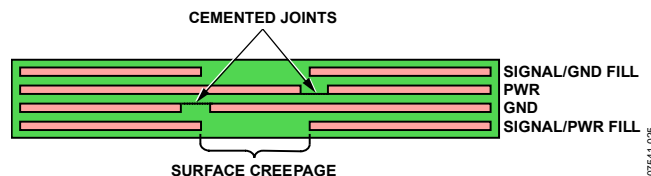


図 25. 基本絶縁の一重スティッチング・コンデンサ

このデザインは、長さ 77mm の重複部分が使用可能な場合に許容できます。面積に余裕がある場合用に、図 26 にその他のオプションを示します。360MHz ピークに必要とされる容量は 180MHz に必要とされる容量より小さいため、140pF のスティッチング容量用に PCB をデザインし、セーフティ定格コンデンサで補完してください。これにより、スティッチング・コンデンサの長さが 44mm に短縮され、160pF のセーフティ・コンデンサが追加されます。

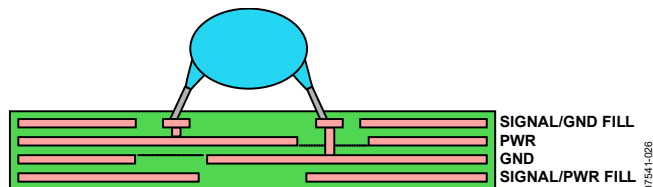


図 26. セーフティ・コンデンサによるスティッチングの補強

最後に、図 27 に、エッジ・ガードを使用した基本絶縁構造を示します。エッジ・ガードに使用したグラウンド・プレーンは、スティッチング・コンデンサにも使用されていることに注意してください。これにより、20h パッチ・アンテナ効果が回避されます。

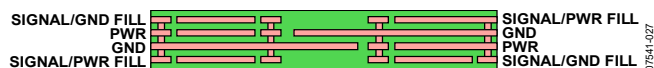


図 27. 基本容量スティッチングに追加したエッジ・ガード

大きな PCB 面積なしで容量を大きくするその他の技術は、噛み合い型スティッチング・コンデンサの使用です（図 28 参照）。重複する余分な層はビアを使って 1 次側プレーンに接続されるため、余分なプレーンは 1 次側の重複より誘導性が大きくなります。低い周波数のピークでは大きい容量が必要で、許容インダクタンスが大きくなるため、通常これが問題になることはありません。前述のように、エッジ・ガードを使用する場合、結合用にエッジ・ガード・グラウンド・プレーンを使用するのに適しています。

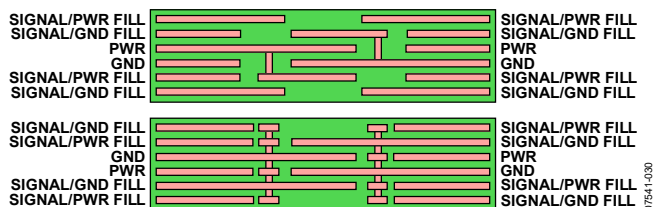


図 28. 結合を大きくするための噛み合い型スティッチング容量の様々な方法

例 2—強化型絶縁ボード

2 つ目のボードでは強化型絶縁が必要です。エッジ・ガードの解析は同じです。電流レベルが小さいため、電源を 3.3V/3.3V で動作させるために 360MHz ピークで利点があります（図 23 参照）。

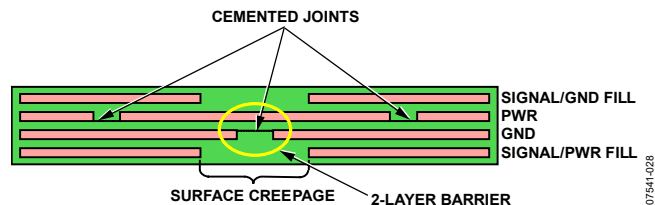


図 29. 最小の強化型絶縁—フローティング・スティッチング・コンデンサ

この例に対する規格で 2 層の強化型構造が許容できる場合、図 29 のようにスティッチング・コンデンサを形成することができます。前の例と同じ計算を行うと、最小スティッチング容量は 210pF になります。強化型アプリケーションでフローティング・スティッチング・コンデンサは一重の場合の 2 倍の面積を使用しているため、非常に大きなコンデンサが得られます（式 2 参照）。

表 6. 強化型 4 層ボードの放射

Parameter	Value	Relative Change	
		180MHz Peak	360MHz Peak
Power Level	10mA at 3.3V	-10dBμV/m	-22dBμV/m
Edge Guarding	N/A	-11dBμV/m	-4dBμV/m
Stitching	210pF	-11dBμV/m	-26dBμV/m
Total		-32dBμV/m	-52dBμV/m

例 1 では、セーフティ・コンデンサを使って低い周波数でスティッチングを補完したため、PCB スティッチング・コンデンサを小さくすることができました。この場合にも同様にすることができ、高電圧セーフティ・コンデンサは比較的高価で、かつ規制もあるため、セーフティ・コンデンサの使用が望まれます。ただし、セーフティとサイズに対して代替策があります。

層数を増やせる場合、セーフティ定格スティッチング・コンデンサを図 30 のように形成することができます。この構造では、アクティブ入力と出力構造との間で少なくとも 4 層の PCB 材料を使用します。大部分の規制当局は、テストまたは認定なしで許容します。複数の層への結合があり、間隔も大きいいため容量の計算は複雑になります。通常、この強化型 PCB では大きな面積が必要です。

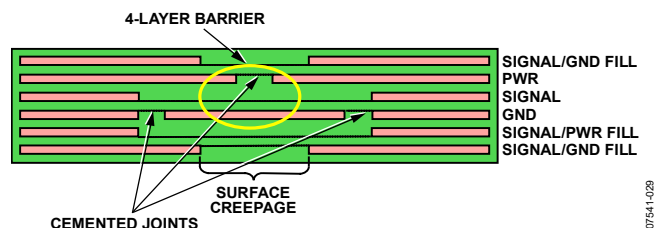


図 30. 強化型絶縁—フローティング・スティッチング・コンデンサ

その他のレイアウト注意事項

前の各例では、1次側プレーンと2次側プレーン間の内部距離を小さくして、結合を大きくし、放射を少なくしています。デザイン・ガイドラインは、PCB エッジから離れた、制御された領域にも適用されますが、回路ボードのエッジで中心部と同じレベルの強度を持たせるように注意する必要があります。対策が必要となるブレイクダウンの2つの特性としては、空気のブレイクダウンが比較的低いことと、金属のコーナーまたはポイントでの電界の集中があります。PCBのエッジに向かい合っているプレーン、またはPCBのエッジに近いプレーンは、ブレイクダウン・パスを構成します。

ボードは大きなシートとして製造され、個々のボードへ切断されます。切断は不正確なことがあり、FR4材料の亀裂やほつれが生じることがあります。間隔が密に積まれた内部層がボードのエッジに近づく、FR4の不正確な切断または顕微鏡的亀裂によって、低ブレイクダウンの空気に曝されるようになります。これにより問題が発生します。特に入力層と出力層の間隔がPCBエッジの鋭いコーナーで終端する場合、電界が強化されて、アーク放電の場所になります。

内部プレーンの内側コーナーがPCBのエッジに出会う表面層で沿面距離が大きくなるように内側コーナーに丸味を付けることが推奨されます。

図31に、内部プレーンがボード・エッジと出会う場所の良いレイアウトと悪いレイアウトを示します。上の図に、PCB内部で狭い間隔で重ねられた2枚のプレーンを示します。間隙の上部と下部に近いコーナーは、間隔が狭く、PCBのエッジまで延びています。このポイントでPCBインテグリティが低下するか、またはPCBの分割処理によりプレーンが露出されるため、ここが高電圧ブレイクダウンの主な場所になります。

図31の下の図は、コーナーに丸味を持たせ（強調してあります）、プレーンの重複部分をエッジから後退させて、このポイントをアイソレーション・デザインで弱いポイントにしないようにする方法を示しています。鋭いコーナーをなくして、各プレーンのエッジを十分後退させて、エッジの近くで十分なインテグリティのPCB材料となるようにします。

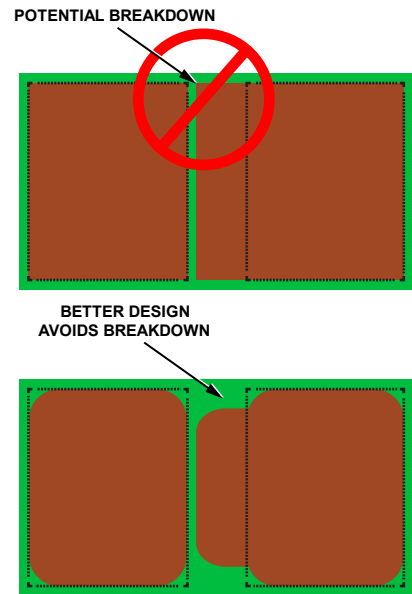


図 31. PCB エッジの近くで出会うプレーンのデザイン

結論

このアプリケーション・ノートで説明した各方法は、特定の放射源に対処するもので、各エミッションに対して所望の削減を実現するために、ここで説明した他の技術と組み合わせて使用することができます。テスト・ボードは、層間スティーチング・コンデンサとエッジ・フェンスを使用することにより外部シールドなしで、容易に CISPR 規格または FCC クラス B 規格を満たします。更に、グラウンド・プレーンと電源プレーンに層間デカップリング容量を使用すると、高精度計測アプリケーションに対してノイズの非常に少ない環境を提供することができます。

このアプリケーション・ノートは、ADuM5400 デバイスまたは同様のデバイスを使って取得したデータを主に使用していますが、この技術は *isoPower* ラインにも適用することができます。すべての *isoPower* 製品は、同様なタンク回路と整流回路を内蔵しています。デバイスの 1 次側を最大電流が流れると、これらのデバイスは放射の視点から見た場合と同様の動作を行います。

医療用アプリケーションのように低 AC リークが必要な場合、スティーチング容量は有効なソリューションにはならないと思われます。これらのアプリケーションでは、接地した金属シャーシの使用が放射を最小にする最も現実的なソリューションになると思われます。

参考資料

Archambeault, Bruce R. and James Drewniak. 2002. PCB Design for Real-World EMI Control. Boston: Kluwer Academic Publishers.

Gisin, Franz and Pantic-Tannr, Zoric, 2001. Minimizing EMI Caused by Radially Propagating Waves Inside High Speed Digital Logic PCBs, Mikrotalasna Revija (December).