

高速差動 ADC ドライバの設計についての考察

著者: John Ardizzoni、Jonathan Pearson

はじめに

最新の高性能 ADC は、そのほとんどが差動入力を使用して、同 相ノイズと干渉を除去し、ダイナミック・レンジを 2 倍に増大 し、平衡信号送信により全体の性能を改善しています。差動入 力 ADC はシングル・エンド入力信号も入力可能ですが、最適な 特性が得られるのは入力信号が差動の場合です。ADC ドライバ (このような信号を出力するためにしばしば特別に設計される 回路) は振幅スケーリング、シングル・エンド to 差動入力変換、 バッファ処理、同相オフセット調整、フィルタ処理などの多数 の重要な機能を実行します。AD8138 の発売以来、差動 ADC ド ライバはデータ・アクイジション・システムで必要不可欠なシ グナル・コンディショニング部品になりました。



基本的な完全差動電圧フィードバック ADC ドライバを図1に示 します。従来のオペアンプ帰還回路とは2つの違いがあること がわかります。差動 ADC ドライバには新たに出力端子(Vox) と入力端子(Vocm)が追加されています。これらの端子は差動 入力のある ADC に信号をインターフェースする場合に非常に便 利です。

差動ADCドライバはシングル・エンド出力の代わりに、Vockを 基準とした平衡差動出力を Vor と Vonの間に生じます(P は正 を、N は負を表します)。Vocm入力は出力同相電圧をコント ロールします。入出力信号が仕様規定範囲内である限り、出力 同相電圧は Vocm入力に印加された電圧に等しくなります。負帰 還と高オープンループ・ゲインにより、アンプ入力端子電圧の Va+と Va-は基本的に等しくなります。 今後の説明のために、いくつかの定義を順に説明します。入力 信号が平衡であれば、 $V_{IP} \ge V_{IN}$ は通常共通のリファレンス電圧 を基準にして振幅は同じで位相が反対になります。入力がシン グル・エンドの場合は、一方の入力が固定電圧で他方がその電 圧を基準に変化します。いずれの場合も、入力信号は $V_{IP} - V_{IN}$ として規定されます。

差動モード入力電圧 (V_{IN,dm}) と同相モード入力電圧 (V_{IN,cm}) は式1と式2で規定されます。

$$V_{IN, dm} = V_{IP} - V_{IN} \tag{1}$$

$$V_{IN, cm} = \frac{V_{IP} + V_{IN}}{2}$$
(2)

この同相の定義は平衡入力に印加される場合には直感的に理解できますが、シングル・エンド入力でも有効です。

出力もまた差動モードと同相モードがあり、式 3 と式 4 で規定 されます。

$$V_{OUT, dm} = V_{OP} - V_{ON} \tag{3}$$

$$V_{OUT, cm} = \frac{V_{OP} + V_{ON}}{2} \tag{4}$$

実際の出力同相モード電圧(Vour,em)と(出力同相モード・レベルを設定する)Vocm入力端子との間の差に注意してください。 差動 ADC ドライバの解析は従来のオペアンプの解析よりもかな り複雑です。代数を簡略化するために式 5、式6に示すように2 つの帰還係数 β1、β2を定義すると便利です。

$$\beta_I = \frac{R_{GI}}{R_{FI} + R_{GI}} \tag{5}$$

$$\beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \tag{6}$$

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任 を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商 標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。



目次

はじめに	1
改訂履歷	.2
ADC ドライバに対する入力の終端	.3
入力同相電圧範囲(ICMVR)	5
入力結合および出力結合:AC または DC	6
出力振幅	.7
ノイズ	7

電源電圧	9
高調波歪み	
帯域幅とスルー・レート	
安定性	
PCB レイアウト	12

改訂履歴

11/15—Rev. 0 to Rev. A	
Changes to Terminating the Input to an ADC Driver Section and Input	
Common-Mode Voltage Range (ICMVR) Section5	
Changes to Noise Section	
Added Figure 22; Renumbered Sequentially	
Changes to Figure 2313	

11/09—Revision 0: Initial Version

ほとんどの ADC ドライバでは $\beta_1 = \beta_2$ です。しかしベータのミス マッチが性能にどのように影響するかについて理解するのに、 V_{IP}、V_{IN}、V_{OCM}、 β_1 、 β_2 の項をもつ V_{OUT}, dmの一般的な閉ループ 公式は役に立ちます。式 7 に示す V_{OUT}, dmの式にはアンプの有限 で周波数に依存するオープンループ電圧ゲイン、A(s)が含まれ ています。

$$V_{OUT,dm} = \left[\frac{2}{\beta_1 + \beta_2}\right] \left[\frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}}\right] (7)$$

 $\beta_1 \neq \beta_2$ の時、差動出力電圧は V_{OCM} に依存します。これは差動出 力にオフセットと余分なノイズを生じるので、望ましくない結 果になります。電圧帰還構成のゲイン帯域幅積は一定です。ゲ イン帯域幅積のゲインは 2 つの帰還率の平均の逆数です。

 $β_1 = β_2 \equiv β$ のとき、式7は式8のように短縮されます。

F

* *

$$\frac{V_{OUT, dm}}{V_{IN, dm}} = \left[\frac{R_F}{R_G}\right] \left|\frac{1}{1 + \frac{1}{A(s)(\beta)}}\right|$$
(8)

٦

式8の方がより見慣れた式になっており、A(s)が∞に近づくと、 理想的な閉ループ・ゲインは単に R_F/R_Gになります。ゲイン帯 域幅積もまた、ノイズ・ゲインが1/βになるので、ちょうど従来 のオペアンプの場合のようによく知られた形になります。

帰還係数がマッチングしている差動 ADC ドライバの理想的な閉 ループ・ゲインは式9になります。

$$A_V = \frac{V_{OUT,dm}}{V_{IN,dm}} = \frac{R_F}{R_G}$$
(9)

差動 ADC ドライバの重要な性能指標である出力平衡には、振幅 平衡と位相平衡の 2 つの要素があります。振幅平衡は 2 つの出 力の振幅がどのくらい一致しているかを表す尺度です。理想的 なアンプではそれらは正確に一致しています。出力位相平衡は 2 つの出力間の位相差がどのくらい 180°に近いかを表す尺度で す。出力振幅または出力位相のどのような不平衡も出力に好ま しくない同相成分を生じます。出力平衡誤差(式 10) は差動入 力信号によって生成される出力同相電圧の、(同じ入力信号に よって生成される) 出力差動モード電圧に対する対数比で、デ シベルで表されます。

$$Output \ Balance \ Error = 20 \log_{10} \left| \frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right|$$
(10)

内部の同相帰還ループにより VOUT, cm が VOCM 入力に印加される 電圧に等しくなり、優れた出力平衡を生みます。

ADC ドライバに対する入力の終端

ADC ドライバは高速信号を処理するシステムで頻繁に使用され ます。複数のデバイス間の距離が信号波長のごく一部に過ぎな い場合でも、信号のもとの波形を損なわないようにインピーダ ンス整合された電気伝送ラインで接続されなければなりません。 伝送ラインの両端を特性インピーダンスで終端した場合に、最 適の性能が得られます。ドライバは一般的に ADC の近くに配置 されるのでそれらの間にインピーダンス整合した接続の必要は ありませんが、しばしば ADC ドライバ入力までの信号経路が長 いことがあるので、その場合適切な抵抗で終端してインピーダ ンス整合した接続をする必要があります。

終端抵抗 Rrをアンプ入力と並列に追加して必要な抵抗値を実現 できるように、(差動であろうとシングル・エンドであろうと) ADC ドライバの入力抵抗は、目的の終端抵抗以上でなければな りません。ここで検討する例に出てくるすべての ADC ドライバ は図 2 に示したようにバランスのとれたフィードバック比を持 つように設計されています。



図 2. 差動アンプ入力インピーダンス

アンプの 2 つの入力間の電圧は負帰還によりゼロになるように動作 するので、これらは実質的に接続されており、差動入力抵抗 R_{IN} は 単純に 2 × R_G になります。伝送ライン抵抗 R_L に整合させるために、 差動入力の間に式 11 で計算した値の R_T を接続します。図 3 に標準 的な抵抗 $R_F = R_G = 200\Omega$ 、要求される抵抗 $R_{L,dm} = 100\Omega \ge R_T = 133\Omega$ を示します。

$$R_{T} = \frac{1}{\frac{1}{R_{L}} - \frac{1}{R_{IN}}}$$
(11)
$$R_{L, dm} = 100\Omega \xrightarrow{200\Omega}_{200\Omega} \xrightarrow{200\Omega}_{200\Omega}_{200\Omega}$$

$$R_{T} = \frac{1}{\frac{1}{100\Omega} - \frac{1}{400\Omega}} = 133\Omega$$

図 3.100Ω ラインに整合

シングル・エンド入力を終端することはより多くの努力を必要 とします。図4はシングル・エンド入力、差動出力回路でADC ドライバがどのように動作するかを示しています。



図 4. ADC ドライバへのシングル・エンド入力の例

入力はシングル・エンドですが、 $V_{IN, dm}$ は V_{IN} に等しくなります。 抵抗 $R_F \ge R_G$ は等しくバランスがとれているので、ゲインは 1 で、差動出力、 $V_{OP} - V_{ON}$ は入力電圧、すなわち、4 V_{P-P} に等し くなります。 $V_{OUT, cm}$ は $V_{OCM} = 2.5V$ に等しく、また入力電圧 V_{A+} と V_{A-} は、下側の帰還回路により、 $V_{OP}/2$ に等しくなります。

式 3 と式 4 を使うと、 $V_{OP} = V_{OCM} + V_{IN}/2$ となり 2.5V を基準に ±1V 同相スイングします。また $V_{ON} = V_{OCM} - V_{IN}/2$ となり 2.5V を 基準に±1V 逆相スイングします。したがって、 V_{A+} と V_{A-} は 1.25V を 基準に±0.5V スイングします。 V_{IN} から供給しなければならない 電流の AC 成分は(2V-0.5V)/500 Ω = 3mA です。したがって、 V_{IN} から見て整合をとらなければならないグラウンドに対する抵抗 は、667 Ω です。

各々のループの帰還率がマッチングしている場合、このシング ル・エンド入力抵抗を計算する一般的な公式は式 12 で表せます。 ここで R_{IN, se}はシングル・エンド入力抵抗です。



これは終端抵抗を計算するスタート点です。ただし、アンプ・ ゲインの式は入力源インピーダンスをゼロと仮定していること に注意することが重要です。大きな信号源インピーダンスはシ ングル・エンド入力に起因した非平衡が存在する状態でマッチ ングしなくてはならないので、本質的に上側の R_Gにのみ抵抗が 追加されます。平衡を保つために、下側の R_Gに抵抗を追加して これをマッチングさせなければなりませんが、それはゲインに 影響します。

シングル・エンド信号を終端することの問題に対して閉形式で 解を決めることは可能かもしれませんが、反復法が一般的に使 用されます。その必要性は次の例で明らかです。 図 5 は、シングル・エンド to 差動のゲインが 1、入力終端抵抗 が 50Ω、そしてノイズを低く保つために、フィードバック抵抗 とゲイン抵抗を約 200Ω 付近の値にしています。



式 12 からシングル・エンド入力抵抗は 267 Ω になります。式 13 から入力抵抗 267 Ω を 50 Ω に下げるためには、並列抵抗、 R_T を 61.5 Ω にしなければならないことがわかります。

$$R_T = \frac{1}{\frac{1}{50\Omega} - \frac{1}{267\Omega}} = 61.5 \tag{13}$$

図 6 は信号源抵抗と終端抵抗を示した回路です。信号源の解放 回路電圧は 2Vp-pで、信号源抵抗は 50Ω です。信号源が 50Ω に 終端されると、入力電圧は 1Vp-p に減少します。また、これは ユニティゲイン・ドライバの差動出力電圧になります。



図 6. 信号源と終端抵抗を加えたシングル・エンド回路

この回路は一見完全に見えますが、 50Ω と並行に、ミスマッチ した抵抗 61.5Ω が上側の R_G にのみ追加されています。この追加 により、ゲインとシングル・エンド入力抵抗が変化し、帰還係 数がミスマッチします。ゲインが小さいので、入力抵抗の変化 は小さく、さしあたり無視されます、しかし帰還率はマッチン グしていなければなりません。これを可能する最も簡単な方法 は下側の R_G に抵抗を加えることです。図7はテブナン等価回路 を示しますが、ここで前述した並列組み合わせ回路が信号源抵 抗として働きます。



図 7. 入力信号源のテブナン等価回路

図 8 に示すように、ループ帰還係数をマッチングさせるために、 この置き換え回路に合わせて下側ループに27.6Ωの抵抗 R_{TS}を追 加します。



1.1Vp-pのテブナン電圧は適切に終端された電圧 1Vp-p よりも大 きくなり、ゲイン抵抗はそれぞれ 27.6Ω 増えるので、閉ルー プ・ゲインが減少することに注意してください。これら出力電 圧に対して相反する影響は、抵抗が大きく (>lkΩ) ゲインが小 さい (1または 2) 場合は、互いに相殺する傾向にありますが、 抵抗が小さくゲインが高い場合には完全には相殺されません。

図 8 の回路は簡単に解析することができ、差動出力電圧は式 14 で計算することができます。

$$V_{OUT,dm} = 1.1 \text{ V p} - p \left(\frac{200 \Omega}{227.6 \Omega}\right) = 0.97 \text{ V p} - p$$
 (14)

差動出力電圧は目的の電圧レベル 1Vp-p とまったく同じという わけではありませんが、式 15 に示したようにフィードバック抵 抗を変更することにより最終的な独立したゲイン調整が可能で す。

$$R_{F} = 227.6 \Omega \left(\frac{Desired V_{OUT,dm}}{1.1 \text{ V p - p}} \right) =$$

$$227.6 \Omega \left(\frac{1.0 \text{ V p - p}}{1.1 \text{ V p - p}} \right) = 206.9 \Omega$$
(15)

図 9 に完成した回路を示します。ここで使用する抵抗の値は標 準的な 1%抵抗のものです。



図 9. 完全シングル・エンド終端回路

図 9 の回路に関して、ドライバのシングル・エンド入力抵抗 $R_{IN,se}$ は $R_F \ge R_G$ の変更により変わります。ドライバの上側ルー プのゲイン抵抗は 200 Ω で、下側ループのゲイン抵抗は 200 Ω + $28\Omega = 228\Omega$ です。ゲイン抵抗が違う場合は、 $R_{IN,se}$ の計算を行う 前に式 16 と式 17 に示すように 2 つベータ値を計算する必要があ ります。

$$\beta_{I} = \frac{R_{G}}{R_{F} + R_{G}} = \frac{200 \,\Omega}{405 \,\Omega} = 0.494 \tag{16}$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228\,\Omega}{433\,\Omega} = 0.527\tag{17}$$

入力抵抗 $R_{IN,se}$ は式 18 に示すように計算します。この値は始め に計算した値 267 Ω とほとんど変わらず、 R_T の計算に大きな影 響はありません。なぜなら $R_{IN,se}$ は R_T とは並列だからです。

$$R_{IN,se} = \frac{R_G \left(\beta_1 + \beta_2\right)}{\beta_1 \left(\beta_2 + 1\right)} = 271\Omega$$
(18)

もしもっと正確な全体のゲインが必要であれば、より高精度な 抵抗または直列トリム抵抗を使用することができます。 ここで述べた 1 度の反復計算方法は閉ループ・ゲインが 1 また は 2 の時はよく当てはまります。ゲインが更に高い場合、 R_{TS} の 値は R_G の値に近くなり、式 18 で計算した $R_{IN,se}$ の値と式 12 で 計算した値の差は大きくなります。このような場合には何回か の反復計算が必要です。

入手可能な差動アンプ計算ツールである ADI Diff Amp CalculatorTM は、直感的なユーザ・インターフェースで前述の計算を実行します。

入力同相電圧範囲(ICMVR)

ICMVR は通常動作で差動アンプ入力に加えることのできる電圧 範囲を規定します。差動アンプ入力に現れる電圧は ICMV、 V_{acm} または $V_{A\pm}$ と呼ばれています。この仕様はしばしば誤解されま す。差動アンプ入力での実際の電圧を、特に入力電圧基準で決 めるのはかなり困難です。アンプ入力電圧 ($V_{A\pm}$) は変数 $V_{IN,cm}$ 、 β 、 V_{OCM} が既知の場合、 β s が異なるときは一般的な式 19 を使い、 β s が同じときは簡略化した式 20 を使って計算することができま す。

$$V_{acm} \, or \, V_{A\pm} = \frac{2\beta_1 \beta_2 V_{OCM} + V_{IP} \beta_2 (1 - \beta_1) + V_{IN} \beta_1 (1 - \beta_2)}{\beta_1 + \beta_2}$$
(19)
$$V_{acm} \, or \, V_{A\pm} = V_{IN,cm} + \beta \left(V_{OCM} - V_{ICM} \right)$$
(20)

 V_A は、図 4 に示すように、常に入力信号のスケールを小さくし たバージョンであることに注意してください。入力同相電圧範 囲はアンプのタイプによって異なります。アナログ・デバイセ ズの高速差動 ADC ドライバには ICMVR が電源の中点を中心に 設定されているもの (centered) と ICMVR の中点が電源の中点 からシフトされたもの (shifted) の2種類の入力段構成がありま す。ICMVR が電源の中点を中心に設定されている ADC ドライ バは各々の電源レールから約 1V のヘッドルームがあります。 ICMVR の中点がシフトされた入力段には 2 つのトランジスタが 追加されており、入力が-Vs レールにより近くスイングできる ようになっています。図 10 は代表的な差動アンプ (Q2 と Q3) の簡略化した入力回路を示します。



図 10. シフトされた ICMVR の簡略化した差動アンプ

ICMVR をシフトした入力回路構成の差動アンプは、例え単電源 駆動でもバイポーラ入力信号の処理が可能で、入力がグラウン ドまたはそれ以下になる単電源アプリケーションに十分対応で きます。入力に追加した PNP トランジスタ(Q1 と Q4)により、 差動ペアへ入力する入力電圧が 1 トランジスタの VBE 分上にシ フトします。例えば-IN に-0.3V を印加した時、A 点(図 10 参 照)は 0.7V になり差動ペアが正常に動作します。PNP がない場 合(中心入力段の場合)、A 点の-0.3V により、NPN 差動ペアに 逆バイアスがかかり、通常動作が停止します。

表 1. 高速 ADC ドライバの仕様

				Supply Voltage (V)									
ADC Driver			ICMVR			V _{осм}				Output			
Part No.	BW (MHz)	Slew Rate (V/µs)	Noise (nV)	±5V1	+5V	+3.3V ¹	+3V1	±5V ¹	+5V	+3.3V1	+3V1	Swing from Rails (V)	I _{SUPPLY} (mA)
AD8132	350	1200	8	-4.7 to +3	0.3 to 3	0.3 to 1.3	0.3 to 1	±3.6	1 to 3.7	N/A	0.3 to 1	±1	12
AD8137	76	450	8.25	-4 to +4	1 to 4	1 to 2.3	1 to 2	±4	1 to 4	1 to 2.3	1 to 2	Rail to rail	3.2
AD8138	320	1150	5	-4.7 to +3.4	0.3 to 3.2	N/A	N/A	±3.8	1 to 3.8	N/A	N/A	±1.4	20
AD8139	410	800	2.25	-4 to +4	1 to 4	N/A	N/A	±3.8	1 to 3.8	N/A	N/A	Rail to rail	25
ADA4927-1/ ADA4927-2	2300	5000	1.4	-3.5 to +3.5	1.3 to 3.7	N/A	N/A	±3.5	1.5 to 3.5	N/A	N/A	±1.2	20
ADA4932-1/ ADA4932-2	1000	2800	3.6	-4.8 to +3.2	0.2 to 3.2	N/A	N/A	±3.8	1.2 to 3.2	N/A	N/A	±1	9
ADA4937-1/ ADA4937-2	1900	6000	2.2	N/A	0.3 to 3	0.3 to 1.2	N/A	N/A	1.2 to 3.8	1.2 to 2.1	N/A	±0.9	40
ADA4938-1/ ADA4938-2	1000	4700	2.6	-4.7 to +3.4	0.3 to 3.4	N/A	N/A	±3.7	1.3 to 3.7	N/A	N/A	±1.2	37
ADA4939-1/ ADA4939-2	1400	6800	2.3	N/A	1.1 to 3.9	0.9 to 2.4	N/A	N/A	1.3 to 3.5	1.3 to 1.9	N/A	±0.8	37

¹N/A=該当なし。

表1はアナログ・デバイセズの ADC ドライバの多くの仕様に対 する早見表で、どのドライバが ICMVR をシフトしたものか、ど のドライバがそうでないかの情報も含まれています。

入力結合および出力結合:AC または DC

AC 結合または DC 結合する必要がある場合には、差動 ADC ド ライバの選び方が大きく違ってくる可能性があります。入力結 合と出力結合では検討事項が異なります。

AC 結合入力段を図 11 に示します。



図 11. AC 結合 ADC ドライバ

AC 結合入力を用いた差動 to 差動アプリケーションの場合、DC 帰還電流が入力コンデンサによって阻止されるので、アンプ入 力端子に現れる DC 同相電圧は DC 出力同相電圧に等しくなりま す。また、DC の帰還係数はマッチングしており正確に1に等し くなります。Vocm すなわち DC 入力同相電圧はほとんどの場合 電源電圧の中点近くに設定されます。電源の中点を中心とする 入力同相範囲の ADC ドライバは、入力同相電圧がその規定され た範囲の中心近くになり、これらのタイプのアプリケーション で良好に動作します。 AC結合したシングル・エンドto差動回路はそれに相当する差動 入力の回路に似ていますが、アンプ入力端子に、同相リップル、 すなわち、入力信号の大きさが小さくなったレプリカ信号が観 測されます。電源の中点を中心とする入力同相範囲の ADC ドラ イバは、平均入力同相電圧が規定された範囲の中間近くとなり、 ほとんどのアプリケーションでリップルに必要な十分なマージ ンがとれます。

入力結合が選択できる場合、AC 結合入力の ADC ドライバの方 が DC コモン・モード電流がどちらの帰還ループにも流れない ので、DC 結合入力の類似したドライバよりも消費電力が小さく なることに注目する価値があります。

駆動ドライバの出力可能範囲を大幅に超えるような入力同相電 圧を ADC に印加しなければならない場合、ADC ドライバ出力 を AC 結合すると効果的です。VocM が電源中点近くに設定され た時、ドライバは最大の出力振幅になります。しかしこの場合 低電圧 ADC を非常に低い入力同相電圧の条件下で駆動する場合 に、問題が現れます。この問題の簡単な解決方法はドライバ出 力と ADC 入力間の接続を AC 結合して(図 12 参照)、ドライバ 出力から ADC の DC 同相電圧を取り除き、AC 結合の ADC 側に ADC に合った同相レベルを供給できるようにすることです。例 えば、ドライバは、Vocm = 2.5V の 5V 単電源で動作が可能で、 ADC は、ADC CMV ピンに必要な入力同相電圧 0.9V を印加した 1.8V 単電源で動作できます。



図 12. DC 結合入力、AC 結合出力接続

入力同相範囲がシフトしているドライバは、一般的に単電源駆動の DC 結合システムで最適に動作します。なぜなら出力同相 電圧が帰還ループを通して分圧され、その変動成分がグラウン ドつまり負レールに近づく可能性があるからです。シングル・ エンド入力の場合、入力同相電圧は入力に関連したリップルに より更に負のレール近くになります。

両電源動作のシステムの場合は、シングル・エンドまたは差動 入力、AC 結合または DC 結合のいずれの場合でも、ヘッドルー ムが増えるので一般的にはどちらのタイプの入力段でも良好に 動作します。

表 2 に入力結合、電源電圧の各種組み合わせに使われる最も一 般的な ADC ドライバ入力段タイプをまとめてあります。しかし、 これらの選択は必ずしも最適ではないかもしれません。各々の システムはケース・バイ・ケースで解析する必要があります。

表2. 結合と入力段の選択肢

Input Coupling	Input Signal	Power Supplies	Input Type
Any	Any	Dual	Either
AC	Single-ended	Single	Centered
DC	Single-ended	Single	Shifted
AC	Differential	Single	Centered
DC	Differential	Single	Centered

出力振幅

ADCのダイナミック・レンジを最大にするには、ADCをその全 入力範囲に渡って駆動する必要があります。しかし ADCを駆動 するには注意が必要です。ADCをあまり大きく駆動すると、入 力が破損する可能性があります。一方駆動電圧が小さいと分解 能が悪くなります。ADCをその全入力範囲で駆動することは、 アンプの出力がその全範囲で振れなければならないことを意味 するわけではありません。差動出力の主な利点は各出力の振れ 幅が、従来のシングル・エンド出力の振れ幅の半分だけでよい ことです。ドライバ出力を各電源レールから離れた電圧に保つ ことができるので歪みを低減できます。しかしシングル・エン ド・ドライバの場合は事情が違います。ドライバの出力電圧が 電源レールに近づくと、アンプは直線性を失い歪みを招きます。

mV 単位の出力電圧が要求されるようなアプリケーションに適 した表 1 を参照し、標準的なヘッドルーム範囲が、負荷に応じ て数 mV から数百 mV のレール to レール出力となっている ADC ドライバを探してください。

図 13 は ADA4932-1 の各種周波数における高調波歪みと Vocmの 関係を示します。ADA4932-1 の標準的な出力振幅は各々の電源 レールから 1.2V 以内と規定されています。出力振幅は Vocm と 信号(1V)の VPEAK との合計です。歪みは 2.8V(3.8VPEAK、ま たは 5V レールの下 1.2V)を超えると加速度的に大きくなりま す。低電圧の方を見ると、2.2V(-1VPEAK)では歪みはまだ小さ いままです。同じタイプの現象が帯域とスルー・レートについ ての議論でも現れます。



図 13.5V 電源駆動の ADA4932-1 の各種周波数における 高調波歪みと V_{OCM}の関係

ノイズ

ADC の不完全な部分として量子化ノイズ、電子(またはランダム)ノイズ、高調波歪みがあります。ノイズはほとんどのアプリケーションで重要な項目ですが、一般的に広帯域システムで最も重要な性能指標です。

すべての ADC は本質的にビット数(n) に依存する量子化ノイ ズがあります。量子化ノイズはビット数を増やすごとに低減し ます。理想的なコンバータでも量子化ノイズは存在するので、 量子化ノイズはランダム・ノイズと高調波歪みを比較する際の 対象となるベンチマークとして使用されます。ADC ドライバか らの出力ノイズは ADC のランダム・ノイズおよび高調波歪みと 同等かより低いものとなっています。ADC のノイズと歪みの特 性評価を見直してみることを手始めに、ADC の性能に対する ADC ドライバのノイズの評価方法を示します。

ADC は無限の分解能をもつアナログ信号を有限の数のデスク リート・レベルに量子化するので量子化ノイズが生じます。n ビット ADC には 2ⁿ個のバイナリ・レベルがあります。1 つのレ ベルと次のレベルとの間の差が分解可能な最小な差を表します。 これは最下位ビット(LSB)、または量子レベルqと呼ばれてい ます。そのため 1 量子レベルはコンバータの範囲の 1/2ⁿになり ます。もし変化する電圧が完璧な n ビット ADC で変換され、そ れを逆に変換してアナログに戻し ADC の入力信号から減算すれ ば、その差がノイズのように見えます。それは次の rms 値にな ります。

RMS Quantization Noise =
$$\frac{q}{\sqrt{12}} = \frac{1}{2^n \sqrt{12}}$$
 (21)

この値から、そのナイキスト帯域の n ビット ADC の信号対量子 化ノイズ比の対数式(dB)を導くことができます(式 22 参照)。 これは n ビットコンバータの得られる最良の SNR です。

Signal-to-Quantization-Noise Ratio (dB) = 6.02n + 1.76 dB (22)

AN-1026

(27)

ADC の中のランダム・ノイズ(熱ノイズ、ショット・ノイズ、 フリッカ・ノイズの組み合わせ)は一般的に量子化ノイズより も大きくなります。ADC の非直線性の結果生ずる高調波歪みは (高調波的に入力信号に関係した)不要な信号を出力に生じま す。全高調波歪みとノイズ(THD + N)は電子ノイズと高調波 歪みを ADC のフルスケール入力レンジに近いアナログ入力と比 較する重要な ADC の性能指標です。電子ノイズは対象とする最 後の高調波周波数までの帯域全体に渡って積分されます。式 23 で全 THD は始めの 5 つの高調波歪みを含みます。これはノイズ と共に 2 乗和の平方根です。

THD + Noise =

$\sqrt{[v_2(\text{rms})]^2 + [v_3(\text{rms})]^2 + [v_4(\text{rms})]^2 + [v_5(\text{rms})]^2 + [v_6(\text{rms})]^2 + v_6^2}$	2
$[v_1(\text{rms})]^2$	

v1 は入力信号、v2 から v6 までは 5 つの高調波歪み積、vn は ADC 電子ノイズです。

THD+ノイズの逆数の信号対ノイズ+歪み比(SINAD)は通常 デシベルで表します(式 24参照)。

$$SINAD(dB) = 20 \log_{10} \left[\frac{1}{THD + N} \right]$$
 (24)

信号対量子化ノイズ比をSINADに置き換えれば(式22参照)、 その信号対量子化ノイズ比がそのSINADと同じとすればコン バータがもつことができる有効ビット数(ENOB)を規定でき ます(式25参照)。

$$SINAD(dB) = 6.02(ENOB) + 1.76 dB$$
 (25)

ENOB はまた、式 26 に示すように SINAD に関する式で表せます。

$$ENOB = \frac{SINAD(dB) - 1.76 dB}{6.02}$$
(26)

ENOB は ADC ドライバのノイズ性能を ADC のノイズ性能と比べて、ADC ドライバがその ADC を駆動するのに適しているかどうかを決めるために使用できます。図14に差動 ADCノイズ・モデルを示します。



図 14. 差動 ADC ドライバのノイズ・モデル

8 つのノイズ源各々の全出力ノイズ密度への寄与度を一般的な 場合と β1 = β2 = βの場合について式 27 に示しています。

$$\begin{aligned} v_{no,dm} & \text{due to } v_{nIN} = \frac{2v_{nIN}}{\beta_1 + \beta_2} = \frac{v_{nIN}}{\beta} \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{due to } v_{nCM} = \frac{2v_{nCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} = 0 \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{due to } i_{nIN+} = \frac{2i_{nIN+}(1 - \beta_1)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F1}) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{due to } i_{nIN-} = \frac{2i_{nIN-}(1 - \beta_2)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F2}) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{due to } v_{nRG1} = \frac{(2\sqrt{4kTR_{G1}})(1 - \beta_1)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G1}} \left(\frac{R_{F1}}{R_{G1}}\right) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{due to } v_{nRG2} = \frac{(2\sqrt{4kTR_{G2}})(1 - \beta_2)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G2}} \left(\frac{R_{F2}}{R_{G2}}\right) \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{ due to } v_{nRF2} = \frac{2\beta_1\sqrt{4kTR_{F1}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F1}} \text{ for } \beta_1 = \beta_2 = \beta \\ v_{no,dm} & \text{ due to } v_{nRF2} = \frac{2\beta_1\sqrt{4kTR_{F2}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F2}} \text{ for } \beta_1 = \beta_2 = \beta \end{aligned}$$

全出力ノイズ電圧密度 vno,dmはこれらの成分の二乗和の平方根を 計算することにより計算されます。全出力ノイズ電圧密度を計 算するには、各式をスプレッドシートに入力するのが最も良い 方法です。ADI Diff Amp Calculator は、ノイズ、ゲイン、その他 差動 ADC ドライバの現象を速く計算することができます。

ノイズの観点から見た ADC ドライバの適合性は、以下の例に示 すように、ピーク to ピーク出力ノイズ計算値の合計と ADC の ENOB の比較によって評価できます。2V のフルスケール入力を 有する 5V 電源での AD9445 ADC について、ゲインが 2の差動ド ライバを考えてみます。これは、単極フィルタで制限される、 50MHz (-3dB)の帯域幅を占める直結型広帯域信号を処理しま す。各種条件の ENOB 仕様をリストしてあるデータシートを参 照すると、ナイキスト周波数 50MHz では ENOB = 12 ビットで す。

ADA4939-1 は直結可能な高性能、広帯域差動 ADC ドライバです。 ADA4939-1 はノイズに関して AD9445 を駆動するのに適した ADC ドライバです。差動ゲインが約 2 の場合、データシートで は $R_F = 402\Omega \ge R_G = 200\Omega$ が推奨されています。この回路構成で の全出力電圧ノイズ密度は $9.7nV\sqrt{Hz}$ です。

初めに、システム・ノイズ帯域幅 BNを計算します。システム・ ノイズ帯域幅 BNは、与えられた一定の入力ノイズ電力スペクト ル密度に対しシステム帯域幅を決める実際のフィルタと同じノ イズ電力を出力する、等価長方形ローパス・フィルタの帯域幅 です。1極フィルタの場合、BNは式 28に示すように 3dB帯域幅 のπ/2倍に等しくなります。

$$B_N = \left(\frac{\pi}{2}\right) 50 \text{ MHz} = 78.5 \text{ MHz}$$
 (28)

次に出力実効値ノイズを得るためにシステム帯域の平方根全体 に渡ってノイズ密度を積算します。(式 29 参照)

 $v_{no, dm}$ (rms) = (9.7 nV/ $\sqrt{\text{Hz}}$)($\sqrt{78.5 \text{ MHz}}$) = 86 μ V rms (29)

ノイズの振幅はガウス分布とします。したがって、ピーク to ピーク・ノイズを得るのに一般的な $\pm 3\sigma$ リミット (ノイズ電圧 は時間の約 99.7%の間これらのリミット内でスイングします) を使用すると、ピーク to ピーク出力ノイズは次のように計算で きます。

$$v_{no, dm}$$
 (p-p) $\approx 6(86 \,\mu V \, rms) = 516 \,\mu V \, p-p$ (30)

ここで ADC ドライバのピーク to ピーク出力ノイズを、ENOB12 ビット、フルスケール入力範囲 2V を基準とした AD9445 LSB の 1LSB 電圧(式 31 で計算しているように)とを比較します。

$$One \, LSB = 2 \, \mathrm{V}/2^{12} = 488 \, \mu \mathrm{V} \tag{31}$$

ドライバからのピーク to ピーク出力ノイズは ENOB12 ビットを 基準とした ADC の LSB に匹敵します。したがって、このアプリ ケーションでは ADC ドライバはノイズの観点からは検討すべき 良い候補です。最終決定はドライバと ADC の組み合わせ回路を 組み立て、テストすることにより行わなければなりません。

電源電圧

電源電圧と電源電流を調べることは ADC ドライバの選択を絞る 手早い方法です。表1 は電源を基準にした ADC ドライバ性能の 簡単なリファレンスです。電源電圧は帯域幅、信号振幅、 ICMVR に影響します。差動アンプの選択には、それぞれの仕様 を比べ、トレード・オフを検討することが重要です。

電源電圧除去(PSR)はもう1つの重要な仕様です。アンプに対 する入力として電源端子の役割はしばしば無視されます。電源 ラインまたはそれらに結合されるどのようなノイズも基本的に 出力信号を壊す可能性があります。

例えば、ADA4937-1 の電源ラインに 60MHz で 50mVp-p のノイ ズが乗っている場合を考えます。その PSR は 50MHZ で-70dB で す。これは電源ラインのノイズがアンプ出力で約 16μV に減衰す ることを意味します。1V フルスケール入力で 16 ビット・シス テムの場合 1LSB は 15.3μV です。したがって、電源ラインから のノイズは LSB を妨害します。

この状況を改善するためには、直列に SMT フェライト・ビーズ L1 と L2 と、シャント・バイパス・コンデンサ C1 と C2、(図 15 参 照)を接続してください。



図 15. 電源のバイパス

50MHzでフェライト・ビーズのインピーダンスは 60Ω で、10nF (0.01µF) コンデンサのインピーダンスは 0.32Ωです。この 2つ の素子によって構成される減衰回路により 45.5dB の減衰度が得 られます。(式 32 参照)

Divider Attenuation =
$$20\log\left(\frac{0.32}{0.32+60}\right) = -45.5 \text{ dB}$$
 (32)

デバイダ減衰度と-70dBの PSR との組み合わせで約 115dBの除 去が得られます。これによりノイズは 1LSB より十分小さな約 90nVp-pに減少します。

高調波歪み

周波数領域での低高調波歪みは狭帯域と広帯域システムの両方 で重要です。ドライバの非直線性はアンプ出力でシングル・ トーンの高調波歪みと複数トーンの相互変調歪み積を生じます。

ノイズ解析例に使用された同じアプローチが歪み解析に適用で きます。ADA4939-1 の高調波歪みをフルスケール出力 2V で ENOB12 ビットの AD9445 の 1LSB と比較します。ENOB の 1LSB はノイズ解析では 488µV になります。

ADA4939-1 の仕様表の歪みデータはゲイン 2 とした時の値で、 各種周波数での 2 次高調波と 3 次高調波を比較しています。表 3 はゲイン 2、差動出力スイング 2Vp-pの条件での高調波歪みを示 します。

表 3. ADA4939-1 の 2 次および 3 次高調波歪み

Parameter	Harmonic Distortion (dBc)
HD2 at 10 MHz	-102
HD2 at 70 MHz	-83
HD2 at 100 MHz	-77
HD3 at 10 MHz	-101
HD3 at 70 MHz	-97
HD3 at 100 MHz	-91

データは周波数が高くなると共に高調波歪みが増えることと、 対象の周波数(50MHz)ではHD2がHD3より悪いことを示して います。高調波歪み積は対象の周波数よりも周波数が高いので それらの振幅はシステム帯域制限により低減できます。もしシ ステムに 50MHz でブリック・ウォール・フィルタがあれば 25MHz 以上の周波数のみが対象になります。なぜならばより高 い周波数の全高調波はフィルタで減衰されるからです。それで もシステムを 50MHzまで評価しました。なぜなら存在するどの フィルタも高調波を十分に減衰することは難しく、歪み積が信 号帯域内に折り返される可能性があるからです。図 16 は 2Vp-p 出力として各種電源電圧について ADA4939-1 の高調波歪みと周 波数の関係を示しています。



50MHz での HD2 は入力信号 2Vp-p に対して約-88dBc です。高 調波歪みのレベルを 1ENOBLSB と比較するために、式 33 に示 したようにこのレベルを電圧に変換する必要があります。

$$HD2 = \left(2 V p - p\right) \left(10^{\frac{-88}{20}}\right) \approx 80 \ \mu V p - p \tag{33}$$

この歪み積はわずか 80μVp-p、または 1ENOB LSB の 16%です。 このように歪みの点から ADA4939-1 は AD9445 ADC を駆動する ドライバとして検討すべき良い選択肢になります。

ADC ドライバは負帰還型アンプなので、出力歪みはアンプ回路 のループ・ゲインの大きさに依存します。負帰還アンプのもと もとのオープンループ歪みはファクタ 1/(1 + LG)分縮小します。 ここで LG はアンプのループ・ゲインです。

アンプの入力(誤差電圧)は大きな順電圧ゲイン A(s)と乗算され、帰還率 β を通して入力にフィードバックされますが、ここで誤差が最小限になるように出力電圧が調整されます。そのため、このタイプのアンプのループ・ゲインはA(s)× β です。ループ・ゲイン(A(s)、 β 、または両方)が減少すると、高調波歪みが増します。積分器のような電圧帰還アンプは DC と低周波数で大きな A(s)を持ち、規定された高周波でゲインが 1 になるまで 1/f でロール・オフするように設計されています。A(s)はロール・オフすると、ループ・ゲインが減少し、歪みが増大します。そのため、高調波歪み特性は A(s)の逆になります。

電流帰還型オペアンプは誤差電流を帰還信号として使います。 誤差電流は大きなトランスインピーダンス T(s)に乗算され、出 力電圧に変換されます。それから帰還率 1/R_F を経由して出力電 圧を帰還電流に変換します。その帰還電流は入力誤差電流を最 小限にするように働きます。そのため、理想電流帰還アンプの ループ・ゲインは T(s) × (1/R_F) = T(s)/R_Fになります。A(s)と同じ ように T(s)は大きな DC 値を持っており、周波数が高くなると ロール・オフし、ループ・ゲインが低減してきて高調波歪みが 増大します。

ループ・ゲインはまた、帰還率 1/R_Fに直接依存します。理想的 な電流帰還アンプのループ・ゲインは閉ループ・ゲインに依存 しません。そのため、高調波歪み特性は閉ループ・ゲインが増 しても低下しません。しかし実際の電流帰還型アンプではルー プ・ゲインは閉ループ・ゲインの大きさに多少影響されます。 しかしその影響度は電圧帰還型アンプよりはるかに少なくなっ ております。この依存性により、ADA4927-1 のような電流帰還 型アンプは、高い閉ループ・ゲインと低い歪みを必要とするア プリケーション向けには、電圧帰還型アンプよりも良い選択肢 になります。 図 17 は ADA4927-1 について閉ループ・ゲインが大きくなるに 伴い、歪み特性がどのように良好に維持されているかを示して います。



図 17. 高調波歪みと周波数およびゲインの関係

帯域幅とスルー・レート

帯域幅とスルー・レートは ADC ドライバ・アプリケーションで 特に重要です。一般的にデバイスの帯域幅は小信号帯域幅です。 一方スルー・レートはアンプ出力での大信号振幅の最大変化率 です。

ENOB に似ている用語で有効使用可能帯域幅(EUBW) があり ますが、これは帯域幅のことを述べています。多数の ADC ドラ イバとオペアンプは帯域幅の仕様を誇示していますが、実際に 使用可能な帯域幅は限られています。例えば-3dB 帯域幅は帯域 幅を評価する一般的な方法ですが、すべての帯域幅が使用可能 という意味ではありません。-3dB 帯域幅の振幅誤差と位相誤差 は実際のカットオフ周波数よりも1 桁早く観測されます。使用 可能な帯域幅を決定する良い方法はデータシートの歪みに関す るグラフを参照することです。

図18は2次、3次高調波歪みを-80dBc以上に保つには、ADCド ライバを60MHz.以上の周波数で使用するべきではないことを示 しています。アプリケーションは様々なので、システム条件が そのアプリケーションに対して十分な帯域幅と十分な歪み特性 を持った適切なドライバを選択するためのガイドとなります。



図 18. 電流帰還 ADC ドライバ ADA4937-1 の歪み曲線

スルー・レート(大信号パラメータ)はアンプ出力が大きな歪 みを伴わないで入力に追従することのできる最大の変化率です。 サイン波出力のスルー・レートについて考えてみましょう。

$$V_O = V_P \sin 2\pi f t \tag{34}$$

式 34 のゼロ交差での導関数(変化率)、すなわち最大変化率は 次のとおりです。

$$\frac{dv}{dt}_{\max} = 2\pi f V_p \tag{35}$$

ここで、

 $dv/dt \max it x i v - b_{\circ}$

VPはピーク電圧。

fはフルパワー帯域幅(FPBW)です。FPBWについて解くと下 記の式になります。

$$FPBW = \frac{Slew Rate}{2\pi Vp}$$
(36)

そのため、ADC ドライバを選ぶときには、アンプが対象アプリ ケーションで十分使用可能か判断するために、ゲイン、帯域幅、 スルー・レート(FPBW)を確認することが重要です。

安定性

差動 ADC ドライバの安定性に関する評価はオペアンプと同じで す。主な仕様は位相余裕です。特定のアンプ回路の位相余裕は データシートから決定されます。しかしそれは実際のシステム では PC 基板レイアウトの寄生的な影響により大きく低減します。

負電圧帰還オペアンプの安定性はループ・ゲイン $A(s) \times \beta$ の大き さと符号に依存します。差動 ADC ドライバには 2 つの帰還係数 があるので標準的なオペアンプ回路よりも多少複雑です。ルー プ・ゲインは式 7 と式 8 の分母の中にあります。式 37 は帰還係 数がマッチングしてない ($\beta_1 \neq \beta_2$) 場合のループ・ゲインです。

$$Loop \ Gain = \frac{A(s)(\beta_1 + \beta_2)}{2} \tag{37}$$

帰還係数がマッチングしてない場合、有効な帰還係数は単に 2 つの帰還係数の平均です。それらがマッチングしていて β と規 定した時、ループ・ゲインは A(s)×βに簡略化できます。

帰還アンプを安定させるには、ループ・ゲインが-1 またはそれ と等価、すなわち、-180°の位相シフトでループ・ゲインが+1 になることを避けなければなりません。電圧帰還アンプの場合、 オープン・ループ・ゲイン周波数曲線でループ・ゲインの大き さが1(すなわち、0dB)に等しい点でA(s)の大きさが帰還係数 の逆数に等しくなります。基本的なアンプのアプリケーション では帰還は純粋に抵抗性なので帰還ループ周辺で位相シフトは 生じません。帰還係数がマッチングしている場合、周波数依存 性のない帰還係数の逆数、1 + R_F(R_Gはノイズ・ゲインと呼ばれ ることがあります。デシベル表示の一定のノイズ・ゲインを オープン・ループ・ゲインA(s)と同じグラフに描いた場合、2つ の曲線が交差する周波数がループ・ゲイン1、または 0dB にな る周波数です。その周波数でのA(s)の位相と-180°との間の差が 位相余裕と定義されます。安定動作のためには、位相余裕は45° 以上でなければなりません。 図 19 は $R_F/R_G = 1$ (ノイズ・ゲイン=2) に設定した ADA4932-2 のユニティ・ループ・ゲイン点と位相余裕について説明してい ます。



大きさおよび位相と周波数の関係

図 19 を更に詳しく調べると ADA4932-2 はノイズ・ゲイン1 (各 ループで 100%帰還) で約 50°の位相余裕があります。ADC ドラ イバをゼロ・ゲインで動作させることは現実的ではありません が、このことは ADA4932-2 が整数でない差動ゲイン (例えば $R_F/R_G = 0.25$ 、ノイズ・ゲイン=1.25) で安定動作することを示し ています。この現象は、全ての差動 ADC ドライバに当てはまる わけではありません。安定動作する最小ゲインはすべての ADC ドライバのデータシートに記述されています。

電流帰還形 ADC ドライバの位相余裕もまた、オープンループ応 答特性から決定されます。電流帰還型アンプの場合はフォワー ド・ゲインの代わりにフォワード・トランスインピーダンス T(s)を使用し、誤差電流がフィードバック信号となります。 フィードバック抵抗がマッチングしている電流帰還型ドライバ のループ・ゲインは T(s)/RFです。したがって、電流帰還型アン プのループ・ゲインは T(s) = RFの時1 (すなわち、0dB) に等し くなります。この点はオープンループ・トランスインピーダン スと位相のグラフで、電圧帰還型アンプの場合と同じ方法で簡 単に探し出すことができます。抵抗の 1kΩ に対する比率をプロッ トすることにより抵抗を対数グラフで表せます。図 20 は RF = 300 と した場合の電流帰還型差動 ADC ドライバ ADA4927-1 のユニ ティ・ループ・ゲイン点と位相余裕について説明しています。



300Ω フィードバック抵抗の水平線がトランスインピーダンス曲線と交差する所でループ・ゲインが 0dB になります。この周波数では T(s)の位相が約-135°となりますので、位相余裕が+45°になります。位相余裕と安定性は、R_Fが大きくなると増し、RFが小さくなると低減します。電流帰還型アンプにはいつも純粋な抵抗性フィードバックを用い、十分な位相余裕をもつ必要があります。

PCB レイアウト

安定した ADC ドライバの設計は PC 基板で実現されなければな りません。基板の寄生要素により位相余裕がある程度失われて しまうため、これを最小限に保たなくてはなりません。特に懸 念されるのが負荷容量、帰還ループ・インダクタンス、加算 ノード容量です。これら各々の寄生リアクタンスにより遅延す る位相シフトが帰還ループに加わり、位相余裕が低減します。 PC 基板レイアウトの設計が悪いと位相余裕が 20°またはそれ以 上失われます。

電圧帰還型アンプの場合、 R_F とサミング・ノード容量で形成される極による位相シフトを最小限にするために、できるだけ小 さな R_F を使うのがベストです。もし大きな R_F が必要な場合、小 さな容量 C_F を各帰還抵抗間に接続することによりそのサミン グ・ノード容量を補償することができます。この場合 C_F は $R_F × C_F$ がサミング・ノード容量の R_G 倍に等しくなるような値に設定 します。

PC 基板レイアウトは必然的に設計の最後のステップの1つです。 高速回路の性能はレイアウトに大きく依存しますが、あいにく PC 基板レイアウトは、設計で最も見落としがちなステップの1 つでもあります。不注意な、または貧弱なレイアウトによって 高性能設計の性能低下を余儀なくさせられたり、場合によって は使用を諦めさせられたりすることになります。ここでは適切 な高速 PC 基板設計のすべての面をカバーできませんが、いくつ かの主なトピックスについて述べます。

寄生成分は高速回路の性能を低下させます。寄生容量は部品の パッド、パターン、グランド・プレーンまたは電源プレーンに よって生じます。グランド・プレーンのない長いパターンは寄 生インダクタンスが生じ、過度応答にリンギングを生じたり、 他の不安定な現象をもたらしたりします。特にアンプのサミン グ・ノードで生ずる寄生容量は大きな影響があります。なぜな らそれはフィードバック応答に極をつくり、ピーキングや不安 定性の原因になるからです。1 つの解決方法は基板全部の層に おいて、ADC ドライバの実装部分の下とフィードバック部品の パッドの下の領域にはグランド・プレーンや電源プレーンを設 けないようにすることです。

不要な寄生リアクタンスを最小限にするためにすべてのパター ンをできるだけ短く保ってください。FR-4 の PCB の外側層の 50Ω パターンはおおよそ 2.8pF/インチと 7nH/インチあります。 内側層の 50Ω パターンの場合これらの寄生リアクタンスは約 30%増えます。更にパターン・インダクタンスを最小限にする ために、長いパターンの下には確実にグランド・プレーンがあ るようにしてください。パターンを短く、小さく保つことは寄 生容量と寄生インダクタンスを最小限にし、設計の完全性を維 持するのに役立ちます。

電源バイパスはレイアウトを行うに際し問題となるもう 1 つの 主な分野です。Vocm バイパス・コンデンサと同様に、電源バイ パス・コンデンサをアンプのピンのできるだけ近くに配置する ことを確実に行ってください。更に複数のバイパス・コンデン サを電源ラインに使うことは、広帯域ノイズに対して低イン ピーダンス・パスにすることを確実なものにする助けになりま す。図 21 は電源バイパスと出力にローパス・フィルタを接続し た標準的な差動アンプ回路です。ローパス・フィルタは帯域幅 と ADC に入るノイズを制限します。理想的には電源バイパス・ コンデンサのリターンは負荷リターンの近くに配置します。こ れは、グランド・プレーンの中の還流電流を減らし ADC ドライ バ性能を改善する助けになります(図 22、図 23 参照)。



図 21. 電源バイパスと出力ローパス・フィルタを接続した ADC ドライバ

08263-021

グランド・プレーンの使用や一般的な接地方法は複雑で内容が深い テーマなのでこのアプリケーション・ノートの範囲外です。しかし、 いくつかの主なポイントを次に述べます(図 22、図 23 参照)。

- アナログ・グラウンドとデジタル・グラウンドを共に1点 で接続してください。そのようにすることで、グランド・ プレーンを流れるアナログ電流とデジタル電流の相互作用 (これがシステムにノイズを招きます)を最小限にできま す。
- アナログ電源をアナログ電源プレーンに終端し、デジタル 電源をデジタル電源プレーンに終端してください。
- ミックスド・シグナル IC の場合、デジタル電流とアナログ 電流が混じり合わないように、アナログ・グラウンド・リ ターンをアナログ・グランド・プレーンに終端し、また、 デジタル・グラウンド・リターンをデジタル・グランド・ プレーンに終端し、2つのプレーンを共に1つの小さな接 続だけで接続してください(図24参照)。





図 23. 回路側



高速 PCB レイアウトについての詳細な説明は、高速プリント回路基板レイアウトの実務ガイドを参照してください。

このアプリケーション・ノートの情報はADCドライバを使って 回路設計をする場合に考慮しなければならない、多数の課題に ついて考えるお手伝いをするのが目的です。プロジェクトの初 めに差動アンプについて理解し、ADCドライバの設計の詳細に 注意を払うことは将来の問題を最小限に抑え、リスクを減らし、 堅牢な設計を確かなものとします。



AN-1026