

乗算型 DAC—AC/任意リファレンス・アプリケーション

著者: Liam Riordan

概要

乗算型 D/A コンバータ(DAC)は、任意または AC のリファレンス信号を使って動作できる点で従来型の固定リファレンス DAC と異なります。このアプリケーション・ノートでは、電流出力乗算型 DAC の原理について詳しく説明し、これらの DAC が AC 電圧および任意電圧のコンデショニングに適している理由を説明します。

基本的な波形減衰

AC 信号ゲインを調整するシンプルな方法は、従来型の反転オペアンプ・ステージを使う方法であり、十分な帯域幅を持つアンプを選択して、次式に従ってゲインを調節します。

$$V_{OUT} = -[RDAC/RFB(V_{IN})]$$

乗算型DACは、任意の電圧信号またはAC電圧信号の乗算に最適なビルディング・ブロックを提供します。バッファ付き電流出力DACアーキテクチャでは、非反転ゲイン・アンプ構造を採用しています。乗算型DACはR-2Rアーキテクチャを採用して、図1に示す可変RDAC抵抗の機能を実現しています。V_{REF}ピンから見たDACの入力インピーダンスは固定ですが、出力インピーダンスは、等価な可変RDAC値を与えるコードに依存して変化します。

このアプリケーション・ノートで使用するデバイスAD55xxとAD54xxは、www.analog.com/MultiplyingDACに掲載している乗算型DACを意味します。

機能ブロック図

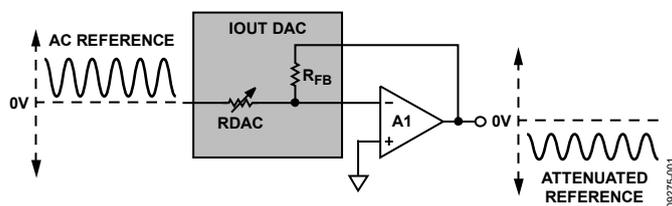


図 1.反転ゲインの設定

目次

概要.....	1	シグナル・コンデショニング用に重要なDAC仕様.....	5
基本的な波形減衰.....	1	乗算帯域幅.....	5
機能ブロック図.....	1	アナログ総合高調波歪み.....	5
乗算型DAC.....	3	乗算フィードスルー誤差.....	5
ゲインの追加.....	3	オペアンプの選択.....	6
正の電圧入力/正の電圧出力.....	3		
シングルエンド/差動変換構成.....	4		
安定性の問題.....	4		

乗算型DAC

乗算型DACでは、電流がIOUT1 ノードに接続された仮想グラウンドまたはグラウンド・ノード(デバイスによってはIOUT2 ノード)に流れるため、出力電圧のグリッチは非常に小さくなります(図2参照)。

この構成で IOUT DAC を使う主要な利点の 1 つは、内蔵 R_{FB} 抵抗が RDAC の等価抵抗と一致するため、ゲイン温度係数の誤差が非常に小さくなることです。

出力アンプをユニポーラ・モードで接続した場合、図2に示すように、出力電圧は次式で与えられます。

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

ここで、

D は、DACに設定されるデジタル・ワード(非整数値)。

$D = 0 \sim 255$ (8ビットAD5450)

$= 0 \sim 1023$ (10ビットAD5451)

$= 0 \sim 4095$ (12ビットAD5452)

$= 0 \sim 16,383$ (14ビットAD5453)

$= 0 \sim 65,536$ (16ビットAD5543)

n = ビット数。

つまり、乗算型 DAC の出力信号は、リファレンス入力とデジタル入力値の積に比例します。

ゲインの追加

V_{IN} より大きい出力電圧が必要なアプリケーションでは、外付けアンプを追加してゲインを増やすか、あるいはシングル・ステージで実現することもできます。

図3に示す推奨構成を使って、回路のゲインを増やします。 R_1 、 R_2 、 R_3 はすべて同じ温度係数を持つ必要がありますが、DACの温度係数に一致する必要はありません。

正の電圧入力/正の電圧出力

乗算型DAC構成を使って正電圧出力を発生させるときは、シグナル・チェーンへ反転アンプを追加して出力を再反転させることができます。もう1つの方法は、図4のような抵抗を内蔵するデバイスを選択する方法です。内蔵抵抗を使う方法の利点は、これらの温度係数がほぼ一致していることです。

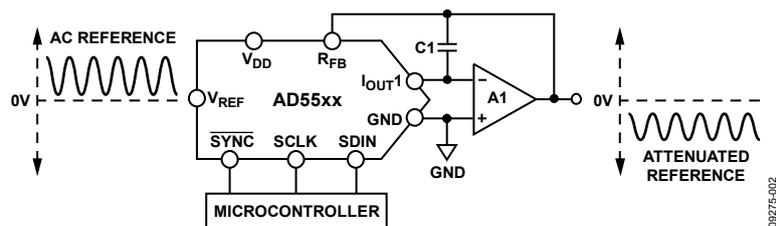


図2.乗算型 DAC、 $V_{OUT} = 0V \sim -V_{REF}$

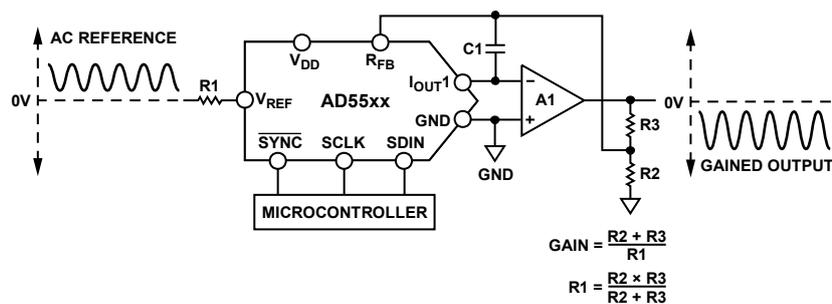


図3.乗算型 DAC 使用による信号ゲイン

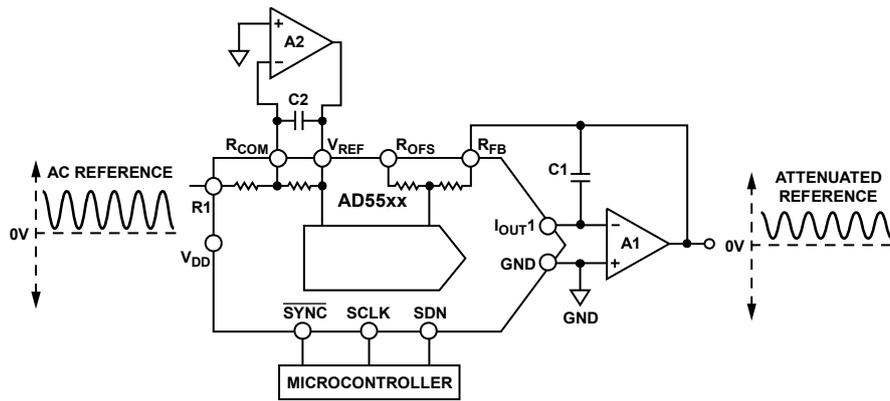


図 4.乗算型 DAC、 $V_{OUT} = 0V \sim V_{REF}$

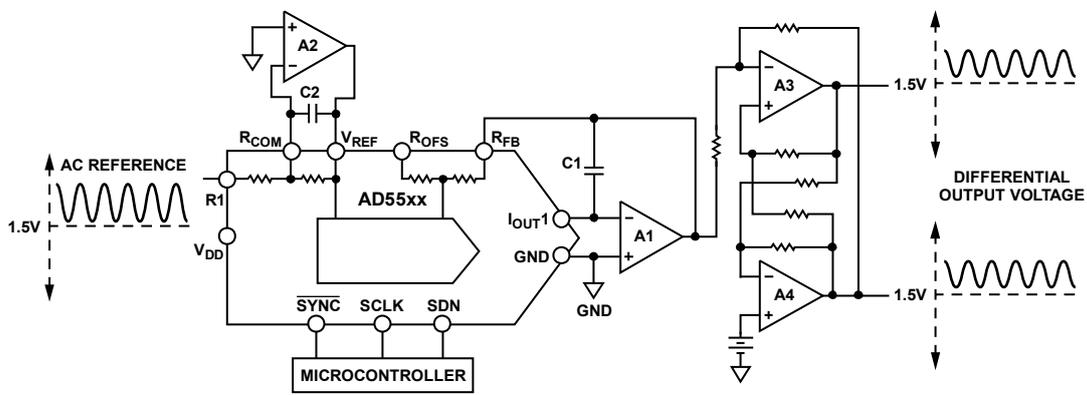


図 5.シングルエンド/差動変換構成

シングルエンド/差動変換構成

この構成を使って差動出力を発生するときは、2 個のオペアンプを追加する必要があります。詳細については、CN-0143 サークキット・ノート「Single-Ended-to-Differential Converters for Voltage Output and Current Output DACs Using the AD8042 Op Amp」を参照してください。

安定性の問題

目的の波形コンデショニング信号を実現するために考慮しなければならない重要部品は、補償コンデンサです。DACの内部出力容量によりオープン・ループ応答内に極が導入されるため、クローズド・ループ・ラング発生回路でリングングや不安定が発生することがあります。これを補償するため、通常、外付け

帰還コンデンサC1 がDACの内部R_{FB}と並列に接続されます(図 2 参照)。C1 が小さすぎると出力で歪みが発生し、大きすぎるとシステムの帯域幅に悪影響を与えます。DACの内部出力容量はコードにより変化するため、C1 の正確な値を決めることは困難です。この値は、次式で近似されます。

$$C1 = 20 \sqrt{\frac{C_o}{2\pi \times R_{FB}} \times \frac{1}{GBW}}$$

ここで、
GBW は使用するオペアンプの小信号ユニティ・ゲイン帯域幅積。
C_o は DAC の出力容量。

シグナル・コンデショニング用に重要なDAC仕様

AC リファレンス入力信号または任意のリファレンス入力信号を乗算する際に考慮しなければならない幾つかの重要な AC 仕様としては、乗算帯域幅、アナログ総合高調波歪み、乗算フィードスルー誤差などがあります。

乗算帯域幅

乗算帯域幅は、ゲインが-3 dBとなる入力周波数で表します。与えられたデバイスに対して、乗算帯域幅は振幅と選択した補償容量の関数になります。図 6 に、AD5544、AD5554、またはAD545x電流出力DACの乗算帯域幅のプロットを示します。これらのDACは最大 12 MHzまでの信号を乗算することができます。一緒に使用している低消費電力 AD8038 オペアンプは 350 MHzの帯域幅を持っているため、このスケールでオペアンプから発生するダイナミック誤差は小さくなっています。

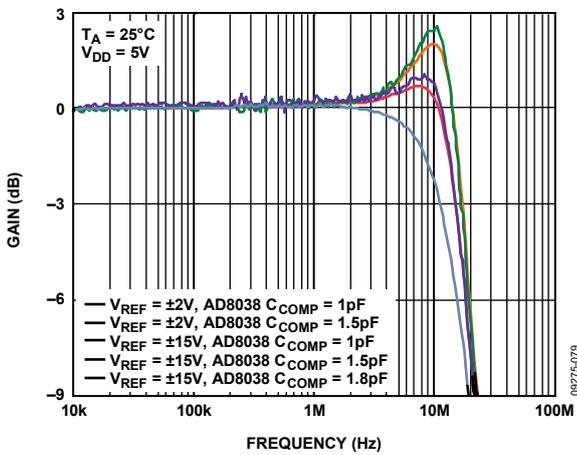


図 6. 乗算帯域幅

アナログ総合高調波歪み

アナログ総合高調波歪みは、乗算された波形信号に含まれる高調波の数学的な表現です。基本波値 V1 に対する DAC 出力の高調波(V2、V3、V4、V5)の rms 和の比で、次式で表わされます。

$$THD = 20 \log \frac{\sqrt{V2^2 + V3^2 + V4^2 + V5^2}}{V1}$$

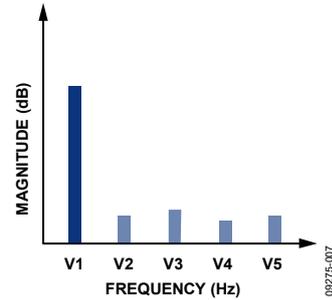


図 7. 総合高調波歪み

乗算フィードスルー誤差

乗算フィードスルー誤差は、全ビット 0 をDACにロードしたときの、リファレンス入力からDAC出力への容量フィードスルーにより発生する誤差として定義されます。理論的には、DB0まで1ビット低下するごとに、ゲインに6dBの減衰が発生します(図8参照)が、下位ビットほど、乗算フィードスルーはデバイスのゲインに多く影響を与えます。これは、図8で、平坦な直線が下位ビットほど上向きになることにより示されます。例えば、14ビットDACのDB2では、1MHzで72dBになるはずですが、実際にはフィードスルーのため66dBになります。

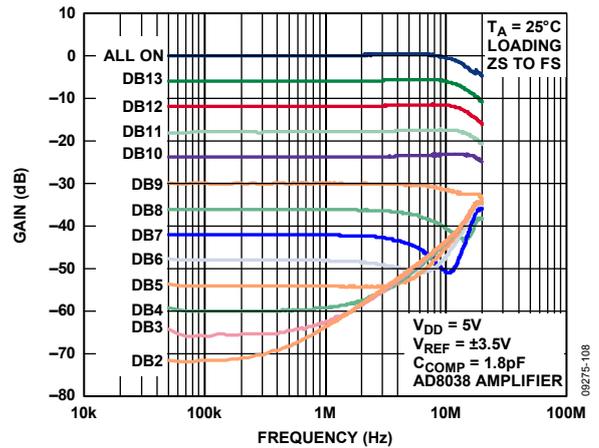


図 8. 乗算フィードスルー誤差

オペアンプの選択

乗算型 DAC 回路の性能は、選択したオペアンプがラダー出力でスル電圧を維持し、電流/電圧変換を実行する能力に強く依存します。最適 DC 精度を得るためには、DAC 分解能と釣り合った誤差を維持するために、低いオフセット電圧と低いバイアス電流を持つオペアンプを選択することが重要です。詳細なオペアンプ仕様は、デバイスのデータシートに記載されています。

リファレンス入力が比較的高速な信号を持つアプリケーションの場合、信号品質の低下を回避するため広帯域幅で高スルーレートのオペアンプが必要です。オペアンプ回路のゲイン帯域幅 (GBW) は、帰還回路のインピーダンス・レベルとゲイン構成により制限されます。必要とされる GBW を求めるときの有効な

ガイドラインは、リファレンス信号周波数の 10 倍の -3 dB 帯域幅を持つオペアンプを選択することです。

大きな高周波信号の歪みを制限するためにはオペアンプのスルーレート仕様を考慮する必要があります。AD54xx と AD55xx デバイスに対しては、一般にスルーレート 100 V/ μ s のオペアンプは十分な性能です。

表 1 に、乗算アプリケーションに使用できるオペアンプの選択肢を示します。

詳細については、www.analog.com/MultiplyingDAC の乗算型 DAC 製品ページを参照してください。

表 1. アナログ・デバイセズ高速オペアンプの選択肢

Part No.	Supply Voltage (V)	BW @ ACL (MHz)	Slew Rate (V/ μ s)	V _{OS} (Maximum) (μ V)	I _B (Max) (nA)	Packages
AD8065	5 to 24	145	180	1500	0.006	SOIC-8, SOT-23-5
AD8066	5 to 24	145	180	1500	0.006	SOIC-8, MSOP-8
AD8021	5 to 24	490	120	1000	10,500	SOIC-8, MSOP-8
AD8038	3 to 12	350	425	3000	750	SOIC-8, SC70-5, SOT-23-5
ADA4899	5 to 12	600	310	35	100	LFCSP-8, SOIC-8
AD8057	3 to 12	325	850	5000	500	SOT-23-5, SOIC-8
AD8058	3 to 12	325	850	5000	500	SOIC-8, MSOP-8
AD8061	2.7 to 8	320	650	6000	350	SOT-23-5, SOIC-8
AD8062	2.7 to 8	320	650	6000	350	SOIC-8, MSOP-8
AD9631	\pm 3 to \pm 6	320	1300	10,000	7000	SOIC-8, PDIP-8