

高速オペアンプを用いた設計での注意点

著者: Joe Buxton

オペアンプは、速度と帯域幅の限界に挑戦し続けています。今日の高速 IC オペアンプのゲイン帯域幅積は、数百 MHz (ほんの数年前には考えられないような値) の域に達しています。このような性能を活かすには、回路設計者は帯域幅を犠牲にせずにアンプの安定性を維持する上で細心の注意を払う必要があります。低周波デバイスを用いて設計を行った際に以前使用した回路とレイアウトを見直し、細かい点まで再検討を加える必要があります。そうしないと、回路の安定性と AC 性能が大きく損なわれてしまうおそれがあります。

容量性負荷、不適切な電源バイパス、入力容量、進み遅れ補償など、高速オペアンプを不安定にする要因は数多くあります。容量性負荷と電源バイパスについては、これまでも問題とされてきましたが、高周波数域では影響がより大きくなり、障害が発生する可能性が高まります。さらに、低周波回路においては無視することができた入力容量や進み遅れ補償についても、今日では対策が不可欠です。

容量性負荷を駆動すると、回路は容易に発振します。この現象は最も障害となりやすく、しかも対策が難しい問題の一つです。容量性負荷 (C_i) をアンプの出力抵抗 (R_o) と組み合わせると、帰還ループにポールが形成され、これによってクロズド・ループの位相シフトが大きくなります (図 1)。周波数にもよりますが、位相シフトが生じると、位相余裕が低下し、回路が不安定になる可能性があります。この位相シフトは、ポール周波数 (f) から簡単に計算できます。

$$f_c = 1/(2\pi R_o C_i)$$

$$\text{Additional phase shift} = \text{TAN}^{-1}(f_u/f_c)$$

ここで、 f_u はオープンループ・ユニティ・ゲイン周波数 (オペアンプのユニティ・ゲイン帯域幅) です。

これらの式を確認するために、容量性負荷が接続されている場合とそうでない場合の、10MHz のユニティ・ゲイン安定アンプ (OP-42 など) の位相応答とオープン・ループ・ゲインを比較してみます (図 1)。ネットワーク・アナライザのプロットは、容量性負荷が接続されていない状態と (図 1a)、450pF の負荷がある状態を示しています (図 1b)。450pF の容量性負荷を OP-42 の 45Ω 出力インピーダンスに接続すると、 $f_c = 8\text{MHz}$ のポールが形成されます。これによって 45° の位相シフトが追加されます。その結果、安定回路の 50° の位相余裕がわずか 5° まで低下して、回路が不安定になる可能性があります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

© Analog Devices, Inc. All rights reserved.

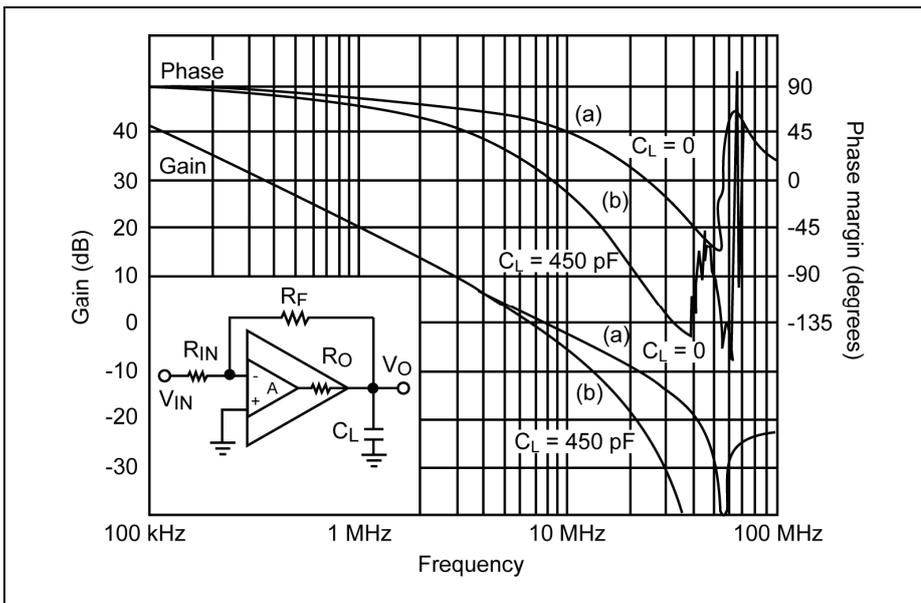


図 1. 容量性負荷 (C_L) をオペアンプの出力インピーダンス (R_O) と組み合わせるとゲインおよび位相応答、そして位相余裕が変化します。上側のカーブ (a) は無負荷時のデバイスに関するゲインの周波数特性、下側のカーブ (b) は 450pF の負荷を駆動する同オペアンプに関する特性です

古典的手法の決定版

安定性を維持する古典的な方法は負荷容量を補正することであり、このために抵抗 (R_X) をアンプの出力インピーダンスに直列に追加し、シャント・コンデンサ (C_F) を帰還経路内に挿入します (図 2、左側)¹。基本的には、外部の帰還ネットワークでループに正味 0° の位相シフトが加わるよう適正なシャント・コンデンサと直列抵抗を追加する必要があります。アンプの安定性は、オペアンプの反転入力に帰還される信号の位相シフトに依存します。ループ・ゲインが 1 以上のとき、信号の位相シフトは 180° 未満でなければなりません。帰還ネットワークが 0° の位相シフトに影響する場合、信号はオペアンプによってのみ位相シフトされます。特定の使用ゲインに対して、オペアンプの位相余裕が十分であれば、安定性は保証されます。

まず帰還ネットワークの安定性の目標値を設定します。では、その目標値はどうすれば達成できるのでしょうか？ 外部帰還ネットワークを描き直すことで、正確に分析を行うことができます (図 2、右側)。各コンデンサは、帰還ネットワークにおけるゼロおよびポールの形成の一

因となります。直感的には、あるコンデンサのポールおよびゼロへの寄与が、別のコンデンサのポールおよびゼロへの寄与を打ち消すとすると、位相シフトは 0° になると考えられます。この点に留意して、各コンデンサのポールとゼロの位置を割り出し、それらが互いに等しくなるように設定して R_X と C_F を求めます。これは概念的には簡単ですが、実際に求めるにはかなりの手間と時間がかかります。しかし、この値は直観的な方法で概算することができます。

容量性リアクタンスは周波数に応じて変わるので、コンデンサは、0Hz ではオープン・サーキット、無限大 Hz ではショート・サーキットと見なすことができます。ネットワークの分析を簡素化するために、この原理は 1 回につき 1 つのコンデンサにのみ適用します。まず、 C_F を短絡回路だと仮定すると、ポールとゼロの位置は C_L の関数となります (図 3a)。次に、 C_L をオープン・サーキットと仮定すると、ポールとゼロの位置が C_F の関数となります (図 3b)。これで、2 つのポールと 2 つのゼロが存在します。ポールとゼロが等しければ、 R_X と C_F の必要な値は次の 2 つの式で求めることができます。

$$R_X = R_O R_{IN} / R_F$$

$$C_F = (1 + 1/A_{CL}) [(R_F + R_{IN}) / R_F^2] C_L R_O$$

ここで、 A_{CL} はクローズド・ループ・ゲインです。

実験によれば、 $1/A_{CL}$ 項を C_F の式に追加する必要があります。この 2 式だけで、オペアンプ回路はほぼ例外なく、どの容量性負荷に対しても補償することができます。PMI 部門が総合的な実証を行ったところ、 $1/A_{CL}$ 項を含む前の 2 つの式通りの正確な予測値が得られました。

この補償方法を用いれば、いかなる容量性負荷に対しても安定した回路を実現できますが、回路の帯域幅は大幅に低下します。帯域幅はオペアンプによって決まるのではなく、外部部品による影響が大きいのです。帯域幅は C_F と R_F に左右され、次式に示すようなクローズド・ループ帯域幅が生成されます。

$$f_{-3dB} = 1 / 2\pi C_F R_F$$

制限要因を示すために、前の式に C_F の式を代入して簡素化します。

$$f_{-3dB} = 1 / 2\pi C_F R_O (1 + 1/A_{CL})^2$$

この式が示すように、負荷容量 (C_L) とオペアンプの出力インピーダンス (R_O) はできる限り小さくしなければなりません。 R_O はオペアンプに内在的なものなので、それを最小化するには R_O の小さなオペアンプを選択するしかありません。しかし、もっと柔軟な対処法で C_L を制御することができます。回路内で C_L のソースとなり得るものをすべて考え、それらを最小化してください。たとえば、終端されていない同軸ケーブルを駆動すると、非常に多くの負荷容量が加わります。この容量性負荷を取り除くには、ケーブルをバック終端する必要があります。グラウンド・プレーンに囲まれた PC ボード上のパターンも、少量の容量が加わる原因となります。この容量性負荷を取り除くには、パターンを短くし、パターンとグラウンド・プレーンに距離を設けます。容量性負荷によって回路が発振しない場合でも、この負荷を最小限に抑えてクローズド・ループ帯域幅が制限されないようにしてください。

電源バイパス処理として、電源とグラウンド間で、10 μ F タンタル・コンデンサを 0.1 μ F セラミック・コンデンサと並列に接続するのもよく用いられる方法です。

大抵の場合これでもよく対処できますが、バイパス処理が必要な場合に発振を防止するには、この処理で実際に何が起きるのか理解しておくことが重要です。

まず、バイパス・コンデンサを備えた代表的な電源ラインの等価回路は、IC とグラウンド間で電源ラインおよびコンデンサに直列接続されたインダクタで表すことができます。電源からのラインは、決して完全なゼロ・インピーダンス源ではありません。これは、ワイヤハーネスやPC ボード・パターンで配線された場合は特にそうです。また、すべての電源ラインには、特定周波数のデカップリング容量に反応する寄生インダクタンスがあります。このため、IC 側からみるとインピーダンスは無限大となり、急激な位相変化が生じます。オペアンプの位相余裕が低下し、回路が発振してしまう場合もあります。こうした発振の原因を探るために、IC 側からみた L と C の等価並列インピーダンス Z_{eq} を求めます。

$$Z_{eq} = sL(1/sC)/(sL+1/sC) = (1/C)s/(s^2+1/LC)$$

ここで、 $s = j\omega(1/\sqrt{LC})$ (上記式における複素ポール)

これらの複素ポールによって、等価インピーダンスは以下の周波数で無限大となります。

$$f = (1/2\pi)(1/\sqrt{LC})$$

これを示すために、s の値を元の等価インピーダンス式に代入します。

$$s = j\omega = j(1/\sqrt{LC})$$

$$Z_{eq} = (1/C)s/\{[j(1/\sqrt{LC})]^2+1/LC\}$$

$$Z_{eq} = (1/C)s/(-1/LC+1/LC)$$

分母はゼロとなり、予想された無限大のインピーダンスが得られます。しかし、実際はライン損失があるため、インピーダンスは無限大になりません (小さな寄生抵抗により、分母はゼロになりません)。さらに重要なことは、ポール周波数では位相が -180° 即座に変化するという事です。

電源ライン同様、バイパス・コンデンサにも寄生インダクタンス、すなわち等価直列インダクタンス (ESL) があります。バイパス・コンデンサを接続すると、ESL によって別の共振周波数が発生します。しかし、容量とインダクタンスは直列なので、これらは 2 つのゼロを形成します。これらの複素ゼロによって、コンデンサのインピーダンスはゼロになり、位相は $+180^\circ$ シフトします。寄生抵抗、すなわちコンデンサの等価直列抵抗 (ESR) が、このような応答を減衰させます。使用するコンデンサの種類によ

て RSR と ESL は大きく左右されるので、その点は考慮する必要があります。

より完成度の高い等価バイパス回路と、実際の LC 回路のネットワーク・アナライザのゲイン/位相図を使って、電源 (V_P) から IC の電源ピン (V_{IC}) までの伝達関数について説明します (図 4)。ここでは、共振周波数における大きなゲイン・ピーク (-180° の位相シフト) に注目します。

$$Freq = (1/2\pi)(1/\sqrt{L_P C_C}) = 1 \text{ MHz}$$

ただし、 $L_P = 250 \text{ nH}$ 、 $C_C = 0.1 \mu\text{F}$

$L_C = 1 \text{ nH}$ 、 $C_C = 0.1 \mu\text{F}$ とすれば、ゲインは下降し、位相は 16 MHz で $+180^\circ$ シフトします。

電源ラインに接続されているオペアンプにとって、これらはいったい何を意味するのでしょうか？ まず、高インピーダンスの電源の場合、オペアンプを流れる電流によって電源ライン上に大きな電圧ノイズが発生します。次に、電源における位相シフトがオペアンプにも与えられ、出力に追加の位相シフトが発生します。オペアンプのトランジスタ・レベルの分析では電源は AC グラウンドであると仮定されます。これはほとんどの周波数に当てはまりますが、共振周波数の場合 (バイパス・コンデンサを使用) はこの AC グラウンドが -180° の位相シフトで非常に高いインピーダンスになります。この位相シフトは、オペアンプの出力に影響を及ぼし、位相余裕を低下させるとともに、オペアンプの発振の原因にもなります。こうした影響は、高周波時に電源電圧変動除去比 (PSRR) が低下すれば、いくらか小さくなります。残念なことに、共振ピークは、ほとんどのオペアンプが除去できない高周波数域で発生するのが

普通です。

広帯域幅オペアンプでは、そのような共振周波数が 0 dB (ユニティ・ゲイン) 周波数付近で簡単に発生します。これによって、そのゲインや位相特性が大きく乱され、さらなる発振が起きる可能性さえあります。たとえば、図 4 のような電源ラインを持つ OP-42 に対して、ネットワーク・アナライザで測定を行いました。この測定結果は、オペアンプ出力への影響をはっきりと示しています (図 5)。

最初のゲイン・ピークは出力に現れず、ゲイン・ディップ (ゲインの谷) が現れます。これは周波数上昇時に PSRR の低下と比例します。OP-42 の PSRR は 1 MHz 時に十分に高い値 (約 45 dB) となり、最初のピークが除去されます。しかし、 15 MHz 時には約 15 dB にまで低下し、ゲイン・ディップが出力に現れます。この周波数のとき、ゲインと位相の両方が急激に変化します。この例では、ゲイン・ディップが複素ゼロによって発生し、位相が突然大きく増大しています。結果的に、オペアンプは位相余裕を維持します。

しかし、もし 15 MHz で複素ポールが形成されていれば、位相シフトが発生して位相が -180° まで急降下し、オペアンプは発振していたはずですが、電源ライン上で起きる現象によってオペアンプの性能が劣化するのとは明らかです。

電源ラインのインダクタンスとコンデンサの ESL は回路の共振の主原因と考えられるので、インダクタンスを除去する必要があります。これは「言うは易く行なうは難し」と言われるように、インダクタンスを完全に除去することはできません。また、実際には、ある程度のインダクタンスはフィルタとして作用するので

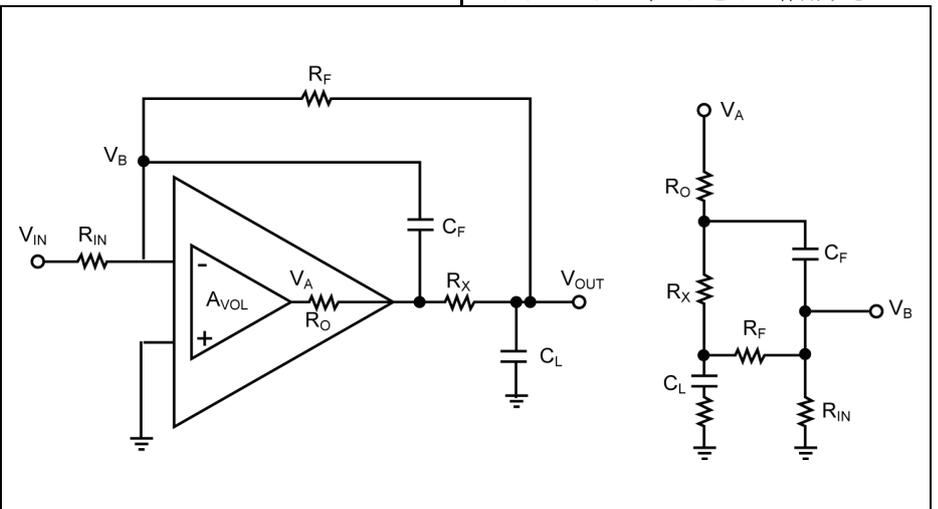


図 2. オペアンプの出力に抵抗 (R_X) を直列接続しオペアンプの出力と入力間にコンデンサ (C_F) を接続して、帰還ループ内の位相シフトをゼロに近い値にまで低減できます。これによって、容量性負荷 (C_L) 駆動時に発振するオペアンプを安定した状態に戻すことができます。

好ましい場合もあります。したがって、PSRR 値を大きくしてゲインと位相の変化を除去できるように共振周波数を下げするには、十分なバイパス容量が必要となります。バイパス・コンデンサはできるだけ IC の近くに接続して、そのコンデンサと IC 間のパターン・インダクタンスを最小限に抑えるようにします。

コンデンサ内の寄生インダクタンスを低減するには、用途に応じた適切なコンデンサ・タイプを選択する必要があります。一般に、0.1 μ F セラミック・コンデンサと 10 μ F タンタル・コンデンサを並列接続したものが電源バイパスとして使用されますが、これにはそれなりの理由があります。電源ライン・インダクタンスと全バイパス容量との組合せで、ゲイン・ピークの位置は決まります。その影響を抑えるには、ピークの周波数をアンプの 0dB 周波数よりかなり小さくする必要があります。このためには大きなコンデンサを使って、PSRR が高くなるポイントまで、ピークの周波数を低減しなければなりません。10 μ F のタンタル・コンデ

ンサは、手頃なサイズの部品で大きな容量値が使用可能となるため、この用途にはぴったり合っています。アプリケーションによっては、安定性の維持だけではなく、アンプの 0dB 周波数までフラットなゲイン/位相特性を保証することが大きな意味を持ちます。このようなアプリケーションには、もっと大きなバイパス・コンデンサを使ってインダクタンスを確実に除去する必要があります。

残念なことに、タンタル・コンデンサは ESR が大きいため最適ではありません。一方、セラミック・コンデンサの ESR は大きくありません。この 2 つの抵抗の周波数とインピーダンスの代表的なカーブからわかることは、セラミック・コンデンサのほうが、ESR と ESL が小さいためにより高い周波数でインピーダンスがより急峻に降下するということです (1 Ω をかなり下回る)。一方、タンタル・コンデンサは ESR が非常に高いため、ディップは浅く、1~10 Ω の範囲に収まります。タンタルを使用する場合は、バイパスのインピーダンスが高周波数に

おいて理想的な AC グラウンドに近づくことはありません。したがって、電源バイパス回路の高周波インピーダンスを低減するためには、低い値のセラミック・コンデンサが並列で使用されます。タンタル・コンデンサは、約 1MHz でその ESR の制限値に達します。これよりも高い周波数域でも、セラミック型であれば、約 10MHz 付近でコンデンサ自体の ESL が支配的になるまでは、バイパス・インピーダンスを低い値に抑えることができます。

セラミック・コンデンサの代表的なカーブは、通常、10 分の数インチのリード長の影響を含んでいます。10MHz を上回る周波数でインピーダンスを急上昇させる ESL の大部分は、実際にはリードに起因しており、リードを短くすると ESL は小さくなります。バイパス・コンデンサを IC の近くに置くことが重要なのはこのためです。このような理由から、チップ・コンデンサは高速回路において非常に有用です。チップ・コンデンサは表面実装されるので、PC ボードのパターンやアンプ部のリード以外にはほとんどリード長は含みません。あらゆるリードの長さを最小限に抑えれば、高周波数でクリーンな電源バイパスが確保できます。

ここまでは、1 個のアンプのみが電源に接続されている例について説明してきました。しかし、実際には複数のアンプが同じ電源を共用しています。この場合には、電源ラインを可能な限り太く短くし、各 IC は個別にバイパスする必要があります。こうすれば、オペアンプの電源電流需要の急激な変化によって生じる、電源ライン上のノイズを低減できます。

低帯域幅オペアンプ (例えば 741) の入力の浮遊容量は、回路の性能に大きな影響を与えない限り、見落とされがちです。しかし、高速回路を設計する場合にはこの容量が重要な意味を持ちます。この入力容量はクローズド・ループ帯域幅を低下させるだけでなく、オペアンプの発振原因にもなり得ます。オペアンプの入力回路と PC ボード (またはブレッドボード) のレイアウトに起因するこの容量は、非反転入力とグラウンド間に接続したコンデンサとみなすことができます (図 6a)。

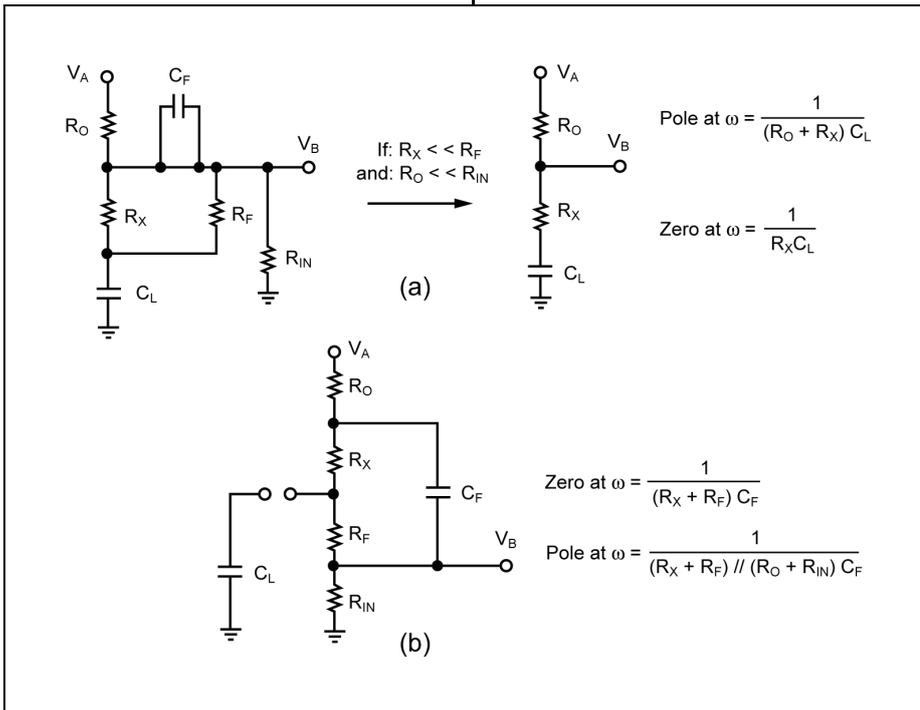


図 3. オペアンプ回路の負荷と帰還コンデンサに起因するポールとゼロの位置を求めるために、 C_f はショート・サーキット (a)、 C_L はオープン・サーキット (b) と仮定します

この容量が不安定性の要因になることを確認するために、アンプの出力インピーダンスを含む帰還ネットワークについて考えてみます(図 6b)。帰還信号に対するコンデンサの位相の寄与は、 V_A から V_B までの回路の伝達関数を分析することで求めることができます。つまり、信号はアンプのオープン・ループ位相特性によって位相シフトされ、帰還ネットワークの位相応答によってさらにシフトされます。伝達関数は簡単に求められます。

$$V_B / V_A = R_1 / [(R_1 + R_2 + R_O) + sC_1 R_1 (R_O + R_2)]$$

これは下記の周波数でポールを発生させます。

$$f_c = (R_1 + R_2 + R_O) / 2\pi C_1 R_1 (R_O + R_2) \\ \approx (R_1 + R_2) / 2\pi C_1 R_1 R_2$$

$$(R_O \ll R_1 \text{ および } R_2 \text{ と仮定})$$

このポールにより、ユニティ・ゲイン周波数 f_U で位相シフトが起きます。

$$\text{Phase Shift} = \text{TAN}^{-1}(f_U / f_c)$$

位相シフトが大きいと、アンプは発振します。一例として、5pF の入力容量と $R_1 = R_2 = 10\text{k}\Omega$ を備えた OP-42 について考えてみましょう。これは、6.4MHz でポールを形成し、8MHz のユニティ・ゲイン・クロスオーバー周波数で 51° の位相シフトを発生させます。OP-42 は位相余裕が 48° なので、51° の位相シフトでアンプは発振を開始します。

幸い、帰還コンデンサを帰還抵抗と並列接続することで、入力容量を補償することができます。帰還コンデンサの最適な値は簡単に求めることができます。まず、帰還ネットワークのポールとゼロの位置を決め、それらが互いに等しくなるように設定します。

$$\text{Pole} = 1/2\pi(C_1 + C_2)R_1 // R_2$$

$$\text{Zero} = 1/2\pi C_2 R_2$$

これらを等しくして求めると、

$$C_2 \geq C_1 R_1 / R_2$$

C_2 のこの値を使用すれば、帰還ネットワークにゼロ度の位相シフトが与えられます。0° のシフトで、安定性は保証されます(オペアンプ自体は安定しているものと仮定)。興味深いことに、ほとんどの抵抗器はその両端に約 1~2pF の浮遊容量が存在し、これが回路の安定化をもたらします。前の例では、OP-42 の 5pF 入力容量を補償するために、 C_2 も 5pF とする必要があります。

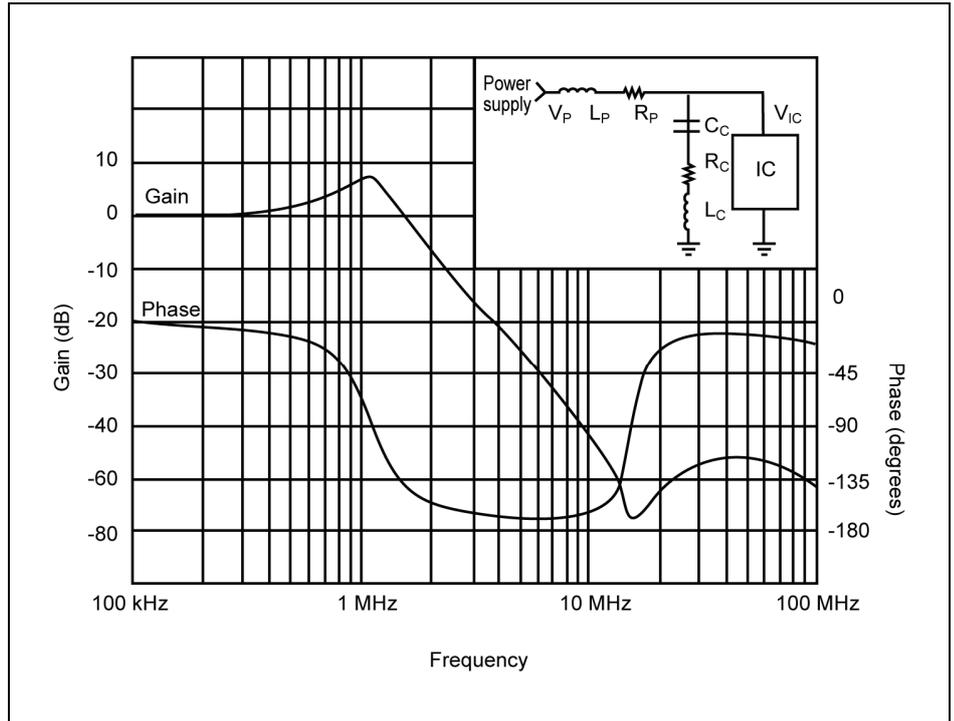


図 4. RLC 寄生により、IC のバイパス電源ラインが複数の周波数で共振する可能性があります。この例では、顕著なゲイン/位相変化が 1MHz と 16MHz で起きています。

ボード・レイアウトは、浮遊入力容量の大きな発生原因になり得ます。この容量は、オペアンプの加算ジャンクションへの入力パターンによって発生します。

基準ポイントとして、PC ボードの反対側のグラウンド・プレーンに囲まれた 0.025 インチのボード・トレースは、1 インチ当たり約 10pF の容量を表します。もちろん、この値はボードの厚みや使用材料によって変わります。しかし、アンプを発振させるだけの入力容量が簡単に生じます。

入力容量の影響を抑えるには、ポールの周波数をさらに高くして、0dB 周波数近くでの影響を小さくします。ほとんどのオペアンプには、3~5pF の入力容量(差動容量とコモンモード容量)があります。

反転アプリケーションの場合は、さらに 2 つの容量が加わります。しかし、非反転構成の場合は差動容量が実質的にゼロとなるので、各入力には約 1~3pF のコモンモード容量が存在することになります。この容量はどのオペアンプでも同じで、それを低減することはできません。

一方、PC ボードの浮遊容量はある程度

抑えることができます。この容量を低減する主な方法は 2 つです。その一つは、入力の配線をできる限り短くすることです。帰還抵抗と入力ソースはオペアンプの入力のすぐ近くに配置して、PC ボードのパターン長を最小限に抑えます。また、アナログ部をその近くに配置して、パターン長をさらに短くします。もう一つの方法は、オペアンプの近くにグラウンド・プレーンを配置しないというものです(ただし、回路にとってそれが必要な場合もあります)。特に注意することは、グラウンド・プレーンをオペアンプの入力から離れた位置に配置することです。この場合、明らかに例外となるのは、非反転ピンをグラウンドに接続する場合です。グラウンドが実際に必要な場合は、それを大きなパターンで引き込んで低抵抗グラウンドを確保します。グラウンド・プレーンは、アナログ部とは反対側のボード面に配置しないでください。これらを組み合わせる方法は、浮遊入力容量を最小限に抑える際に非常に役立ちます。

高速アナログ回路にとって最良の PC ボード・レイアウトは、アナログ部品をひとまとめにして互いに近い位置で配置

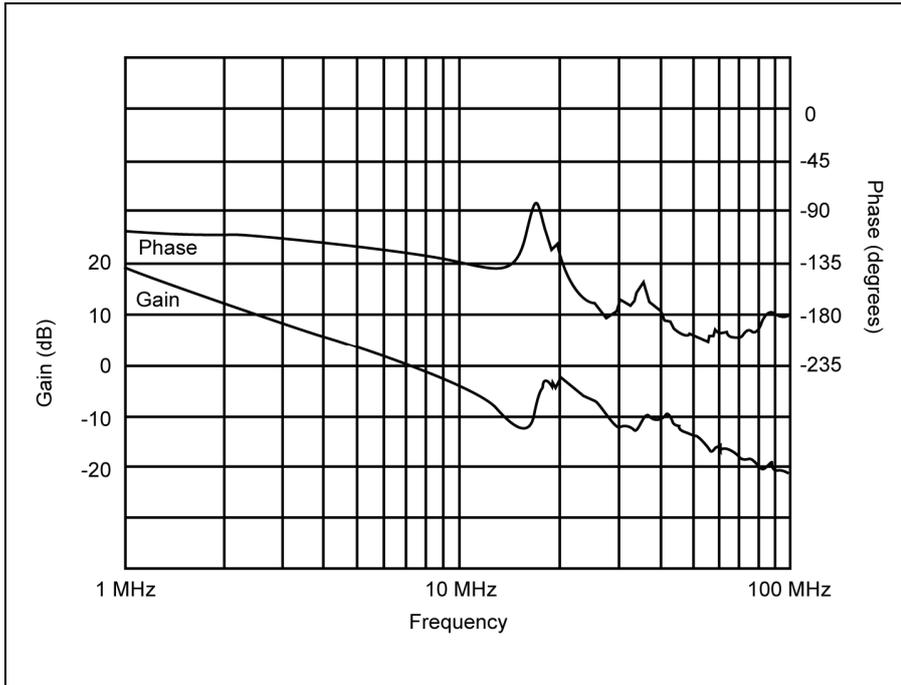


図 5. オペアンプの電源ピンの共振によってオペアンプのゲインと位相が急激に変化し、位相余裕の損失が発生するとともに、発振の可能性が高くなります。ここでは、16MHz における影響を示しています

することです。そうすれば、パターン長を短くすることができます。電源バイパス用の表面実装デバイスやチップ容量は実際に役に立ちます。グラウンド・プレーンはアナログ部の周囲に配置し、グラウンドが必要な場合にのみパターンを介して接続できるようにします。ソケットを使って IC をボードに実装するのは避けてください。それを行うと、デバイスの入力ピンに 1~3pF の容量が加わります。

前述のポールの式からわかるように、容量を最小化することはその影響を抑える唯一の方法ではありません。並列に接続する抵抗 R_1 と R_2 も小さくする必要があります。どれだけ小さな帰還抵抗を使用できるかは、オペアンプ自身で決まります。ほとんどの高周波アンプは、1~2k Ω あたりの抵抗が最適です。

抵抗を 1/10 に下げるとは、入力容量を 1/10 に下げると同じことです。しかし、出力回路は帰還抵抗と負荷を駆動できなければなりません。

帰還コンデンサで入力容量を補償すれば、 C_2 は回路を安定化することができます。しかし、そのために帯域幅は減少します。コンデンサ C_2 は帰還抵抗 R_2 との組合せによってポールを形成し、それによって帯域幅は次のように制限されます。

$$\text{Bandwidth} = 1/2\pi C_2 R_2$$

入力容量を処理する最適な方法は、容量と帰還抵抗の両方を最小限に抑えることです。こうすれば、回路発振の可能性を低減でき、クローズド・ループ最大帯域幅を維持することができます。

オペアンプ技法

残念なことに、すべてのオペアンプが安定に動作するとは限りません。少なくとも、ユニティ・ゲインのときはそういえません。多くの高速オペアンプは、ゲインが 5 ないしは 10 より大きい場合にのみ安定性を示します。こういった広帯域オペアンプはユニティ・ゲイン安定性を犠牲にして、かなり大きなゲイン帯域幅積を達成します。それでは、設計でユニティ・ゲインが必要な場合にアプリケーションに適した、ユニティ・ゲインで安定したオペアンプが見つからなければ、どうなるのでしょうか？ 心配りません。入力両端にコンデンサと抵抗を追加するだけで、ほとんどのアンプはユニティ・ゲインで安定した動作が得られます (図 7)。この回路構成では、高周波数で帰還係数ベータ (β) を低減でき、アンプはユニティより大きなゲインで動作していると「みなし」ます。

この補償技術を理解するために、まず、コンデンサが高周波に対して短絡状態になるとします。その場合、残りは R_C と R_F になります。 R_C の値の計算は、アン

プの最小安定ゲインに基づいて行います。アンプが 5 以上のゲインを必要とする場合は、 $R_C = R_F/4$ として $\beta = 1/5$ を得ます。帰還は安定性に必要な最小ゲインと等価なので、アンプはそのクローズド・ループ・ゲインが 5 であるとみなし、それによって安定性が得られます。しかし、信号側はクローズド・ループ・ゲインをユニティとみなします。このことは、ゲインの式を導出すればわかります。

$$V_O = -A_{OL}(R_C/R_C + R_1)V_O + A_{OL}[V_{IN} - (R_1/R_C + R_1)V_{IN}]$$

ここで、 A_{OL} はアンプのオープン・ループ・ゲインです。

この式は次のように簡素化できます。

$$V_O/V_{IN} = A_{OL}\beta/(1 + A_1\beta) = 1/(1/A_{OL}\beta + 1)$$

ここで、

$$\beta = R_C/(R_C + R_1)$$

オープン・ループ・ゲインが大きいときは、 $V_O/V_{IN} = 1$ となります。アンプがクローズド・ループ・ゲインを 5 とみなしても、信号経路のユニティ・ゲインは維持されます。

次に、補償コンデンサ C_C の値について考えてみましょう。この値は、安定性の確保に必要な低い値の周波数に対してアンプが β 条件を満たせるだけの、大きな値でなければなりません。最小値の C_C は、アンプの最小安定ゲインに対して、コーナー周波数より 1 デイカド以上小さい周波数で R_C の値と等しいインピーダンスを提供する必要があります。

$$C_C = 1/2\pi R_C(f_C/10)$$

たとえば、高スルーレートのアンプ OP-64 について考えてみましょう。この最小安定ゲイン (5) により、16MHz のコーナー周波数が得られます。帰還抵抗が 1000 Ω の場合は、 R_C は 250 Ω 、 C_C は 398pF (C_C に対して考えられる最低値) となります。

この式は、非反転構成における動作に対して有効です。ここで、分析結果が非常に似ている反転回路について考えてみます。クローズド・ループ・ゲイン式は次のようになります。

$$V_O/V_{IN} = -1/(1 + A_{OL}\beta)$$

ここで、

$$\beta = (R_C // R_1)/(R_C // R_1 + R_2)$$

この式は、符号と β の値以外は非反転構成の式に似ています。 β の式は、高周波で入力抵抗 R_1 が R_C と並列であることを示しています。この並列の組合せで、最小安定ゲインの場合の R_C の値を算出します。コンデンサの値は、非反転の場合と同じように計算します。

落とし穴は何か？

進み遅れ補償は、オペアンプの帯域幅とセトリング時間に作用します。「アンプがユニティ・ゲイン構成の場合は、アンプのフル・ゲイン帯域幅積と信号帯域幅が等しくなる」と考えるのは正しくありません。進み遅れ補償を使用しても、帯域幅を最小安定ゲイン時の帯域幅より大きくすることはできません。たとえば、OP-64 のゲイン帯域幅積が 80MHz でも、OP-64 はクロズド・ループ・ゲインが 5 以上のときしか安定しません。したがって、ゲインが 5 の場合、その帯域幅は 16MHz です。この回路のSpice分析の結果に示されているように (図 7)、ユニティ・ゲイン動作の補償を行っても、その帯域幅は 16MHz のままです。この作用を理解するために、 $\beta = 1/5$ の場合のクロズド・ループ・ゲイン式をみてみましょう。

$$V_O / V_{IN} = 1 / (5 / A_{OL} + 1)$$

この式とユニティ・ゲイン式を比較してみます。

$$V_O / V_{IN} = 1 / (1 / A_{OL} + 1)$$

β により、補償されたアンプのゲイン帯域幅は補償されていない OP-64 の帯域幅の 1/5 となります。

進み遅れ補償は、オペアンプのセトリング時間にも影響します。OP-64 の過渡応答を調べれば、この影響がわかります (図 8a, 8b)。これらのテストは、 $C_C = 470\text{pF}$ 、 $R_C = 250\Omega$ という条件下で行いました。回路の 0.1% までのセトリング時間は、 $A_V = 5$ の場合のセトリング時間 390ns とは対照的に、600ns に増加しています。しかし、この作用は C_C の値を大きくすることで簡単に解消できます。テストは $C_C = 1\mu\text{F}$ の条件でも行いましたが、この場合はかなり良い数値が得られました (図 8c)。このときのセトリング時間は 310ns にまで低下して、 $A_V = 5$ の場合のセトリング時間と同等の値になっています。コンデンサを小さくして安定性を保証すると、大きなオーバーシュートが発生し、セトリング時間は長くなります。

入力電圧を -1V から +1V に変えると、ほぼ即座に、オペアンプの反転入力と非反

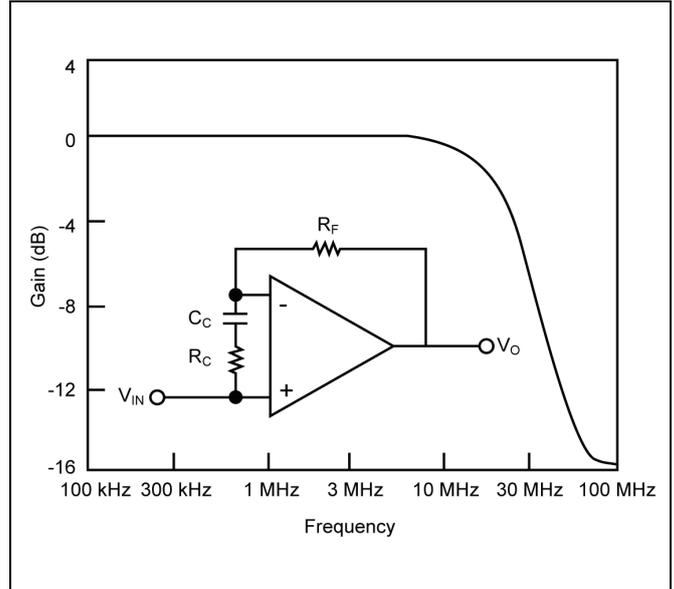


図 7. コンデンサ C_C と抵抗 R_C から形成される進み遅れ補償は、ユニティ・ゲインで安定化できます。一般に、このオペアンプは高いゲインのときだけ安定化します。

転入力に間に大きな差動電圧が生じます。補償抵抗と組み合わせるコンデンサが小さいと、その RC 時定数は比較的小さいものとなり、短時間でフル差動電圧にまで充電されます。アンプが最終出力電圧 (入力電圧×クロズド・ループ・ゲイン) に戻ろうとしているときにオーバーシュートすると、コンデンサは出力を強制的にハイレベルに維持するために必要な差動電圧にまで充電されます。補償コンデンサがゆっくり放電されると、オーバーシュートの減衰時間は長くなります。大きなコンデンサでは、RC 時定数が非常に大きくなるため、差動電圧に届かない低いレベルまでしか充電できません。したがって、アンプがオーバーシュートしても、コンデンサは出力を強制的にハイレベルに維持するために必要な差動電圧にまで充電されません。そのため、アンプの電圧はすぐに最終電圧に戻ります。全セトリング時間はかなり変動しますが、スルーレート (およびフルパワー帯域幅) は一定です。どのコンデンサを選択しようと、スルーレートは最小安定ゲイン状態のときの値と同じです。アンプのスルーレートはその内部構造に依存しており、補償抵抗やコンデンサには左右されません。

これまでの説明で、次のような疑問がわいてくるかもしれません。「コンデンサはどれぐらい大きいものを使用すればよいのだろうか？」あるいは「大きなコンデンサほど良いとすれば、そもそもコンデンサは必要なのか？」といった疑問です。最初の疑問に対して実験に基づいて答えると、オーバーシュートを低く抑えセトリング時間を最低限に抑えるには、一般に計算値の約 1000 倍のコンデンサ

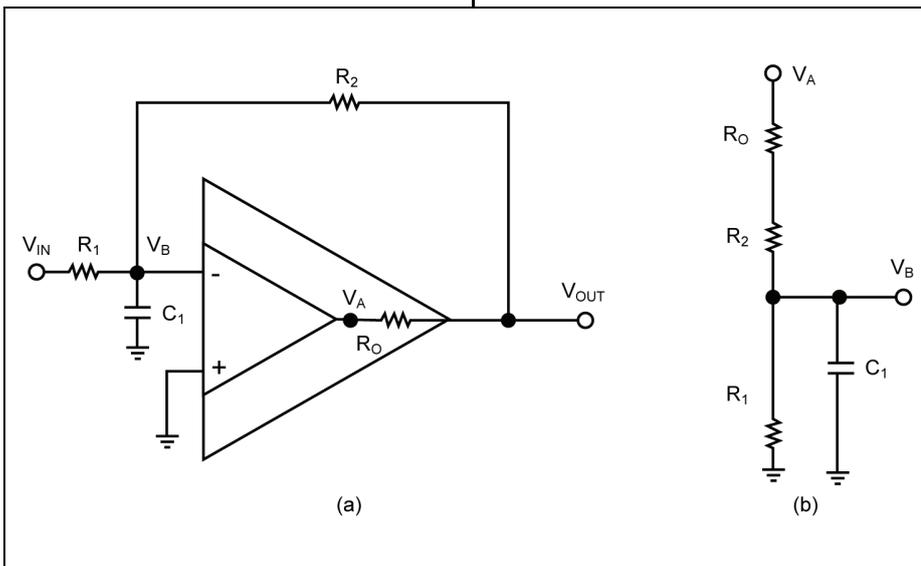


図 6. オペアンプ入力の寄生容量 (C_1) によって位相余裕が小さくなり、それが発振の原因となります (a)。この影響を分析する場合は、オペアンプの帰還ネットワークの要素である C_1 を考慮する必要があります。

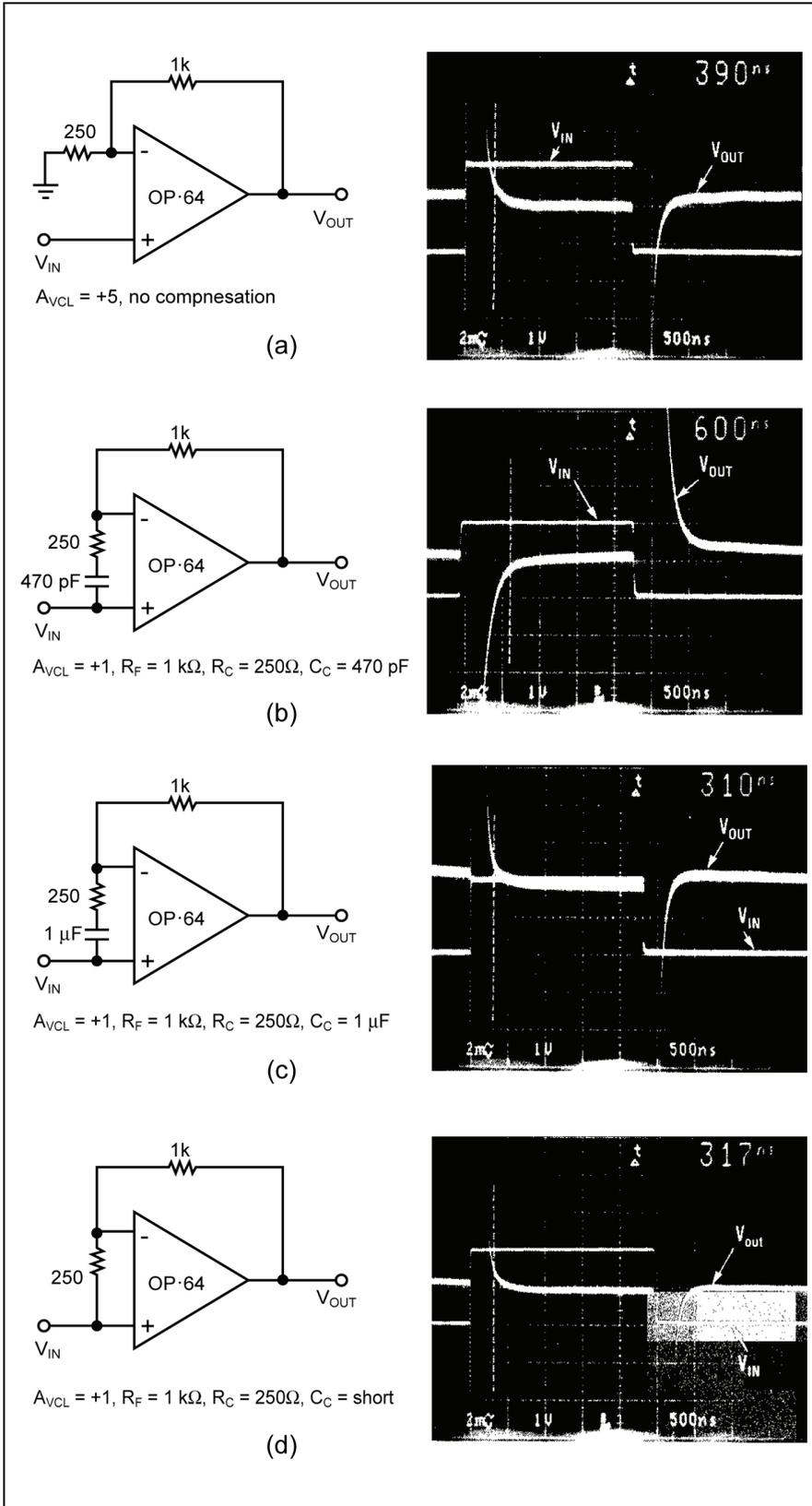


図 8. 最小安定ゲイン 5 のオペアンプが 1 のゲインで動作するために進み遅れ補償されると、その最初のセトリング時間は約 400ns (a 図) から約 600ns (b 図) へと長くなります。しかし、補償コンデンサが 470pF から 1μF へと大きくなると、セトリング時間は約 300ns (c 図) まで短縮されます。コンデンサを短絡させても同じような結果が得られます (d 図)

が有効です。また、抵抗だけを所定の位置に配置した場合のセトリング時間も測定しました (図 8d)。これは 317ns で、1μF の C_C を使用する場合とほぼ同じです。しかし、コンデンサを使用しなければ、DC 誤差が紛れ込みます。コンデンサがない場合も、回路の DC ノイズ・ゲインは 5 となりますから、電圧オフセットなどの DC 誤差は、出力時にすべて 5 倍に増幅されます。高速アンプのオフセットは比較的大きいので、DC 誤差はかなり大きくなってしまいます。こうした誤差については必ず考慮しなければなりません。

その他の ノイズ・ゲイン

高周波あるいは AC ノイズ・ゲインについても考慮する必要があります。現時点でアンプの帰還はゲイン 5 と等しいので、AC ノイズは出力時に 5 倍に増大します。電圧ノイズは、一般にアンプの反転入力におけるノイズ源の典型例としてモデル化できます。ノイズ・ゲインの測定のために、Spice 分析を行いました。この場合は、アンプの反転入力に入力源を配置し、2 つの異なる補償コンデンサ (470pF、1μF) に対して出力の振幅を測定しました (図 9)。ユニティ・ゲインの場合、ノイズ・ゲインは通常 1 になりますが、図からわかるように進み遅れ補償によってそのゲインは 5 (14dB) になっています。図中の 2 つのプロットを比べると、470pF よりも 1μF のコンデンサを使用したときのほうが、ノイズがかなり大きくなるように思われます。しかし、その差はそれほど大きくはありません。特定の帯域幅における全 RMS ノイズは次式で表されます。

$$E_n = e_n \sqrt{(f_H - f_L)}$$

ここで、

e_n = スペクトル電圧密度

f_H = 周波数の上限

f_L = 周波数の下限

プロットを調べると、両コンデンサの f_{1L} は同じ 20MHz にみえますが、 f_{1H} は異なります。470pF コンデンサの場合は約 500kHz で、1 μ F コンデンサの場合は約 500Hz です。しかし、これによって生じる差は全ノイズで 1.3%にすぎません。したがって、2 つのコンデンサによるセトリング時間の違いに比べると、1 μ F コンデンサのノイズの面でのトレードオフはごくわずかです。進み遅れ補償は、高周波オペアンプを扱ううえで貴重なツールとなります。また、前の説明でも触れたように、このツールは低ゲインで通常不安定となるオペアンプに対して安定性を提供できます。しかし、トレードオフという面では、この補償技法を使用するときには注意が必要です。

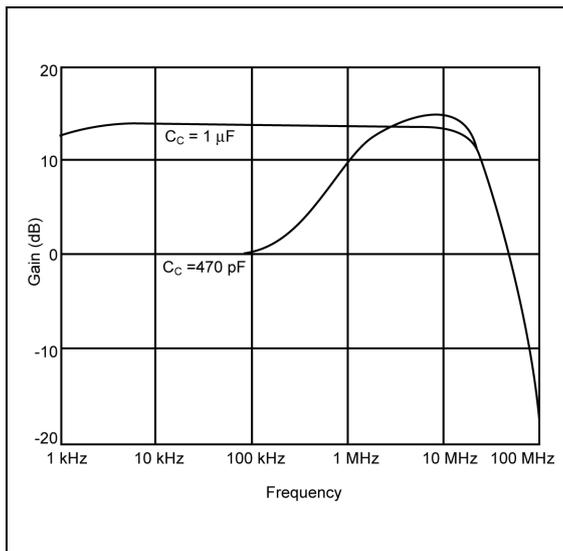


図 9. 進み遅れ補償コンデンサの値を 470pF から 1 μ F に上げると、低周波ノイズ・ゲインが約 10dB 増大します。しかし、任意の帯域幅で、全 RMS ノイズはわずかなパーセンテージしか増大しません

参考文献

- 『Analog Applications Seminar』
Precision Monolithics Inc., 1988 年
オペアンプの安定性基準の詳細については、以下の文献を参照してください。
P. Gary, G. Meyer 著『Analog Integrated Circuits』New York: Wiley, 1984、
pp.527-70