

AN-282 アプリケーション・ノート

サンプル・データ・システムの基本

代表的なDSPサンプル・データ・システム

図1は、代表的なDSPサンプル・データ・システムのブロック図で す。実際のアナログ/デジタル変換が行われる前に、通常、アナ ログ信号はシグナル・コンディショニング回路を通り、増幅、減 衰、フィルタリングなどが行われます。アナログ信号が温度、圧 力、流速、力などから来てれば、まず適切なセンサーとトランス デューサを使って、物理量を電圧か電流に変換する必要がありま す。 実際のアナログ/デジタル変換プロセスには、「離散時間サンプ リング」と「量子化による有限振幅分解能」という2つの重要なコ ンセプトが関係しています。DSP アプリケーションでは、これら の理解が欠かせません。



サンプル・データ・システムの重要な要素

図 1

アナログ・デバイセズ株式会社

アナログ信号の離散的時間サンプリング

図2は、アナログ信号の離散的時間/振幅サンプリングを示してい ます。連続したアナログ・データは、離散間隔(t_s)でサンプリン グする必要があります。この離散間隔は、元のアナログ信号を正 確に表現できるように慎重に選択する必要があります。もちろん、 取得するサンプル数が多い(高いサンプリング・レートにする) ほど正確なデジタル化が可能になります。サンプル数を少なくし ていくと(低いサンプリング・レートにする)と、あるポイント から信号の重要な情報が失われることになります。これにより、図 3に示すナイキストの基準が導かれます。

アナログ入力信号の離散的サンプリング





ナイキストの基準

- ■帯域幅 f_aのアナログ信号は、情報の消失を避ける ために f_s>2f_aのレートでサンプリングしなければ ならない
- f_s<2f_aの場合、アナログ信号の帯域幅内にエイリア シングと呼ばれる現象が起きる

図 3

時間領域と周波数領域でのエイリアシングの影響を理解するため、 図 4 に示すようにサンプリングされたサイン波信号を時間領域で 表す 4 つのケースを考えてみましょう。ケース1では、サイン波の 情報を保持するために十分な数のサンプルを取得していることは 明白です。ケース 2 では、1 サイクルにつき取得するサンプルは 4 つだけですが、情報の保持にはまだ十分な数です。ケース 3 は、f_s = 2f_aとなり、もはや元の情報を確実には得られない限界条件です。 たとえばサンプリングする点とサイン波の関係が、サイン波が(図 に示すようなピークではなく)ちょうどゼロ交差時にサンプリン グされる場合は、サイン波のすべての情報が失われてしまいます。 図 4 のケース 4 は、f_s<2f_aであり、サンプルから取得した情報がf₂/2 より低い周波数を持つサイン波を示しており、DCとf₂/2 の間のナイ キスト帯域幅内に帯域外信号が折り返された状態になります。サ ンプリング・レートがさらに低くなり、アナログ入力周波数faがサ ンプリング周波数faに近づくと、折り返された信号は周波数スペク トルのDCに近づきます。

時間領域におけるエイリアシングの影響



図 4

図5は、上記の各ケースを周波数領域で表したものです。なお、ア ナログ信号 f_a をサンプリング・レート f_s でサンプリングすると、 f_s + f_a と f_s - f_a において2つのエイリアス周波数成分が生成されます。上側 のエイリアス成分(f_s + f_a)は、ナイキスト帯域幅の外側にあるため、 ほとんど問題になりません。問題を起こすのは、下側のエイリア ス成分(f_s - f_a)で、入力信号がナイキスト帯域幅 f_s /2を上回ったと きです。

周波数領域におけるエイリアシングの影響



上記の説明から、望ましくない帯域内エイリアシングを防ぐには、 f₂/2以上の周波数で十分な阻止帯域減衰量を持つアンチエイリアシ ング・フィルタを A/D コンバータ (ADC)の前に置く必要がある ことが明らかです。エイリアシングは、ナイキスト帯域幅から外 れた基本波信号の高調波や、ADC 入力におけるフィルタ処理なし のブロードバンド・ノイズからも発生することがあります。

図6に、エイリアシングがサンプル・データ・システムのダイナミッ ク・レンジに与える影響を示します。上の図は、ナイキスト点の 望ましい状態を示しています。ここでは、折り返し成分が必要な ダイナミック・レンジより下の点で入力信号と交差しています。 下の図では、ナイキスト帯域内の高域でのダイナミック・レンジ が折り返し成分によって制限されています。この状態では、ナイ キスト帯域内の高域において全体的にS/N比が低減し、図7に示す ように折り返された帯域外の信号や高調波によって歪みが生じる ことがあります。

周波数領域のエイリアシングが









アンチエイリアシング・フィルタの選択

ここまでの説明で明らかになったと思いますが、目的のアナログ 入力帯域幅(f_a)を得るためのアンチエイリアシング・フィルタの 条件は、サンプリング・レート(f_b)だけでなく、目的のシステム・ ダイナミック・レンジにも関係します。簡単に言えば、ダイナミッ ク・レンジは、要求される最大の信号と分解可能な最小の信号と の比であり、通常 dB 単位で表されます。ここでは、エイリアシン グに起因するダイナミック・レンジの制限を考えてみましょう。 ADC の量子化ノイズやその他の非直線性による制限については、 その後説明します。以下の経験則に従えば、いくぶん過剰仕様気 味のフィルタが得られますが、考え方は有効であり、実際のシス テム条件に合わせて手直しすることができます。

アンチエイリアシング・フィルタの条件



まず、アンチエイリアシング・フィルタのコーナー周波数を目的 のアナログ入力帯域幅(fa)と等しい値に設定します。これにより、 フィルタの通過帯域はfpass = faになります。フィルタの阻止帯域の 開始をfstop=f/2としてください。フィルタの阻止帯域における減衰 量を高域周波数で必要なダイナミック・レンジDR (dB単位で表示) と同じにします。これらのパラメータにより、フィルタの過度帯 域特性が決まります。すなわち、log2(fstop/fpass)オクターブのダイナ ミック・レンジに等しい阻止帯域減衰量を実現しなければなりま せん。この過度帯域の傾きに必要なフィルタの概略次数M(極数) は、フィルタのロールオフが約6MdB/オクターブであることから 決定できます。図9に簡単な計算例を示します。ここでは、信号帯 域幅 (f_a) が 3kHz、サンプリング・レート (f_a) が 12kHzで、60dB のダイナミック・レンジが必要です。つまり10極フィルタが必要 ということになります。実際は、8極を超えるアナログ・フィルタ になると設計上かなり難しく、12極を超えるフィルタになれば、 経験豊かなフィルタ設計者でなければ実用化は不可能です。

ここまでの考察では、フィルタの位相特性を無視し、さらに帯域 内/帯域外のリップル条件も無視してきました。これらのパラ メータを追加すれば、アンチエイリアシング・フィルタの設計は、 かなりたいへんな作業となります。 アンチエイリアシング・フィルタの例



アンチエイリアシング・フィルタの複雑さを決める上述の経験則 では、基本的にナイキストを上回るすべての入力信号周波数で信 号がフルスケールまで振れることがあると想定しています。しか し、実際はそういうことはまれで、高域の入力周波数では信号処 理される間に信号に若干の自然な減衰があります。たとえば、前 の例でナイキスト周波数とそれ以上の信号がすでに12dB減衰して いれば、6kHzのナイキスト周波数で必要なフィルタの阻止帯域減 衰量は48dBだけになります。これなら、8 極のフィルタで間に合 うことになります。図10は、この状況を示したものです。

帯域外減衰量が アンチエイリアシング・フィルタに与える影響



これまで述べたことから、アンチエイリアシング・フィルタの条 件は、サンプリング・レートを高くする(オーバーサンプリング) ことにより、緩和することができます。このセミナーで、後ほど 説明しますが、シグマ・デルタ(ΣΔ)と呼ばれるタイプの ADC と DAC は本来的にオーバーサンプリング・コンバータであり、アン チエイリアシング・フィルタの複雑さを大いに軽減します。

オーバーサンプリングとデシメーション

前述のように、入力信号をオーバーサンプリングする大きな利点 は、アンチエイリアシング・フィルタの条件を緩和できることで す。もちろん、オーバーサンプリングのマイナス面は、これによっ て ADC の出力データレートが増大することであり、DSP はこれに 遅れることなくリアルタイムの動作を維持しなければなりません。 データをシリアルデータ形式で伝送する場合は、その結果広い周 波数スペクトルを使用することになります。これに代わる魅力的 な方法としては、アナログとデジタルのフィルタリング、オーバー サンプリング、そしてデシメーションと呼ばれるプロセスを利用 することです。図11に示す従来の方法では、すべてのアンチエイ リアシング処理は、ADC の前段のアナログ入力フィルタが行いま す。しかし、図 12 では、K というオーバーサンプリング比(K は 整数)によってナイキスト周波数を Kfs/2 に高くすることで、入力 アナログ・フィルタのロールオフ条件を軽減しています。ADC の 後に続くデジタル・フィルタ(デジタル・フィルタリングについ てはセクション VII で詳述)は、f_sに対するアンチエイリアシング 機能を行い、f₂で十分な阻止帯域減衰量を持ち、必要とするダイ ナミック・レンジを実現します。このセミナーの後半で検討しま すが、優れた位相応答を持ち、シャープなカットオフ特性がある デジタル・フィルタは、これに相当するアナログ・フィルタと比 べてはるかに簡単に実現することができます(DSP に十分な速度 があると想定した場合)。リニアな位相特性を持つ有限インパル ス応答 (FIR) フィルタを設計することができます。デジタル・ア ンチエイリアシング・フィルタによって帯域幅が f./2 に減少するた め、デジタル・フィルタを通った出力データには余分な情報が含 まれています。このため、すべてのサンプルを調べる必要はなく、 実際は K 番目ごとのサンプルを調べるだけで十分です。このプロ

アナログ・ローパス・フィルタによる ナイキスト・サンプリング



アナログ/デジタル・フィルタリングによる オーバーサンプリング ANALOG DIGITAL DECIMATE LOWPASS ADC BY K FILTER FILTER fnass = fa ₿ _{Kfs} - DATA RATE = Kf_s DATA RATE = f_s f_{stop} = K f_s/2 K = OVERSAMPLING RATIO (INTEGER) DIGITAL FILTER DIGITAL FILTER fa f_S Κf_s Kfs 2 2 図 12

セスはデシメーションと呼ばれ、シグマ・デルタ・コンバータの セミナー(セクション VI)で詳しく説明します。さらに、実際の デシメーションは、FIRフィルタ自体で実行でき、K個の入力サン プルごとに1個の出力サンプルを計算します。こうしたオーバーサ ンプリングとデシメーションの考え方は、DSPの実際の世界にお いて最も強力な概念のひとつになっています。

アンダーサンプリングと そのアプリケーション

ここでは、DSPのアプリケーションの中にはエイリアシングを完全 に許容でき、これを有効に利用できるものもあることを説明しま す。ADCによってデジタル化されるアナログ信号がf₂/2を上回る場 合、スーパーナイキストまたはアンダーサンプリングと呼ぶこと があります。ナイキストの基準によれば、情報を保持するには、 デジタル化される信号の帯域幅(実際の周波数ではなく)はf₂/2を 上回ってはなりません。たとえば、60~108kHz帯域幅を占有する 周波数分割多重(FDM)方式のデータを112kHzの周波数でサンプ リングする、電気通信用トランスマルチプレクサのアプリケー ションを考えてみましょう。図13は、信号のスペクトルと折り返 し成分の位置を示しています。システムの受信側では、再生DAC の後に続くフィルタはローパス・フィルタではなくバンドパス・ フィルタであり、4~52kHzの折り返し成分と112kHzのサンプリン グ周波数に存在する成分を取り除く必要があります。



スーパーナイキスト動作のもう1つのアプリケーションは、IF信号 からベースバンドへのダイレクト・コンバージョンです。ADCと DSPを用いる従来の通信レシーバとレーダ受信機の大部分で利用 されているシステムでは、図14に示すように、レシーバのフロン トエンドからの中間周波数(IF)をミキサーとローパス・フィルタ によってベースバンド信号にダウンコンバートまたは復調します。 この最終のIF段は、信号キャリア周波数と位相がコヒーレントな局 部発振器を使用します。ミキサー出力には、2つの入力間の位相差 に比例したベースバンド信号が含まれています。ミキサーの後に は、ローパス・フィルタ、アンプ、ADCが続きます。代表的なミ キサーには、4~6dBの変換損失があります。S/N比が前段の回路に よって制限される場合は、ミキサーを取り除くことでレシーバの 全体的なノイズ指数を改善することができます。

アナログ・ダウンコンバージョンまたは復調



IF周波数を局部発振器の周波数に等しい速度でサンプリングする ことができる場合は、これが可能です(図 15 を参照)。ここで、 ADCは復調器として機能しています。ADCがサンプリング周波数 と同じ周波数のアナログ信号をサンプリングする場合、デジタル 化された出力はDC値になります。アナログ信号がサンプリング周 波数からずれるとビート周波数、Df、(うなり)のようになりま すが、これによって復調プロセスが完成します。

IF からデジタルへのダイレクト・ダウン・ コンバージョンまたは復調



ADC からのデータは、デジタル化された信号の実数部と虚数部を 計算する FFT を用いた DSP で処理する必要があります。復調され た信号に含まれる位相情報を保持するには、これを行わなければ なりません。

スーパーナイキスト環境での ADC の動作では、もちろん、ナイキ ストを上回る入力周波数でのコンバータの動的性能が既知でなけ ればなりません。高い入力周波数では ADC の S/N 比と高調波歪み 性能が一般に低下するため、所望の入力周波数での AC 性能がシス テムの条件を十分に満たしていなければなりません。スーパーナ イキスト動作では、一般的に、サブナイキスト・アプリケーショ ン向けに厳しく仕様規定された ADC よりも、高周波入力信号に対 してもっと特性の安定してる ADC が必要になります。

量子化に起因する有限振幅分解能の影響

サンプル・データ・システムで考慮すべき2番目に大きな影響は、 アナログ/デジタル変換またはデジタル/アナログ変換過程に起 因する有限振幅分解能によるものです。ここでは、コンパータの 分解能(N)としてADC(またはDAC)のビット数について述べ ます。ADCの場合、入力範囲を、Nビットのバイナリ・ワードで 表される2^N個の分離したレベルに分割します。DACの場合は、入 力はNビットのバイナリ・ワードで構成され、2^N個の分離したレ ベルの出力が可能です。図16に、ビット数(N)、対応するレベ ル数(2^N)、%値で表した最下位ビット(LSB)の重み、dB単位 の比率[20 log₁₀(2^N)]つまり6.02N dBを示します。この比率は、(% 値か dB単位のどちらでも)コンバータのダイナミック・レンジ、 すなわち分解可能な最大信号と分解可能な最小信号との比を示し ています。ちなみに、図16のダイナミック・レンジ値は理想的な ADCとDACを示しており、高調波や相互変調歪みなどのAC性能

ADC と DAC の分解能と ダイナミック・レンジ

#BITS, N	#LEVELS, 2 ^N	%, 100/2 ^N	dB, 6N
8	256	0.4	48
10	1024	0.1	60
12	4096	0.025	72
14	16384	0.006	84
16	65536	0.0015	96
18	262144	0.0004	108
20	1048576	0.0001	120
22	4194304	0.000025	132
24	16777216	0.000006	144

図 16

の制約を考慮していません。また、これらの値は理論的な信号対 量子化ノイズを表すものでもありません。これらについては後で 述べます。

量子化理論、S/N比、有効ビット

ADC と DAC の分解能は有限であるため、ビット数(N)の関数で ある S/N比(SNR)に理論的な限界が生じます。意味のある測定を 行うため、ADC には、コンバータのクリッピング範囲を若干下回 るフルスケールのサイン波を入力します。これによって生じるサ ンプル間誤差は、量子化ノイズを引き起こします。ナイキスト帯 域幅内で測定された量子化による rmsノイズ電圧は、数学的におな じみの式q/ $\sqrt{12}$ によって得られます。ここで、qはコンバータの最 下位ビット(LSB)の重みです。LSB(q)の値は、ADC または DAC のフルスケール・レンジを 2^{N} で割算することによって計算できま す。誤差源のない理想的なコンバータでは、理論的な rms 量子化ノ イズ電圧は、入力信号の振幅と周波数のどちらからも独立してい ます。この単純な式の導出については、次の文献を参照してくだ さい。

W.R. Bennett『Spectra of Quantized Signals』 BSTJ 27、446~472 ページ、1948 年 7 月

フルスケールのサイン波入力の場合、理論的な rms 信号と量子化ノ イズの比は次式で求めることができます。

SNR = 6.02N + 1.76dB

量子化理論の基本

● ナ イ キ ス ト 帯 域 幅 (f₅/2) に お け る rms 量子化ノイズ:

q/√12

● ナイキスト帯域幅におけるフルスケール・サイン波のrms 信号対rms ノイズ比:

SNR = 6.02N + 1.76dB

```
● 有効ビット数(ENOB):
```

$$ENOB = \frac{SNR_{ACTUAL} - 1.76dB}{6.02}$$

図 17

rms 量子化ノイズは、一般的にナイキスト帯域幅全体のブロードバ ンド・ノイズにほぼ近いということができます。ただし、そうな らない場合もあります。量子化誤差信号とデジタル化される信号 との間に相関関係がある場合は、量子化ノイズは帯域幅全域に一 様に分散せず、入力信号の高調波に集中することがあります。入 力信号がサンプリング周波数のサブハーモニックとなるサイン波 である場合は、このようになる可能性が高くなります。

ADCのテストでは、図18に示すように、ADCの入力に純粋なサイン波信号を印加しながらDSP技術を用いてS/N比を計算するのが一般的です。高速フーリエ変換(FFT)が有限数の時間領域のサンプルを処理し、周波数スペクトルに変換します。図19は200kSPS、12ビットのサンプリングADC、AD678の例です。この周波数スペクトルは、アナログ・スペクトル・アナライザの場合と同様に、











図 19

基本波入力信号の高調波だけでなくS/N比の計算にも使用します。 まず、信号のrms値を計算します。次に、ナイキスト帯域幅のその 他のすべての周波数成分(ノイズだけでなく、歪み成分も含まれ ます)のrms値を計算します。この2つの量の比をdB単位で表した のがS/N比です。ADC内のさまざまな誤差源により、測定したS/N 比の値は理論値である 6.02N+1.67dBを下回ります。これらの誤差 は、積分/微分非直線性、ミス・コード、ADCの内部ノイズ源か ら発生します。さらに、誤差は一般に入力スルーレートの関数で あるため、入力周波数が高くなるにつれて増加します。ノイズの rms値の計算では、一般的に基本波信号の高調波を含むことが慣習 化されてます。これを信号/ノイズ&歪みS/(N+D)と呼ぶこともあ りますが、一般的には単にS/N比と呼ばれます。図 20 は、AD678 サンプリングADC(12 ビット、200kSPS)の標準的なS/(N+D)を表 すグラフです。

S/N比を表すもう1つの方法は、有効ビット数(ENOB)に換算す る方法です。有効ビットを計算するには、S/N比の測定値をS/N比 の式に代入し、その式をNについて解きます(図17を参照)。た とえば、理想的な12ビットADCには、有効ビット数12に対応す る、74dBという理論的なS/N比があります。しかし、S/N比の測定 値が68dBであるとすると、これは有効ビット数11に対応します。 つまり、実際の12ビットADCの性能は、理想的な11ビットADC の性能に等価であると言えます。図20では、S/N比と同じグラフ 上にAD678の有効ビット数特性も示しています。なお、低周波数 では、AD678は有効ビット数11.4を上回ります。

有効ビット数は、サイン波曲線"はめあわせ"法を使用して測定 することもできます。この方法では、ADC にサイン波を入力し、 たくさんのサンプルを収集します。



時間サンプルに対して FFT を実行する代わりに、データ点に最も 近い最適なサイン波を計算します。つまりサイン波の振幅、オフ セット、周波数、位相を選択して、実際のサイン波のデータ点と 理論的なサイン波との間の ms 誤差が最小になるようにします。こ の場合も、理想的な ADC の理論的な ms 誤差は $q/\sqrt{12}$ です。ここ で実際のサイン波と理論的なサイン波の間の ms 誤差を計算して、 図 21 に示す式を用いて有効ビットを計算します。サイン波曲線"は めあわせ"法を用いた有効ビット数(ENOB)の測定値は、S/N比 技術を使用する方法で得られた結果と優れた相関関係を示します。 フルスケール以下の信号で S/N 比を計算する場合は、2つの方法を 相関させるために、以下のような補正係数を追加する必要があり ます。

サイン波曲線"はめあわせ"法による 有効ビット数の計算

- Q_A = 適合するサイン波からの実際の rms 誤差
- Q_T = 最適なサイン波からの理論的な N ビット rms 誤差

 $= q/\sqrt{12}$

- ENOB = N-log² $\left[\frac{Q_A}{Q_T} \right]$ 次式と相関:
- SNR = <u>SNR_{ACTUAL} 1.76dB + FS</u>を下回る信号のレベル 6.02



信号ダイナミック・レンジによる ADC分解能の選択

目的のアプリケーションに対して最適な ADC を選択するには、必要なビット数とサンプリング・レートを決めるだけでは十分では ありません。処理するアナログ信号に関して ADC の DC 特性と AC 特性を調べ、適合するものを選択する必要があります。この過程 においては、当然ながら性能とコストとの何らかのトレードオフ が要求されます。

DSP アプリケーションと ダイナミック・レンジ条件

アプリケー ション	信号帯域幅	ダイナミック・ レンジ	ADC ビット数
地震学	10Hz	146dB	24
デジタル・ オーディオ	20kHz	100dB	18
エコー・ キャンセリング	4kHz	84dB	14
音声信号処理	4kHz	74dB	12
V.32 モデム	4kHz	74dB	14
超音波	15MHz	60dB	10
レーダ	5MHz	74dB	12
ブロードバンド・ レシーバ	5MHz	86dB	14

図 22

図 22 は、DSP処理に適したアプリケーションをいくつか示してい ます。対応する信号のおおよその帯域幅とダイナミック・レンジ が記載されています。ダイナミック・レンジには、実際にはDCと ACという 2 つの側面があります。ダイナミック・レンジは 図 22 に示す値になります(ADCの静的誤差は無視します)。一方、AC ダイナミック・レンジは、ADCの高調波歪み特性に関係していま す。たとえば、デジタル・スペクトル解析のアプリケーションで は、大信号が存在する環境下でシステムが小信号を認識する能力 は、フルスケール・サイン波入力信号の高調波によって制限され ます。AC直線性は、一般に高調波歪みまたは全高調波歪み (THD) で表されます。現実的なADCでは、コンバータの高調波歪み性能 のバロメータとしてビット数が適当でないことがあります。ACダ イナミック・レンジは、S/N比の式 6.02N + 1.76dBによって予測さ れる結果より小さくなります。これらの理由により、ユーザがア プリケーションに合わせて賢い選択ができるように、データシー トにはDCとACの両方の性能仕様を記載しなければなりません。

ADCの静的伝達特性

図23は、ADCの静的性能の基本的な仕様です。

ADC の静的性能仕様 ■ 微分非直線性(DNL) ■ 積分非直線性(INL) ■ ミス・コード ■ ゲイン誤差 ■ オフセット誤差

図 23

3 ビット ADC の理想的な伝達関数(図 24)では、アナログ入力信 号が横軸、デジタル出力が縦軸にあります。ADC のデジタル出力 は、入力信号の全域で有効です。所定の出力コードに対するアナ ログ入力の量子は、コードの幅と呼ばれます。理想的な幅はちょ うど 1LSB(最下位ビット)ですが、実際には、各コード幅はその 隣とは異なります。理想的な 1LSB 値からのコード幅のずれを微分 非直線性(DNL)と呼びます。図 25 に、さまざまな誤差のある 3 ビットの ADC を示します。隣接コードに関連する大きな DNL に より、コード 100 が欠落しているのがわかります。ミス・コードが あるとクローズドループ・システムで発振やハンチング現象が生 じることがあるため、このアプリケーションで ADC を選択すると き、ミス・コードは考慮しなければならない重要なパラメータで す。

積分非直線性(INL)は、一般的にコードの中間を基準にして測定

理想的な3ビットADCの伝達関数





非理想的な3ビットADCの伝達関数



図 25

されます。2 つのエンドポイントを結ぶ直線を引きます。図 25 に 示すように、この理想的な直線からコードの中間付近の中で最悪 のずれが INL です。場合によっては、一般に最小 2 乗法を用いて 計算するベスト・ストレート・ラインを基準にして積分非直線性 を定義します。

ゲイン誤差とオフセット誤差はすべてのコードに等しく関係しま すが、これは一般的にシステム内でほぼ従来の方法によって調整 することができます。

DACの静的伝達特性

図 26 は、DACの静的伝達特性の基本的な仕様です。



図 27 は、理想的な3ビットDACの静的伝達関数です。デジタル入 力値は横軸、対応するアナログ出力値は縦軸に示されています。 ADCとは異なり、DACにはミス・コードがありません。デジタル

理想的な3ビットDACの伝達関数



図 27

入力コードごとに離散的なアナログ出力電圧が生成されます。微 分非直線性は、隣接するアナログ出力値間の間隔と理想的な ILSB 値との差として定義されます。図 28 に示すように、過度のDNL誤 差があると非単調性の状態になることがあります。デジタル・コー ド入力の増加に対してアナログ出力値が減少する場合、そのDAC は非単調であると言われます。逆に、DACの伝達特性の傾きがそ の全範囲で同じ符号になる場合、そのDACは単調であると言われ ます。非単調の状態であると、クローズドループ・システムに発 振が生じることがあります;したがって、そのようなアプリケー ションでDACを選択するときにはこの仕様が重要です。

理想的でない3ビット DAC の伝達関数



積分非直線性は、2つのエンドポイントを結ぶ理想的な直線を基準 にした、任意のアナログ出力値の最悪時のずれと定義します。ADC と同様、ベスト・ストレート・ラインを基準にして INL を定義す ることもできます。

ゲインとオフセットの定義は ADC と同様で、各アナログ出力値に 等しく影響します。

ADCの動的性能

大部分のDSPアプリケーションで使用できるように、ADCは実際に 使用可能なDC特性/AC特性を備えていなければなりません。図 29 は、ADCの最も重要な動的特性をまとめたものです。

ADC の動的仕様

- 信号/ノイズ&歪み(S/N+D)比と有効ビット数
- ピーク・スプリアス、ピーク高調波成分、スプリ アス・フリー・ダイナミック・レンジ(SFDR)
- 全高調波歪み(THD)
- フルパワー帯域幅 (FPBW)
- フルリニア帯域幅
- 相互変調歪み(IMD)
- アパーチャ遅延時間とアパーチャ・ジッタ
- 過渡応答
- 過電圧回復

図 29

後述しますが、DSP向けのADC設計に適したアーキテクチャがいく つか存在しますが、その大部分は、図 30に示すように実際のコン バータの前にサンプル&ホールド・アンプ(SHA)を必要として います。注目すべき例外はフラッシュ・コンバータ、そして特に シグマ・デルタ・コンバータです。SHA-ADCペアの動的性能を完 全に特性化するには、同じチップに集積するか、少なくとも1つの 完全な機能ユニットとする必要があります。さもないと個々のデ バイスの仕様からSHA-ADCペア全体の動的性能を判定することは ほぼ不可能です。ADCの完全なDC性能/AC性能の特性化が必要に なったことから、SHAを内蔵したサンプリングADCが登場しまし た。これらのコンバータにより、SHAとADCのインターフェース にともなう問題がなくなり、完全なDC/AC仕様を提供できるよう になりました。 トラック&ホールド付きの ADC



図 30

S/N比と有効ビット

前述のように、S/N比仕様は、今日の業界で使用されている最も包括的なAC仕様と言えるでしょう。この測定値に高調波歪みの影響を含むことが一般的となってきました。S/N+Dは、測定した入力信号のrms値と、ナイキスト周波数以下の他のすべてのスペクトル成分のrms合計値(DCは除く)との比と定義されます。図 31 に、3 個の高速フラッシュADCについてS/N+Dの標準的なグラフを示します。比較のため、同じグラフ上に電流帰還型オペアンプAD9617の高調波歪み性能も示します。図 31 に示すように、S/N比の測定値は有効ビット数(ENOB)単位でも表現できます。

フラッシュ ADC とオペアンプの動的性能



ピーク・スプリアス、ピーク高調波成分、スプリア ス・フリー・ダイナミック・レンジ(SFDR)

ピーク・スプリアスまたはピーク高調波成分は、入力信号とDCを 除く最大のスペクトル成分です。この値は、フルスケール入力信 号のrms値を基準にdB単位で表します。ピーク・スプリアス仕様も、 スプリアス・フリー・ダイナミック・レンジ(SFDR)を基準とす ることがあります。図 32 に、AD678 のピーク・スプリアス性能を 表す標準的なグラフを示します。



図 32

全高調波歪み(THD)

全高調波歪み(THD)は、基本波から6次高調波成分までのrms値の合計と、フルスケール入力信号のrms値との比であり、パーセント値またはdB値で表します。ナイキスト周波数を上回る入力信号や高調波では、折り返し成分を使用します。図33に、AD678の標準的なTHD性能を示します。





フルパワー帯域幅

ADCのフルパワー帯域幅(FPBW)とは、FFTを用いて再生された 基本波の振幅がフルスケール入力に対して 3dB低下するときの入 力周波数です。図 33 に示すように、AD678 のフルパワー帯域幅は 約 1MHzです。しかし、FPBWを利用してFPBW周波数でのADCの 真の動的性能を判断するには、FPBWをS/N比、有効ビット数、高 調波歪みと併せて調べる必要があります。

フルリニア帯域幅

ADCのフルリニア帯域幅は、入力サンプル&ホールド(SHA)の スルーレートに到達する入力周波数です。この時点で、再生され たサイン波の振幅は-0.1dB未満低下します。この周波数を超える と、サンプリングされた入力信号の歪みは大幅に増加します。 AD678 は入力帯域幅について最適化されたADCであり、コンバー タのナイキスト周波数を大幅に上回る入力信号をアンダーサンプ リングすることができます。AD678のフルリニア帯域幅仕様は 500kHzです。これも図 33 に示されています。

相互変調歪み(IMD)

相互変調歪み(IMD)が発生するのは、入力が2種類の周波数(F1 とF2)のサイン波で構成される場合です。非直線性を持つADCは、 mF1±nF2 という和と差の周波数で(m+n)次の相互変調歪積を生 じます。ここでm、n=0、1、2、3…です。相互変調歪みの項は、 mとnのいずれかが0にならない場合のものです。たとえば、2次の 相互変調歪積が(F1 + F2)と(F1 - F2)、3次の相互変調歪積が (2F1 + F2)、(2F1 - F2)、(F1 + 2F2)、(F1 - 2F2) などです





(図 34 を参照)。IMD積は、測定した入力信号のrms値総和と歪み 項のrms値総和とのdB比です。ADCに印加される2つの信号は同じ 振幅であり、それらの総和のピーク値はフルスケールから-0.5dB です。IMD積は 0dBの入力信号に正規化されます。図 35 に、AD678 の標準的なIMD FFTグラフを示します。



ヒストグラムを使用したAC直線性のグラフ

この測定では、フルスケール・サイン波をADCに印加し、多数の サンプルを取得します。図 36の左上のグラフに示すように、各コー ドの発生数はヒストグラムに記録されます。12 ビット・コンバー タの場合、統計学的に有効な結果を得るには数百万件のサンプル が必要です。このヒストグラムは、図36の右上のグラフに示すサ イン波の理想的な確率密度分布に従っています。さらにヒストグ ラム・データをサイン波の確率密度関数を使用して正規化するこ とにより、図の一番下にあるDNL特性が得られます。また累積ヒ ストグラムをデータ処理することによって、積分非直線性を知る ことができます。累積ビンの幅は遷移レベルにあります。25kHzの 入力信号を 100kSPSの速度でデジタル化する、100kSPS、12 ビット ADCのAD7870 についてヒストグラム方式を使って得たAC直線性 のグラフを図 37 に示します。大きなスパイクがないこのグラフか ら、優れた微分直線性があることがわかります。関連する計算の 詳細については、AD7870のデータシートを参照してください。





図 36





図 37

アパーチャ遅延時間(実効アパーチャ遅延時間)

アパーチャ遅延時間(「アパーチャ時間」と言うこともあります) は、サンプリング・クロックの立上がりエッジから、ADCが実際 にサンプリング動作を行うまでに要する時間です(図 38を参照)。 この仕様は、入力信号に対してサンプリング・クロックをどのタ イミングで印加すればよいかわかるので、ユーザーにとって非常 に重要です。ADCを同時にサンプリングするようなアプリケー ションや、動的信号を処理するときに複数のADCが相互に追従す る必要があるようなアプリケーションでは、このパラメータにつ いて規定されてるチップ間のばらつきや許容誤差が重要になりま す。

アパーチャ・ジッタ

アパーチャ・ジッタは、図 39 に示すように、実際のデータを取得 する時点のデータ間の時間的ばらつきです。一般的にこの誤差に はいくつかの原因があります。実際のADCでは、サンプリング・ クロックが何らかの望ましくない原因によって位相変調されるこ とがあります。その原因は、広帯域のランダム・ノイズ、電源ラ インノイズ、不適切なレイアウトやバイパス、そしてグラウンド 接続などに起因するデジタル・ノイズなどです。結果として生じ る誤差は、rms時間ジッタとして表されます。rmsアパーチャ・ジッ タに対応するrms電圧誤差は、ADC全体のS/N比を低下させます。 入力サイン波の位相ジッタは、サンプリング・クロックのジッタ と同じ影響を与えます。





図 40 に、アパーチャ・ジッタだけに起因するS/N比を、(各種の アパーチャ・ジッタの値について)フルスケール・サイン波入力 周波数の関数として示します。アパーチャ・ジッタに起因するS/N 比の式は、参考文献1によるものです。



アパーチャ・ジッタに起因する S/N 比

図 40

過渡応答またはセトリング時間

ADCの過渡応答(またはセトリング時間)は、フルスケール・ス テップ入力が与えられた後、ADCが定格精度内に収まるまでに要 する時間です(図 41 を参照)。図 42 に示すように、ADCがアナ ログ・マルチプレクサによって駆動されているアプリケーション ではこの仕様が非常に重要です。マルチプレクサ出力は、ADC入 力に対しサンプルごとにフルスケール変化を与えることがありま す。マルチプレクサとADCのどちらも必要な精度に十分にセトリ ングしていないと、チャンネル間のDCクロストークが発生します。



アナログ・マルチプレクサを使用する従来型の データ・アクイジション・システム



過電圧回復

過電圧回復時間は、図43に示すように、過電圧信号がコンバータの規定の入力範囲内に戻った時点からADC出力が規定の精度に戻るまでに要した時間です。この仕様は、一般的にADCの入力範囲を50%外れた信号を与えて測定します。もちろん、ADCは入力範囲外信号に対しては理想的なリミッタとして動作するので、過電圧が印加されてる時は正または負のフルスケール・コードを生成します。コンバータによっては、オーバーレンジ・フラグやアンダーレンジ・フラグを出すことでゲイン調整回路を起動します。



ADC の過電圧回復

DACの動的性能

大部分の DSP アプリケーションでは動的アナログ信号が最終的に 再生されますが、そのために DAC の AC 性能も ADC 性能と同じく らい重要なものになっています。図 45 は、DAC の重要な AC 性能 特性です。

DAC のダイナミック仕様

- セトリング時間
- グリッチ・インパルス領域
- 高調波歪み
- S/N比
- オーディオ固有の仕様

図 44

セトリング時間

DAC のセトリング時間は、従来から、デジタル入力が変化したとき(通常はデジタル入力の 50% 点から測定)から DAC 出力が最終

DAC のセトリング時間の波形



値を中心とする一定の誤差範囲(通常は 1/2LSB)に収まるまでの 時間と定義されています。図 45 に示すように、セトリング時間の 一部は、スイッチを通した固定伝搬遅延によるものです。入力ラッ チまたはレジスタ内蔵型の DAC の場合は、セトリング時間はラッ チ・ストローブまたはレジスタ・クロックの 50%点から測定しま す。フルスケールでの DAC セトリング時間は、000...0 から 111...1 へのデジタル入力変化に対する測定値です。ミッドスケールでの セトリング時間は、011...1 から 100...0 または 100...0 から 011...1 へ のデジタル入力の変化に対する測定値です。

図46に示すように、DACのセトリング時間を出力のみを基準にし て定義してもまったく問題ありません。セトリング時間は、出力 が初期値を中心とする±1/2LSBの誤差範囲から、最終値を中心とす る±1/2LSBの誤差範囲に収まるまでの時間として測定されます。 従ってこの場合、±1/2LSBのフルスケール・セトリング時間に対し て許容できる最大のDAC更新レートは、f_{max} = 1/t_sになります。DAC 入力データの変化がフルスケール以下の値に制限されていれば、 これより高い更新レートも可能です。

グリッチ・インパルス領域

グリッチ・インパルス領域は、図47に示す波形を調べることで理 解しやすくなります。DACグリッチは、デジタル入力ロジックの スキューとDACスイッチの伝搬遅延のばらつきによって発生しま す(これに対して注目すべき例外は、このセミナーの後のほうで 論じるシグマ・デルタDACアーキテクチャです)。通常、グリッ チが最大になるのはDACの全ビットが変化する点になる1/2フル スケールでの変化です。011...1から100...0の変化で生じるグリッ チは、100...0から011...1の変化で生じるグリッチとは一般に異なっ ているので、それぞれを解析する必要があります。グリッチ・イ ンパルス領域は、単に特定のグリッチの領域であり、通常pV-秒の 単位で測定されます。したがって、DAC間で意味のある比較を行 うには、DACのフルスケール出力電圧を知っておく必要がありま す。単位pV-秒はエネルギーの指標ではないため、「グリッチ・エ ネルギー」という表現は不適切です。

図 47 から、対処しなければならないグリッチ・インパルス領域が 6 つあることがわかります。 グリッチ・インパルスの波形

各変化ごとに 2 つのグリッチ・インパルスがあります。それぞれの 領域を、1、2、3、4 とします。さらに、2 つのデジタル入力変化の それぞれについて正味グリッチ・インパルス領域も考慮すると有 効です。これら正味グリッチ・インパルス領域は、それぞれ AREA 1 - AREA 2 と AREA 3 - AREA 4 になります。このようなわけで、 DAC のデータシートのグリッチ・インパルス領域ついての仕様を 調べるとき、メーカー側に十分な説明がないとかなり混乱するお それがあります。

グリッチ・インパルス領域は、フィルタリングとは無関係に一定 です。仕様上セトリング時間が速くても、必ずしも低グリッチ・ インパルス領域になるわけではありません。DAC にとって望まし い状況は、2つのデジタル入力変化のそれぞれにおいて正味グリッ チ・インパルス領域がゼロになること、すなわち AREA 1- AREA 2 = AREA 3 - AREA 4=0になることです。もちろん、理想的なケー スは4つの領域がそれぞれゼロになることです。

高調波歪み

正味グリッチ・インパルス領域はコード依存性があるので、DAC がサイン波を再生しているときに高調波が生成されます。再生さ れたサイン波の1サイクル中に(各々のゼロ交差点において)正味 1/2 フルスケール・グリッチが2度発生します。したがって、図48 に示すように、サイン波の2次高調波が生成されます。なお、ナイ キスト帯域幅に折り返すサイン波の高次高調波は、フィルタで除 去できません。規定された正味グリッチ・インパルス領域によっ て起こる高調波歪みを予測することは困難です。したがって、再 生用 DAC の動的性能を十分に評価するには、この2つの仕様が必 要です。

図49に18ビット・オーディオDACのAD1860について示すように、

AD1860 18 ビット・オーディオ DAC の FFT テスト

全高調波歪み(THD)を測定するのに、DSP技術を使用することが できます。このDACは、990.5Hzの周波数の18ビット・デジタル・ サイン波によって駆動し、更新レートは176.4kHzです。DSPは、 23の完全なサイクルのサイン波を取り込んで、データ4096 個の出 カテスト波形をデジタル化します。テストの結果に対して4096 点 のFFTを実行します。次に、FFTの結果から、全高調波歪みとS/N 比を計算します。ノッチ・フィルタで990.5Hzの大振幅の基本波成 分がデジタイザに入力するのを妨げられるので、デジタイザの全 レンジをノイズ成分と高調波成分の処理に特化できます。図50 に、 フルスケール入力と-20dB入力に対する代表的なTHD+ノイズのグ ラフを示します。なお、これらの測定ではデグリッチャもMSBト リムも使用してないことに注目してください。

SHAを使ったDACのデグリッチング

図 51 に示すように、SHAを使ってDACのデグリッチを行うことが できます。新しいデータがDACにラッチされる前に、SHAがホー ルド・モードになり、DACのスイッチング・グリッチを出力から 分離します。SHAが生成したスイッチング・トランジェントはコー ドから独立しており、更新周波数で発生するため、容易にフィル タリングできます。 SHA をデグリッチャとして利用した場合

sin(x)/xの周波数ロールオフの影響

再生DACの出力は、図52に示すように、更新レートの逆数に等しい幅を持った一連の矩形パルスとして描くことができます。再生された信号は、低域の周波数での値を基準にするとナイキスト周波数の制限値では3.92dB低下した値になります。この影響を補正するため、DACの後に逆sin(x)/xフィルタを設置くことがあります。

図 52

スイッチド・キャパシタ・フィルタ

かつて、信号は受動部品(一般にインダクタ、抵抗、コンデンサ) で構成された回路を使って、すべて連続したアナログ領域でフィ ルタリングされてきました。その後、バッファアンプとかゲイン アンプとして使われたオペアンプをアクティブ・フィルタとして 使うようになり、そのおかげで、フィルタ設計者は柔軟性と性能 を高めることができましたが、まだアナログ信号の連続的な動作 でした。DSPは、柔軟で安定した離散時間デジタル・フィルタを 実現し、サンプリングされたアナログ信号を完全にフィルタ・ア ルゴリズムによる数値計算で処理できます----いくつかの連続時間 処理のアナログ・フィルタではできなかったことも可能になりま した。

スイッチド・キャパシタ・フィルタ(SCF)は、連続時間と離散時 間の両面を兼ね備えた中間的なフィルタです。SCFは通常、抵抗 の機能のシミュレーションを行うのに、CMOSスイッチとコンデ ンサを使用するので、多くのフィルタ回路が、外付け部品を必要 とせず、完全にモノリシック・デバイスで実現可能となりました。 SCFは、DSP技術と組み合わせると、音声およびオーディオ帯域 のアプリケーションに特に適しています。SCFはサンプリング・ デバイスであるため、ナイキストの定理やエイリアシングなど、 離散時間サンプリングのコンセプトをすべて適用することができ ます。

フィルタリング技術

- 水晶発振器、SAW
- 受動部品(R、L、C)
- アクティブ・フィルタ (R、C、オペアンプ)
- スイッチド・キャパシタ・フィルタ(抵抗に代わる CMOS スイッチとコンデンサ)
- デジタル・フィルタ(アナログには対応するもの がない数値的再現)

図 53

抵抗のように機能するスイッチド・キャパシタの基本については、 図 54に示すように、電荷移動の原理から考えると非常にわかりや すくなります。コンデンサが V_1 から V_2 にスイッチすると、 $\Delta Q = C(V_1 - V_2)$ に相当する電荷の瞬時の移動が生じます。方向は V_2 への 場合と V_2 から場合の両方あります。ここでは、Cに直列抵抗分がな く、 $V_1 \ge V_2$ が理想的な電圧源であると想定します。スイッチがク ロック周波数fs(周期T)で切り替わると、 $V_1 \ge V_2$ の間を平均電流 (i)が流れます。その電流値は $i = \Delta Q/T = C\Delta V/T$ です。これと同じ 平均電流を発生させる等価抵抗"R"は、次式で求めることができま す。

$$"R" = \Delta V/i = T/C = 1/(Cf_s)$$

スイッチド・キャパシタ「抵抗」

集積回路では、図 55 に示すように互いにオーバーラップしないように2相クロックで駆動する、単極双投CMOSスイッチが使用されます。この方法が実現するには、スイッチのオン抵抗が非常に低く、オフ抵抗が非常に高いことが条件になります。CMOS技術により、これが可能になります。

このSC (スイッチド・キャパシタ) による等価抵抗を用いれば、 通常のパッシブ/アクティブ・フィルタ回路の多くを実現できま す。図 56 は、単極のパッシブRCフィルタとそのSCF等価回路です。 RCフィルタの-3dB周波数は 1/(2πR₁C₁)です。SCFを使った等価回 路では次のようになります。

 $f_{3dB} = f_s C_1 / (2\pi C_2)$

パッシブ RC フィルタの SC 等価回路

なお、SCF の場合、帯域幅はサンプリング・レートとコンデンサ 値の比率に依存します。時間サンプリングと電荷分配の影響を最 小限に抑えるには、 $f_s >> f_{3dB}$ (一般に 50~100) にすることが重要で す。したがって、SCF の理論によれば、重要な周波数 (f_{3dB}) はコ ンデンサ比率とサンプリング・クロック周波数によって決定され ることになります。コンデンサ比率とクロック周波数は正確な、 変動しない値にすることができます。

SCF を使ってオーディオ/音声帯域フィルタ回路を組めば、受動 部品の物理的な大きさを大幅に縮小することができます。現実的 なサイズ(約 10pF)のモノリシック・コンデンサを使用してオー ディオ・フィルタを作成するには、10MΩ程度の大きさの抵抗が必 要です。1pFコンデンサを100kHzの速度でスイッチングすること により、この抵抗値は簡単に実現でき、シリコンの面積はだいた い0.01mm²ほどで済みます。もしポリシリコンか拡散抵抗で 10MΩ の抵抗を作成しようとすると、必要な面積は 100 倍以上にもなりま す。

スイッチド・キャパシタ・フィルタの利点

- フィルタ帯域幅は容量の絶対値ではなく比率に比 例する
- フィルタ帯域幅はクロック周波数によって変えられる
- 古くからあるアナログ・フィルタと同じように定 義できる
- オーディオ周波数に必要な容量値は小さくて済む:1pFコンデンサスイッチング周波数 100kSPS では 10MΩの「抵抗」
- DSP CMOS プロセスには SCF が最適

図 57

SC抵抗をその他のコンデンサやオペアンプと組み合わせて使用することで、従来のRCアクティブ・フィルタで用いられる回路構成の多くを実現できます。デジタル・フィルタと異なり、SCFはアナログ・フィルタと同じように定義することができます。図58に、1次の連続時間アクティブ・ローパスRCフィルタとそのSC等価回路を示します。

アナログ信号をサンプリングする SCF の場合、ナイキスト周波数 を上回るスペクトル成分を取り除くために、通常、前段に連続時 間のアンチエイリアシング・プレフィルタを置く必要があります。 SCF のサンプリング・レートは一般的にその通過帯域に比べては るかに高いため、この目的には一般的に単極または2極の RC フィ ルタで十分です。

1次アクティブ・ローパス RC フィルタと

アナログ回路では、電源ライン・ノイズなど望ましくない信号の 同相電圧除去を効果的に行うのによく差動アンプを使用します。 スイッチド・キャパシタ・フィルタを設計するときも、この原理 を使用できます。図 59 は、アクティブな差動積分器とそのスイッ チド・キャパシタ等価回路です。この差動回路は、ノイズに対す る優れたCMRRを実現するだけでなく、スイッチの動作で生ずる過 度的なノイズに対する同相電圧除去も行います。シグマ・デルタ ADCの変調器回路でよく使われるスイッチド・キャパシタ積分器 については、このセミナーで後ほど説明します。

アクティブな差動積分器と SCF 等価回路

スイッチド・キャパシタ・フィルタには、いくつかの限界と誤差 源があります。現在の CMOS 技術では数百キロヘルツを超えるサ ンプリング・レートを実現するのは容易ではないため、SCF の有 効性はオーディオ帯域幅の周波数に限られています。スイッチ ド・キャパシタとオペアンプはランダム・ノイズを混入させ、リー ク電流がオフセット誤差を招くことがあります。スイッチそのも のからのクロック・フィードスルーによって、同期誤差が発生す ることもあります。最後に、SCF はサンプリング・デバイスであ るため、エイリアシングに起因する誤差を防ぐために一般にオー バーサンプリング比を高くする必要があります。 スイッチド・キャパシタの限界と誤差源

- 低周波数に限定される
- ノイズ、オフセット、歪み
- スイッチからのクロック・フィードスルー
- ナイキストの法則に従わなければならない (アンチエイリアシング・フィルタが必要)

図 60

参考文献

- 1. Frederic J. Harris 「On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform」IEEE Proceedings、Vol. 66、No. 1、1978年1月、51~83ページ
- 2. Joey Doernberg、Hae-Seung Lee、David A. Hodges 「Full Speed Testing of A/D Converters」IEEE Journal of Solid State Circuits、Vol. SC-19、No. 6、1984 年 12 月 、 820~827 ページ
- 3. James R. Andrews、Barry A. Bell、Norris S. Nahman、Eugene E. Baldwin 「Reference Waveform Flat Pulse Generator」 IEEE Transactions on Instrumentation and Measurement、Vol. IM-32、No. 1、1983 年 3 月、27~32 ページ
- 4. Brendan Coleman、Pat Meehan、John Reidy、Pat Weeks 「Coherent Sampling Helps When Specifying DSP A/D Converters」EDN、1987 年 10 月 15 日、145~152 ページ
- 5. Howard K. Schoenwetter「A Programmable Voltage Step Generator for Testing Waveform Recorders」IEEE Transactions on Instrumentation and Measurement、Vol. IM-33、No. 3、1984年9月、196~200ページ
- 6. Robert W. Ramirez 『The FFT: Fundamental and Concepts』 Prentice-Hall、1985 年
- 7. R.B. Blackman、J.W. Tukey『The Measurement of Power Spectra』Dover Publications、New York、1958 年
- 8. James J. Colotti 「Digital Dynamic Analysis of A/D Conversion Systems Through Evaluation Software Based on FFT/DFT Analysis」 RF Expo East 1987 Proceedings、Cardiff Publishing Co.、245~272 ページ
- 9. Sid Kaufman「Multistage Error Correcting A/D Converters」Electronic Products、1983 年 4 月 18 日、103~110 ページ
- 10. HP Journal、1982 年 11 月、Vol. 33、No. 11
- 11. HP Product Note 5180A-2
- 12. HP Journal、1988 年 4 月、Vol. 39、No. 2.
- 13. HP Journal、1988年6月、Vol. 39、No. 3.
- 14. Dan Sheingold、Editor『Analog-to-Digital Conversion Handbook』Third Edition、Prentice-Hall、1986年

- 15. W.R. Bennett「Spectra of Quantized Signals」 Bell System Technical Journal、No 27、1948 年 7 月、446~472 ページ
- 16. G.A. Gray、G.W. Zeoli「Quantization and Saturation Noise Due to Analog-Digital Conversion」IEEE Transactions on Aerospace and Electronic Systems、1971年1月、222~223 ページ
- 17. M.J. Tant 『The White Noise Book』 Marconi Instruments、1974年7月
- 18. W.A. Kester「PCM Signal Codecs for Video Applications」SMPTE Journal、No. 88、1979年11月、770~778 ページ
- 19. Lawrence Rabiner、Bernard Gold 『Theory and Application of Digital Signal Processing』Prentice-Hall、1975年
- 20. Matthew Mahoney 『DSP-Based Testing of Analog and Mixed-Signal Circuits』 IEEE Computer Society Press、 Washington, D.C.、1987 年
- 21. IEEE Trial-Use Standard for Digitizing Waveform Recorders, No. 1057-1988.
- 22. Richard J. Higgins 『Digital Signal Processing in VSLI』 Prentice-Hall、1990年
- 23. 『High Speed Design Seminar』 Analog Devices、1990 年
- 24. M.S. Ghausi、K.R. Laker 『Modern Filter Design: Active RC and Switched Capacitors』 Prentice Hall、1981年
- 25. Brodersen, Gray、Hodges「MOS Switched-Capacitor Filters」Proc. IEEE Vol. 67、1979 年 1 月、61~65 ページ
- 26. J.T. Caves ら「Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents」 IEEE J. Solid State Circuits Vol. SC-12、592~599 ページ