

シグマ・デルタ ADC/DAC の原理

シグマ・デルタの概要

この数年、高分解能 A/D コンバータ (ADC) をミックスド・シグナル (デジタル・アナログ混在) VLSI プロセスで実現するための技術として、ますますシグマ・デルタ・アーキテクチャが普及してきました。こうしたデバイスを商用化するために必要なプロセス技術は、つい最近まで存在していませんでした。しかし今や、1 ミクロン以下の CMOS 設計ルールまでも製造可能になっていることから、特定のアプリケーション、特に A/D コンバータ (ADC)、D/A コンバータ (DAC)、DSP 機能などをシングル・チップに集積したミックスド・シグナル IC の分野で、シグマ・デルタ ($\Sigma\Delta$) コンバータの利用がさらに進むと考えられます。

コンセプトとしては、シグマ・デルタ・アーキテクチャはアナログというよりデジタルを中心とするものです。とはいえ、 $\Sigma\Delta$ ADC のアナログ部分の重要性は軽視できません。確かに 5 次 $\Sigma\Delta$ モジュレータ (18 ビットデュアル ADC の AD1879 など) の設計は重要技術ですし、デジタル・フィルタも同様です。本質的に $\Sigma\Delta$ コンバータはオーバーサンプリング型コンバータですが、オーバーサンプリングは全体的な技術のうちのひとつにすぎません。基本的には、

$\Sigma\Delta$ コンバータは超低分解能 (1 ビット) ADC を用いて、超高速サンプリング・レートでアナログ信号をデジタル化します。オーバーサンプリング技術にノイズ・シェーピングとデジタル・フィルタ処理を組み合わせ使用すれば、実効分解能が増大できます。さらに、デシメーション (間引き) を使えば ADC 出力の実効サンプリング・レートが低減できます。 $\Sigma\Delta$ ADC は、1 ビット量子化回路と 1 ビット DAC の直線性により、優れた微分直線性と積分直線性を有しています。また他の ADC アーキテクチャと異なり、トリミングが不要です。

$\Sigma\Delta$ コンバータの動作を理解するためには、オーバーサンプリング、ノイズ・シェーピング ($\Sigma\Delta$ モジュレータを使用)、デジタル・フィルタ処理、デシメーションを理解する必要があります。

オーバーサンプリング

オーバーサンプリングの概念を図 2 と図 3 に示します。前述したように、オーバーサンプリングの重要なポイントは、アナログ・アンチエイリアス (折返し雑音除去) フィルタのロールオフ条件を緩和

シグマ・デルタの概念

- ミックスド・シグナル VLSI チップに最適な回路構成
- オーバーサンプリング
- $\Sigma\Delta$ モジュレータによるノイズ・スペクトル・シェーピング
- デジタル・フィルタ処理
- デシメーション
- 16 ビット以上の分解能が可能

図 1

アナログ・ローパス・フィルタによる ナイキスト・サンプリング

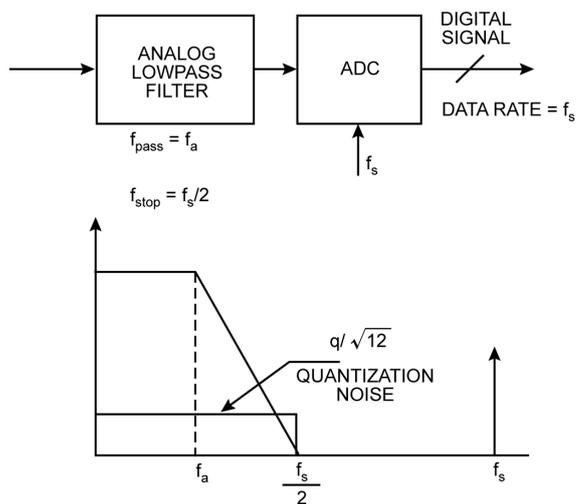


図 2

アナログ/デジタル・フィルタによる
オーバーサンプリング

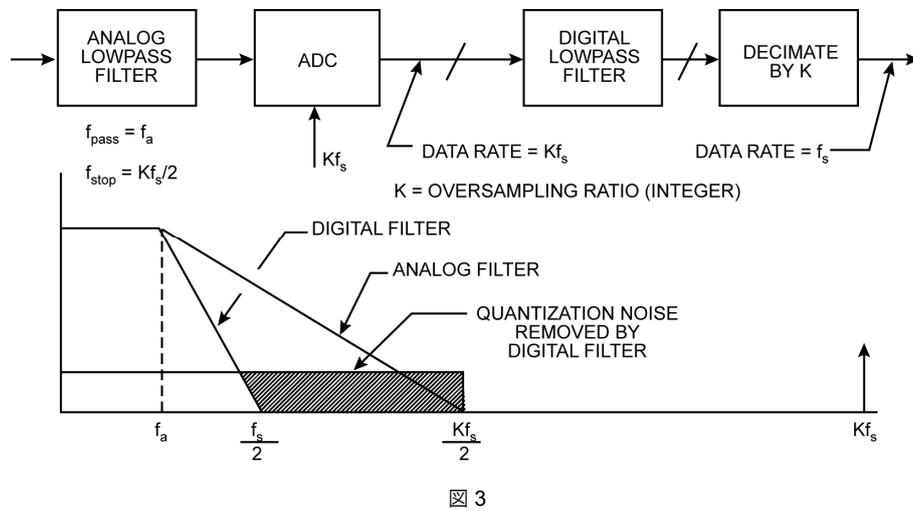


図 3

できる点です。デジタル・フィルタによって、 $f_s/2$ と $kf_s/2$ の間に存在する量子化ノイズ (ナイキスト帯域幅での rms 値は $q/\sqrt{12}$ 、ここで $q = 1\text{LSB}$ の重み) は出力に現れません ($k = \text{オーバーサンプリング比}$)。オーバーサンプリングは S/N 比を $10\log_{10}(k)$ 増大させる効果があります。しかし残念ながら、S/N 比をわずか 6dB (1 ビット) 上げるだけでもオーバーサンプリング比 4 が必要になるため、分解能 (S/N 比) を上げるにはかなりコストがかかります。そこで量子化ノイズの周波数スペクトルを整形 (ノイズ・シェーピング) することで、ノイズの大部分を $f_s/2$ と $kf_s/2$ の間に分布するようにし、 $dc \sim f_s/2$ の間にはわずかなノイズしか残留しないようにすることが可能です (オーバーサンプリング比も適正な範囲内に収めら

れます)。 $\Sigma\Delta$ ADC における $\Sigma\Delta$ モジュレータの動作がまさにこの処理です。ノイズ・スペクトルをモジュレータでノイズ・シェーピングしたら、このエネルギーの大きい量子化ノイズ電力を次段のデジタル・フィルタで除去できます。これによって全 S/N 比 (すなわちダイナミック・レンジ) を大幅に向上させることが可能です。

**$\Sigma\Delta$ モジュレータと
量子化ノイズ・シェーピング**

1次 $\Sigma\Delta$ ADC のブロック図を図 4 に示します。コンバータの前段の

1次 $\Sigma\Delta$ ADC

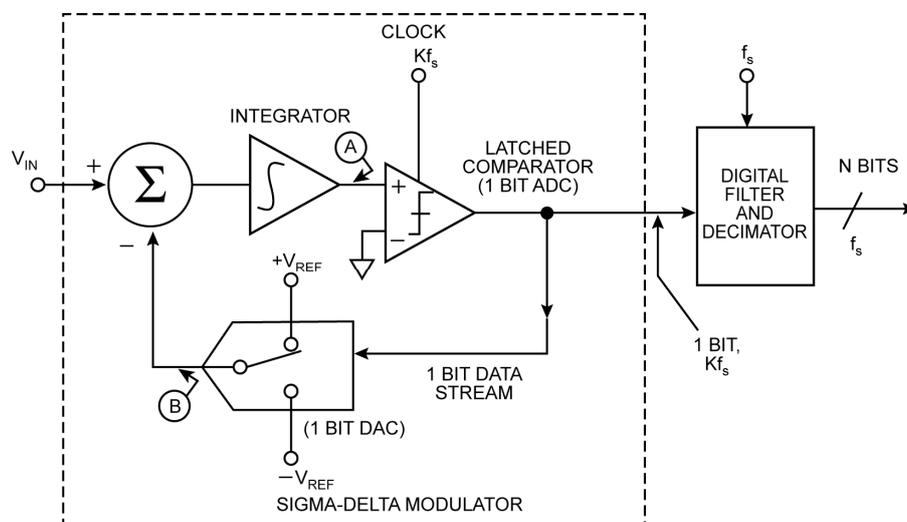


図 4

ΣΔ モジュレータの波形

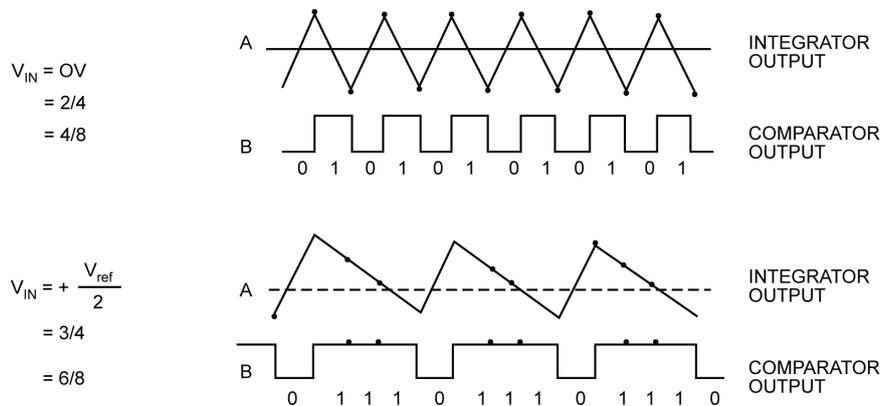


図 5

回路部分が ΣΔ モジュレータです。サンプリング・クロック周波数 (kf_s) のレートを基準とし、入力信号を 1 と 0 の連続したシリアル・ビット・ストリームに変換します。モジュレータ内の 1 ビット DAC はこのシリアル・ビット・ストリームによって駆動され、さらに入力信号はこの DAC 出力分が引き算されます。フィードバック制御理論によると、ループが十分なゲインを持つ場合、DAC 出力 (シリアル・ビット・ストリーム) の平均値は入力信号の大きさに近い値になります。積分器を周波数領域で表すと、振幅応答が $1/f$ に比例するフィルタになります (f = 入力周波数)。クロック制御のラッチ付きコンパレータがチョップに似た動作をし、入力信号を高周波の AC 信号 (ビット・ストリーム) に変換します。その平均値は入力信号の大きさ付近で変動します。そのため低周波の実効量子化ノイズが大幅に低減されます (積分器は、量子化ノイズに対してハイパス・フィルタの役割を果たします)。このときノイズの周波数スペクトルは、サンプリング・レート、積分器の時定数、帰還電圧量に依存します。

任意の入力値について 1 回のサンプリングで得られた結果に限れば、1 ビット ADC で得られるデータはほとんど意味がありません。多くのサンプル値を平均したときこそ、その値が意味を持ちます。シリアル・ビット・ストリームがランダム性を持っているため、時間領域で ΣΔ モジュレータの動作解析することは非常に困難です。入力信号が正のフルスケールに近い場合、ビット・ストリーム内の 1 の数は 0 の数より多くなります。同様に、負のフルスケールに近い入力信号の場合は、0 の数が 1 の数より多くなります。ミッドスケールに近い入力信号の場合は、1 と 0 の数はほぼ同じになります。図 5 に、2 つの入力例における積分器出力を示します。最初の例は、入力電圧がゼロ (ミッドスケール) です。変換結果出力を得るために、サンプル結果 (ビット・ストリーム) を単純なデジタル・ローパス・フィルタに通し、4 サンプルの平均をとります。フィルタの出力は $2/4$ です。この値はバイポーラ・ゼロを表しています。もっと多くのサンプル結果の平均をとると、ダイナミック・

レンジが広がります。たとえば 4 サンプルを平均すると 2 ビットの分解能になり、8 サンプルを平均すると $4/8$ 、すなわち 3 ビットの分解能が得られます。図 5 の下側の波形の場合、4 サンプルで得られた平均は $3/4$ で、8 サンプルの平均は $6/8$ です。

ΣΔ ADC は、カウンタが後段に置かれた同期式電圧/周波数コンバータとみなすこともできます。十分なサンプル数でシリアル・ビット・ストリームの 1 の数をカウントすると、カウンタ出力は入力のデジタル値を示すようになります。この平均処理法は、DC または非常にゆっくりと変化する入力信号でのみ有効です。また N ビットの実効分解能を実現するには、 2^N クロック・サイクルをカウントする必要があります。これによって実効サンプリング・レートが大きく制限されます。

ΣΔ アーキテクチャを解析する場合は、図 6 に示す線形モデルを使って周波数領域で表す方法がよく用いられます。ここで積分器は、伝達関数 $H(f)$ を持つアナログ・フィルタとして表されています。この伝達関数の振幅応答は入力周波数に反比例します。量子化回路は、増幅段とその後段に配置される量子化ノイズ加算回路としてモデル化されます。周波数領域で解析する利点の 1 つは、信号を代数で表せるということです。出力値 y を求めるには、入力の加算器から得られる差 ($x - y$) に、アナログ・フィルタ (積分器) の伝達関数を乗算し、さらにゲイン量を乗算し、量子化ノイズ Q を加算します。ゲインを 1 に設定し、伝達関数を $1/f$ とすると、次の式が得られます。

$$y = \frac{x - y}{f} + Q$$

この式を変形すると、

$$y = \frac{x}{f+1} + \frac{Qf}{f+1}$$

ΣΔ モジュレータの周波数領域の線形モデル

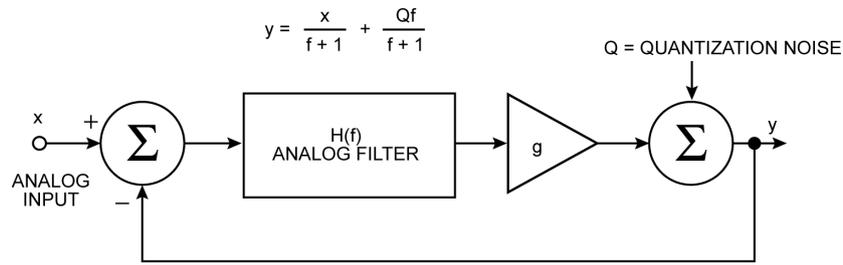


図 6

周波数 f が 0 に近づくと、出力はノイズ成分 Q を含まない、大きさ x に近づきます。周波数が高くなると x が小さくなり、ノイズ成分 Q が増加します。そのため高い周波数の入力信号の場合、出力は量子化ノイズ Q が支配的になります。そのため、このアナログ・フィルタは信号に対してはローパス、ノイズ成分に対してはハイパスとして動作します。そこで、このモジュレータのアナログ・フィルタは、図 7 のような特性のノイズ・シェーピング・フィルタとみなすことができます。

普通のアナログ・フィルタも高次のフィルタのほうが優れた特性をもっています。適切に注意を払う必要がありますが、このことは ΣΔ モジュレータにも当てはまります。図 8 に 2 次 ΣΔ モジュレータを、図 9 にノイズ・シェーピング特性の比較を示します。図 10 は帯域内 S/N 比 (ダイナミック・レンジ) を、1 次および 2 次モジュレータのオーバーサンプリング比の関数として示したものです。1 次ループの伝達関数は 9dB/オクターブのスロープとなり、2 次ループの伝達関数は 15dB/オクターブのスロープになります。高次 (3 次以上) のモジュレータのほうがさらに優れた性能を発揮しますが、単純な線形モデルを用いることは注意が必要で、安定性を確保するには高度な設計技術が求められます。なお図 10 の 3 次ループの曲線は実現不可能な条件であり、参考までに記しているものです。

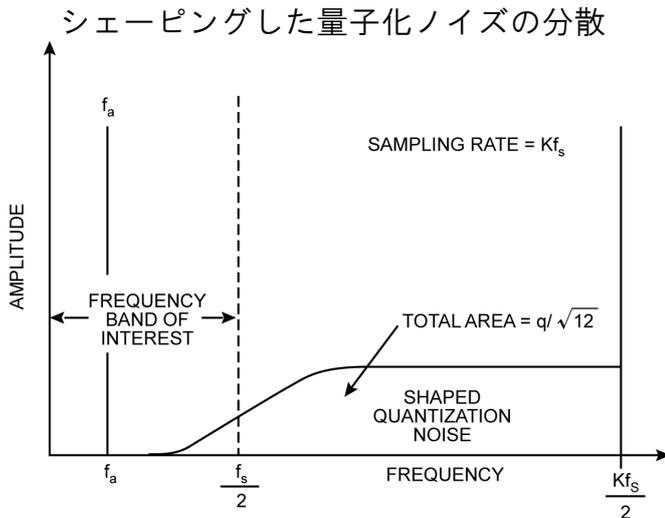


図 7

モジュレータの次数とオーバーサンプリング比が与えられている場合、図 10 の曲線を使って達成可能なおおよその ADC 分解能が求められます。たとえばオーバーサンプリング比が 64 倍の場合、理想的な 2 次システムでは約 80dB の S/N 比が得られます。これは約 13 ビットの ADC 分解能に相当します。デジタル・フィルタ処理ではどのような精度でも実現できますが、13 ビットを超えるバイナリ・ビットを出力しても意味はありません。ビット数を増やしても有効な信号情報を得ることはできず、ノイズに埋もれてしまうだけです。

2 次 ΣΔ ADC

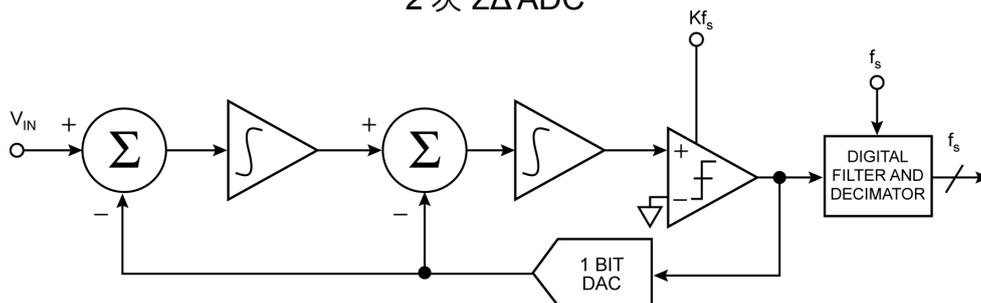


図 8

1次/2次のノイズ・シェーピング特性

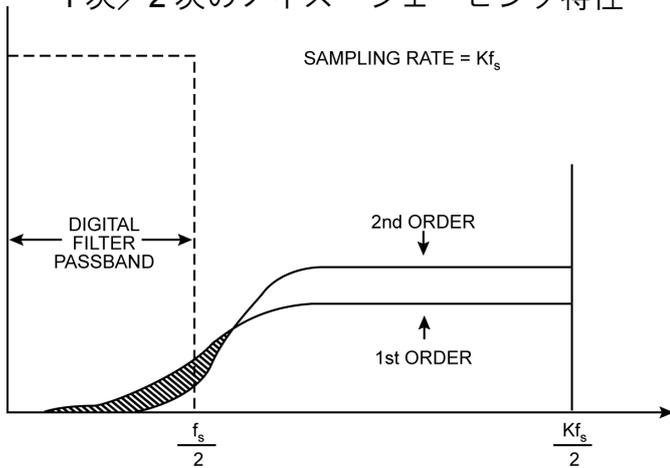


図 9

シェーピングされた量子化ノイズに対するデジタル・フィルタ処理の効果

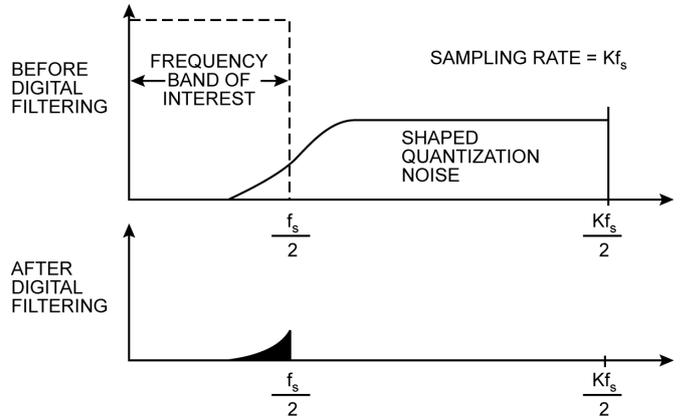


図 11

1次、2次、3次ループのS/N比とオーバーサンプリング比の関係

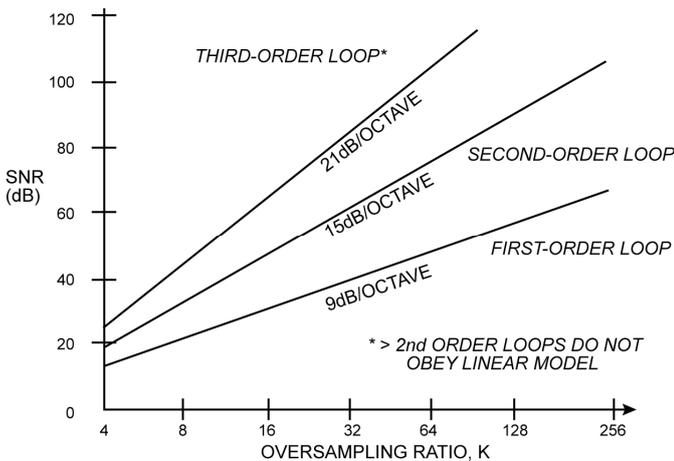


図 10

デジタル・フィルタ処理とデシメーション

モジュレータで量子化ノイズがシェーピングされ、目的帯域より上の帯域周波数に押し出されたら、図 11 に示すように、シェーピングされた量子化ノイズに対してデジタル・フィルタ処理を適用できます。デジタル・フィルタの目的は2つあります。1つは最終サンプリング・レート f_s のアンチエイリアス・フィルタとして動作することで、もう1つは $\Sigma\Delta$ モジュレータのノイズ・シェーピング・プロセスで発生する高周波ノイズを除去することです。

デシメーションと呼ばれるプロセス（フィルタ処理された出力をデジタル的にリサンプリングする、間引きすること）によって、最終的なデータレートまで低減されます。離散信号のデシメーションのようすを図 12 に示します。ここで入力信号 $x(n)$ のサンプリング・レートが係数 4 で間引きされます。信号は低いレート（デシメーション・レート）の $s(n)$ でリサンプリングされます。デシメーションは、オーバーサンプリングのプロセスで入り込んだ、冗長な信号情報を除去する手段と考えることができます。

$\Sigma\Delta$ ADC では、デシメーションとデジタル・フィルタが組み合わされたものがよく使われます。処理がきちんと行われていれば、計算の効率を向上させることができます。

有限インパルス応答（FIR）フィルタは、入力サンプルの重みづけされた移動平均（重みは個々のフィルタ係数によって決まります）を単純に計算するものです。入力 1 サンプル当たりフィルタから 1 つ出力されます。ところがデジタル・リサンプリングによって、低いレートでフィルタ出力をデシメーションする場合は、入力サ

離散時間信号のデシメーション

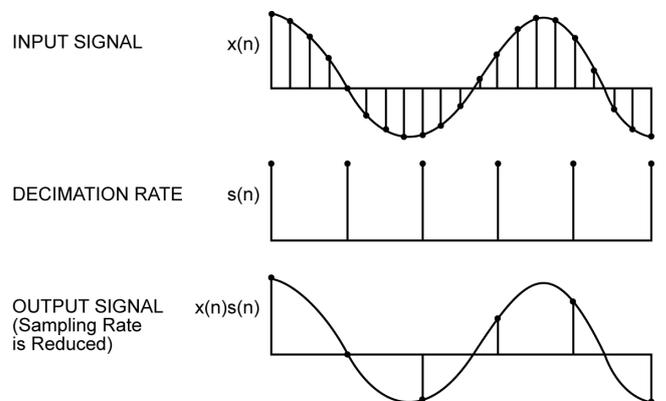


図 12

ンプルごとにフィルタ出力を計算する必要はありません。そこで低いデシメーション・レートでフィルタ出力を計算すれば、計算量が大幅に削減できます。

これに対し無限インパルス応答 (IIR) フィルタを使用する場合は、入力ごとに出力を計算する必要があり (フィードバックがあるため)、デジタル・フィルタの処理中でデシメーションを実行できません。 $\Sigma\Delta$ ADC の構成によっては、フィルタ処理を2段階で実行するものもあります。FIR と IIR の両方のフィルタを使用する場合、最初の FIR 段でデシメーションを行い、後段の IIR 段で最終的なフィルタ処理を行います。2段とも FIR フィルタを使用する場合は、一般にデシメーションを2つのフィルタ段の間で分割するほうが効率的です。

ここから明らかなように、 $\Sigma\Delta$ ADC デジタル・フィルタの設計にはトレードオフが数多く伴います。FIR フィルタはデシメーションに適しており、常に安定で、線形位相特性 (オーディオや一部のテレメトリ・アプリケーションでは非常に重要な特性) を備えています。一般にこれらのフィルタを設計するのは簡単ですが、IIR フィルタと比べ、同じ伝送特性を実現するのにタップ数が多くなります。一方 IIR フィルタはフィードバックがあるため、フィルタ内でデシメーションはできませんが、フィルタの計算量が少なく済みます (つまり、少ない計算量で優れたフィルタが実現可能です)。IIR フィルタで必要なフィードバックのために、フィルタが不安定 (発振) になることがあります。また IIR フィルタ (アナログ信号領域で実現されるフィルタに忠実な特性のもの) の位相特性は非

線形になります。フィードバックでの安定性の問題や量子化誤差などを考えると、正しく IIR フィルタを設計するのはかなり困難な作業です。

$\Sigma\Delta$ ADC のアイドリング・パターンと トーン・スペクトルに関する留意点

これまでの $\Sigma\Delta$ ADC の説明では、 $\Sigma\Delta$ モジュレータで生成される量子化ノイズはランダムで、入力信号とは相関がないものとしていました。しかし、これがすべて当てはまるわけではありません。1次モジュレータの場合は特にそうです。ここでは、4ビット $\Sigma\Delta$ ADC モジュレータ出力において、16 サンプルを平均化する場合を考えてみましょう。図 14 に、2つの入力信号ごとのビット・パターンを示します。1つは値 8/16、もう1つは値 9/16 になる入力信号です。9/16 信号の場合、モジュレータの出力ビット・パターンは 16 ビットごとに「1」が余分に現れます。これによって $f_s/16$ の周波数周期でエネルギーが発生するため、不要なトーン・スペクトル (単一周波数信号) が生じることになります。オーバーサンプリング比が 16 未満の場合は、このトーン・スペクトルが通過帯域内に入りこんでしまいます。図 15 に 1次 $\Sigma\Delta$ モジュレータでの相関性のある (トーン・スペクトルが発生しやすい) アイドリング・パターン動作、図 16 に 2次 $\Sigma\Delta$ モジュレータでの比較的相関性がない (トーン・スペクトルが出にくい) パターンを示します。この理由により、ほぼすべての $\Sigma\Delta$ ADC には少なくとも 2次モジュレータ・ループが使われていることがわかります。

$\Sigma\Delta$ ADC のデジタル・フィルタ処理と デシメーション

FIR フィルタ :

- 設計が容易
- デシメーションが簡単
- 位相応答が線形
- 多くの重み係数が必要になる場合がある

IIR フィルタ :

- 安定性、オーバーフローに留意する必要あり
- フィードバックのために、内部でのデシメーションが不可能
- FIR フィルタより効率的
- 位相応答が非線形

2つのフィルタの組み合わせ :

- 2段の FIR フィルタ
- 前段の FIR フィルタと後段の IIR フィルタ
- 2段の IIR フィルタ

図 13

$\Sigma\Delta$ モジュレータ出力での 反復ビット・パターン

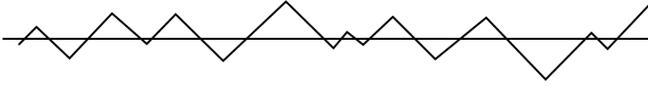
| 16 SAMPLES OF SIGMA-DELTA MODULATOR DATA OUTPUT STREAM | BINARY EQUIVALENT |
|--|----------------------|
| 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 ... 8/16 | = 1000 |
| 1 0 1 0 1 0 1 0 1 0 1 0 1 1 ... 9/16 | = 1001 |

REPEATS EVERY
16 SAMPLES

図 14

1次 $\Sigma\Delta$ モジュレータの アイドルリング・パターン（積分器出力）

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT



図 15

2次 $\Sigma\Delta$ モジュレータの アイドルリング・パターン（第2の積分器出力）

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT SHOWING
CORRELATED IDLING PATTERN



図 16

高次モジュレータ・ループ

広いダイナミック・レンジを実現するには、2次より次数の高い $\Sigma\Delta$ モジュレータ・ループが必要ですが、これには設計上の困難さが伴います。まず前述の単純な線形モデルは完全に当てはまりません。3次以上のループの場合、一般的に安定性があらゆる入力条件で保証されるわけではありません。不安定性が生じるのは、コン

高次ループ（3次以上）の留意点

- ダイナミック・レンジと分解能の増大が可能
- 高次ループでアイドルリング・パターンとトーン・スペクトルが最小化可能
- 分析と安定化確保が困難
- 非線形安定化技術が効果的に利用可能：AD1879（18ビット5次ADC）

図 17

パレータが非線形素子であり、その「実効ゲイン」が入力レベルに反比例して変化するためです。この不安定性のメカニズムによって、以下のような挙動が生じます。ループが正常に動作しているとき、大信号が入力されループに過剰な負荷がかかると、コンパレータの平均ゲインが低下します。線形モデルでコンパレータのゲインが低下すると、ループが不安定になります。原因となった信号が消失しても、不安定性は継続します。実例とすると、このような回路は、ターンオン時の過渡現象で生じた初期変動のせいでパワーアップ時に発振してしまいます。

5次モジュレータ AD1879 では、モジュレータのビット・ストリームの連続する1または0の数を計数して、この不安定性をデジタル的に検知します。0または1の連続するビット列がかなり長いと、モジュレータが不安定状態であることを意味します。この状態のときは、モジュレータを安定状態に戻す回路がトリガされ、積分器がリセットされます。

AD1879：18ビット $\Sigma\Delta$ オーディオADC

AD1879はプロ用デジタル・オーディオの厳しい要求を満たす、最先端の18ビット・デュアル $\Sigma\Delta$ ADCです。このデバイスのブロックを図18に、性能仕様を図19に示します。モジュレータは図20に示すように、ノイズ・スペクトルをシェーピングする5次スイッチド・キャパシタ構成になっています。オーバーサンプリング比は64倍で、48kHzの標準オーディオ・サンプリング・レートに対しオーバーサンプリング周波数が3.072MHzになります。オーバーサンプリング比が大きいため、ADC入力はシングル・ポールのアナログ・アンチエイリアス・フィルタで十分です。

AD1879：18ビット・デュアル $\Sigma\Delta$ ADC

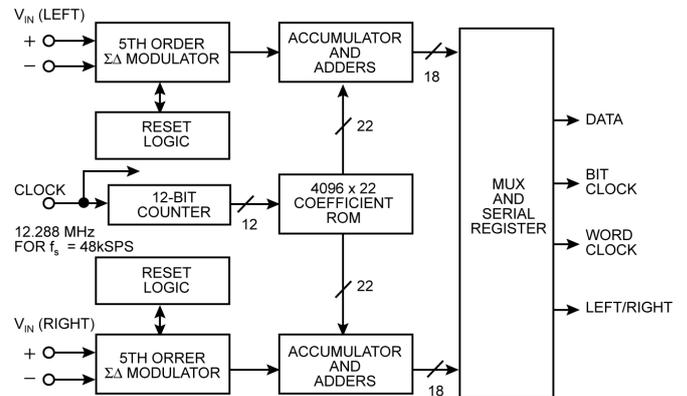


図 18

AD1879 : 18 ビット・デュアル $\Sigma\Delta$ ADC の 主な仕様

- ステレオ・デジタル・オーディオに対応した
18 ビット 2 チャンネル
- チャンネル間クロストーク : $-110\text{dB}@1\text{kHz}$
- S/N 比 : 104dB
- THD : 100dB
- オーバーサンプリング比 : 64 倍
- 出力ワードレート : 55kHz (Max)
- 線形位相デジタル・フィルタ
- 消費電力 : 900mW
- 28 ピン、600mil プラスティック・パッケージ

図 19

AD1879 モジュレータの出力スペクトル

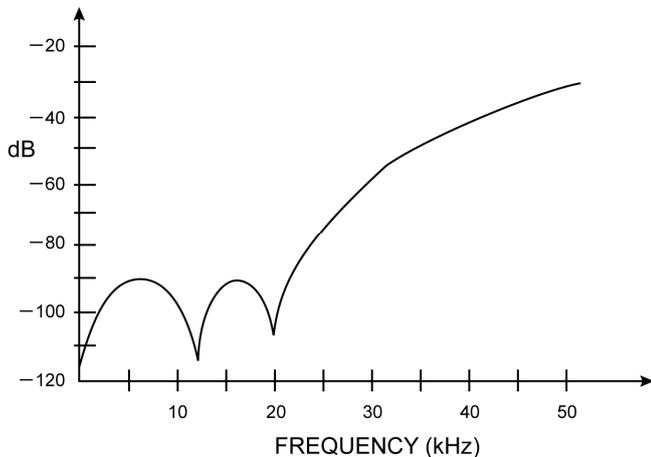


図 20

AD1879 などのオーディオ ADC の場合、現在の半導体技術を使って標準的な MAC (積和演算) 構造のデジタル・ローパス・フィルタを実装できません。たとえば 3.072MHz ($64 \times 48\text{kHz}$) のサンプル・レートで動作し、 20kHz までフラットで、 26.2kHz から 115dB を超えるストップバンド減衰を持つフィルタが欲しいとします。これらの条件を標準的な FIR 等リップル・フィルタ設計プログラムに適用すると、必要なタップ数は 4096 になります。 48kHz の出力サンプル・レートでは、求められる積和演算時間は 5.1ns になります。これは半導体プロセスの制約を考慮すると、標準的な FIR

フィルタ構造で実装するには明らかに速すぎます。そのため常に複数の積和演算を実行できる並列処理法か、またはデシメーションを複数のステップで実行するマルチレート処理法を使用しなければなりません。AD1879 の場合は、新しい並列処理法を採用しています (詳細は参考文献 1 を参照)。このフィルタの特性を図 21 に、振幅応答を図 22 に示します。

AD1879 : デジタル・フィルタ特性

- ストップバンド減衰 : 118dB
- パスバンド・リップル : $\pm 0.0008\text{dB}$
- カットオフ周波数 (48kHz 出力レート) : 21.7kHz
- ストップバンド周波数 (48kHz 出力レート) : 26.2kHz
- 並列アキュムレータの数 :
64 個の 27 ビット・アキュムレータ
- 係数のワード長 : 22 ビット
- タップ数 : 4096

図 21

AD1879 は、複合モノリシック IC の ADC です。1 個のチップで $\Sigma\Delta$ 変調機能を実行し、もう 1 つのチップでデジタル・フィルタ処理を行います。

AD1879 のデジタル・フィルタ応答

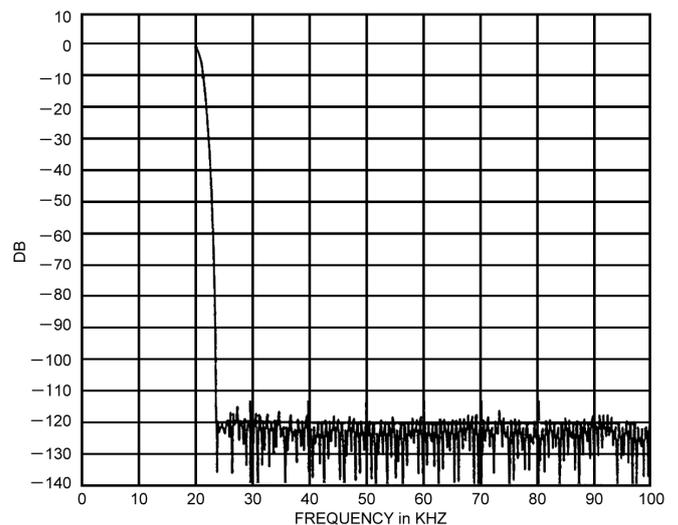


図 22

低周波計測アプリケーション向けの $\Sigma\Delta$ ADC

産業用プロセス制御、重量計、温度/圧力計測機器などのアプリケーションでは、16ビット以上の精度で低周波信号（一般に10Hz未満）をデジタル化するADCが必要です。この要求をほぼ満たすことができるADCは、これまでは集積型（またはデュアル・スロープ型）くらいでした。これに代わる優れたデバイスが $\Sigma\Delta$ コンバータです。低周波 $\Sigma\Delta$ ADCは、コストやサイズが低減できるだけでなく、チップ内にデジタル・フィルタ機能やシステム/セルフ・キャリブレーション機能を持っています。10Hzまでの帯域幅の信号処理が可能なサンプリング・レートであり、 $\Sigma\Delta$ ADCは従来の集積ADCと比べてもかなり広い周波数変動範囲で電力系統周波数（50、60Hz）の除去性能が実現できます。デュアル・スロープADCの場合では、サンプリング・クロックが系統周波数に同期しているため電源電圧変動除去比が瞬時の系統周波数変動によって変化してしまいます。

図23にAD7701モノリシック16ビット $\Sigma\Delta$ ADCの機能ブロック図を、図24に主な仕様を示します。

AD7701のブロック図

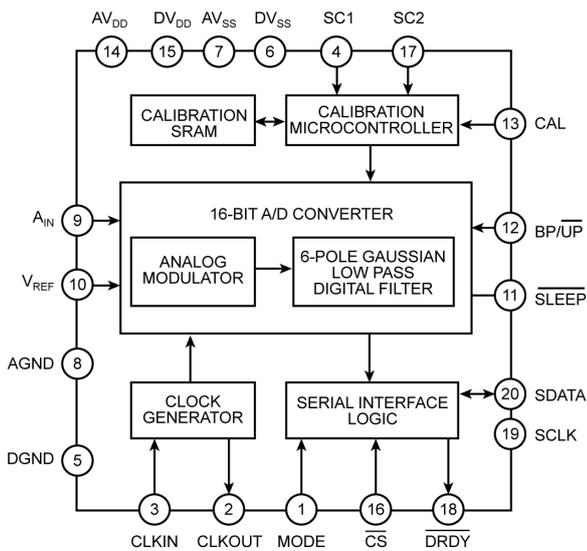


図23

AD7701は2次 $\Sigma\Delta$ モジュレータを備えており、外部クロック周波数が4.096MHzのときに16kHzのレートでアナログ入力信号をサンプリングできます。量子化ノイズは0~8kHzの帯域に拡散されず。このデバイスの6極ガウス応答デジタル・ローパス・フィルタのカットオフ周波数は、最大のサンプリング・レートで10Hzです。したがって16kHzのサンプリング・レートで、カットオフ周波数

AD7701 低周波計測用ADCの 主な仕様

- モノリシック16ビットADC
- 直線性誤差：0.0015%
- 出力データレート：4kSPS
- プログラマブル・ローパス・フィルタ：0.1~10Hzカットオフ周波数
- セルフ・キャリブレーション回路内蔵
- 入力レンジ：0~+2.5Vまたは±2.5V
- 消費電力：40mW
- スタンバイ・モード：20 μ W
- 柔軟なシリアル・インターフェース

図24

10Hzに対して800倍のオーバーサンプリング比になります。この条件で、フィルタの60Hz除去比は55dBになります。クロック周波数が半分になってカットオフが5Hzになれば、60Hz除去比は90dBを上回ります。電源電圧変動除去比（PSRR）は0.1~10Hzの帯域で70dBあり、デジタル・フィルタにより60HzのPSRRは120dBを上回ります。図25に各種のクロック・レートでのデジタル・フィルタの周波数応答を示します。

AD7701のデジタル・フィルタ応答

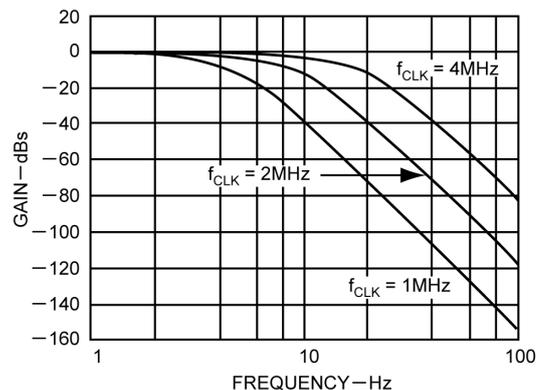


図25

AD7701では内部デジタル・フィルタ（図26を参照）のセトリング時間が長いので、チャンネルの切替えと変換を高速で行う必要のある多重化アプリケーションでの使用には限界があります。異なる信号レベルを持つチャンネル間の切替えは、入力ステップ

AD7701 デジタル・フィルタのステップ応答

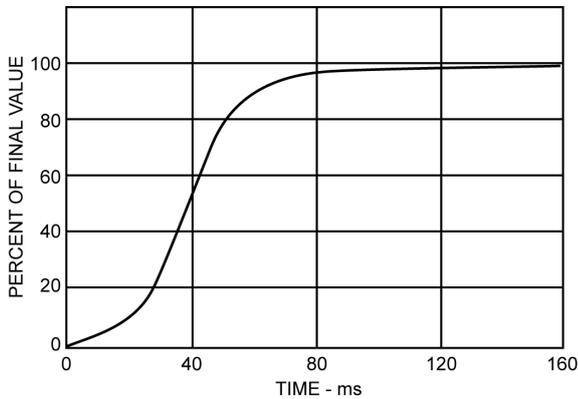


図 26

変動が生じる可能性があります。AD7701 は主に 1 チャンネル当たり 1 個の ADC を使用する分散コンバータ・システム向けに設計されています。次のチャンネルを取り込む前に十分なセトリング時間が確保できる場合に限り、多重化が可能です。ガウス応答フィルタの $\pm 0.0007\%$ ($\pm 0.5\text{LSB}$) までの最悪時セトリング時間は、マスタ・クロック周波数が 4.096MHz で 125ms です。

AD7701 では内蔵キャリブレーション用マイクロコントローラと SRAM を使用した、2 種類のキャリブレーション・モードがあります。セルフ・キャリブレーション・モードでは、ゼロスケールがアナログ・グラウンド・ピン (AGND) に対して校正され、フルスケールが V_{ref} ピンに対して校正されます。システム・キャリブレーション・モードでは、連続する 2 つのステップ電圧をアナログ入力ピンに供給し、ゼロスケールとフルスケールを校正することで、システムのオフセット誤差やゲイン誤差をキャンセルできます。

AD7703 $\Sigma\Delta$ ADC は、AD7701 と同じようなアーキテクチャをもっていますが、0.0003% の直線性誤差で分解能は 20 ビットです。図 27 に AD7703 の主な仕様をまとめてあります。

AD7703 低周波計測用 ADC の
主な仕様

- モノリシック 22 ビット ADC
- 直線性誤差：0.0003%
- 出力データレート：4kSPS
- プログラマブル・ローパス・フィルタ：
0.1~10Hz カットオフ周波数
- セルフ・キャリブレーション回路内蔵
- 入力レンジ：0~+2.5V または $\pm 2.5\text{V}$
- 消費電力：40mW
- スタンバイ・モード：20 μW
- 柔軟なシリアル・インターフェース

図 27

AD7710、AD7711、AD7712 は、シグナル・コンディショニング機能を内蔵した 21 ビット $\Sigma\Delta$ ADC ファミリーの製品です。重量計、熱電対温度計測、RTD (抵抗温度検出器) 温度計測、プロセス・コントローラ、プログラマブル・ループ・コントローラなどの低周波、低レベル計測アプリケーション向けに応用できます。図 28 にこれらのデバイスの共通の特長をまとめ、図 29 に AD7710 のブロック図を示します。

AD7710/AD7711/AD7712 計測 ADC に
共通する主な特長

- 21 ビット $\Sigma\Delta$ ADC、 $\pm 0.0015\%$ の非直線性
- オンボードの差動入力 PGA
ゲイン：1~128
CMR：50Hz、60Hz で 120dB
- ノッチ周波数を 10Hz~1kHz まで設定可能な 1 次フィルタと出力データレート
- Sinc³ フィルタ応答：1 次フィルタ・ノッチ周波数の 0.262 倍のカットオフ周波数
- キャリブレーション係数の読出し/書込みが可能
- 双方向マイクロコントローラ・シリアル・インターフェース
- 内部/外部リファレンスが選択可能
- 単電源/両電源動作
- パワーダウン・モード (10 μW) での低消費電力 (20mW)

図 28

AD7710 のブロック図

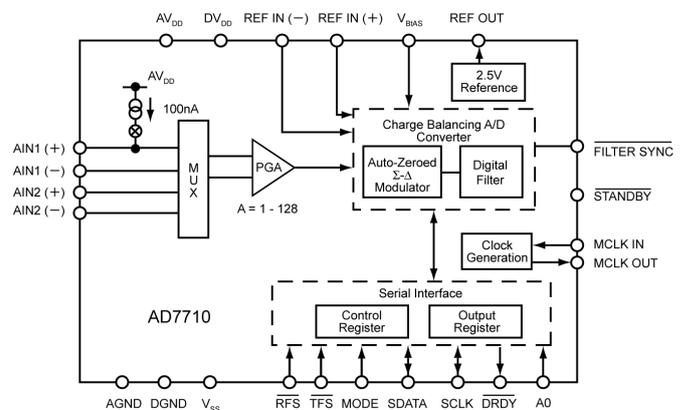


図 29

AD7710/AD7711/AD7712 の デジタル・フィルタ応答

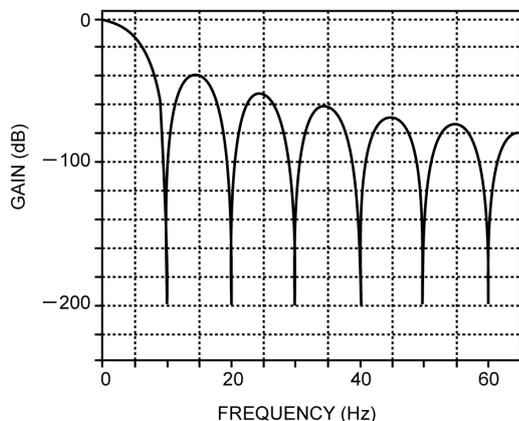


図 30

内蔵の差動入力 PGA（ゲイン = 1~128）で、フルスケール電圧と電圧分解能が制御できます。ゼロスケール誤差とフルスケール誤差を除去する内蔵セルフ・キャリブレーション機能で、温度ドリフトの影響は最小限に抑えられます。内部デジタル・フィルタ応答は $(\sin x/x)^2$ の関数になっており、制御レジスタに 12 ビットのデータを設定することで、フィルタのカットオフ周波数と 1 次ノッチの位置、データレートが決まります。このゲイン選択とあわせてデバイスの有効分解能を決定させます。1 次ノッチ周波数（出力データレートと同じ周波数）は、10Hz~1kHz まで設定できます。1 次ノッチ周波数に対応する -3dB 周波数は、この 1 次ノッチ周波数の 0.262 倍です。図 30 にフィルタ周波数応答を示しますが、このカットオフ周波数は 1 次フィルタ・ノッチ周波数が 10Hz なので 2.62Hz になっています。このフィルタで 100dB を上回る 50Hz/60Hz の同相ノイズ除去特性が得られます。

図 31 に 3 つのデバイスそれぞれの主な特長を示します。

AD7710/AD7711/AD7712 の デバイスそれぞれの特長

AD7710 :

- 2 チャンネル差動、低レベル PGA 入力

AD7711 :

- シングル・チャンネル差動、低レベル PGA 入力
- RTD（抵抗温度検出器）駆動電流源

AD7712 :

- シングル・チャンネル差動、低レベル PGA 入力
- 高レベル・アナログ入力

図 31

ΣΔ DAC

ΣΔ D/A コンバータ（DAC）は、A/D 変換のプロセスを逆にしたものと考えられます。前述したデジタル・フィルタと ΣΔ モジュレータの基本機能はすべて同じです。基本的に ΣΔ DAC と ΣΔ ADC は同じ長所をもっています。オーバーサンプリング比が高いため、エイリアス除去と信号再生のためのフィルタの条件を大幅に緩和できます。ただし 1 ビット DAC 出力に含まれる高周波ノイズ成分は、十分フィルタリングしなくてはなりません。このノイズを低減するために、高次フィルタが必要になるとすれば、ΣΔ DAC アーキテクチャの長所の一部が無くなってしまいます。

ウェハ・レベルでレーザ・トリミングされた低価格の高精度・高分解能 DAC は簡単に入手が可能であり、このためどうしても ΣΔ DAC をフルに使用しなければならないということは、それほどありませんでした。しかし ΣΔ DAC 技術が本格的に開発されるようになった理由は、ミックスド・シグナル IC として ADC、DAC、DSP 機能をチップ・レベルで集積する必要性に対して、このアーキテクチャが理想的だったからです。

ΣΔ DAC の概念

- 基本的に ΣΔ ADC を逆にしたもの
- オーバーサンプリングを実現できる低価格、高分解能 R/2R DAC が急増
- ΣΔ DAC は ADC と DSP 機能をチップ・レベルで集積するのに最適
- アンチエイリアス・フィルタで高周波ノイズを除去する必要あり

図 32

高性能、広ダイナミック・レンジを実現する従来の考え方である、R/2R ベースの DAC の構成を図 33 に示します。内部 DAC スイッチはバイナリで動作するため、コード依存の過渡電圧（グリッチ）により、一定量の高調波歪みが出力スペクトルに出てきます。この歪は「セグメンテーション」という技術で大幅に低減させることができます。さらに、最高レベルのスペクトル純度を得たい場合は、サンプル&ホールド回路を用いて、グリッチ期間は DAC 出力電圧を保持し、余計なグリッチを除去する方法があります。この方法でコード依存のグリッチ（高調波歪み）が除去できますが、そのかわりいくらかエネルギーがサンプリング周波数上に現れることになります。エイリアシング防止やサンプリング周波数上のエネルギー低減を行うには、ローパス・フィルタ（平滑化フィルタ）をサンプル&ホールド・アンプの出力に接続します。ADC の前段に配置するアンチエイリアス・フィルタの設計に必要な基本的な注意点が、この DAC の後段に配置する平滑化フィルタにも当てはまります。このためこの平滑化フィルタのロールオフ条件も

従来の DAC デグリッチャ (グリッチ除去)

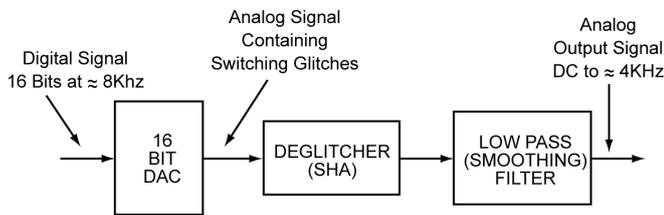


図 33

オーバーサンプリングによって同じように緩和できます。実際、2倍、4倍、8倍のオーバーサンプリング技術は、従来の R/2R 方式の 16、18、20 ビット DAC を使用しているコンパクト・ディスク・プレーヤでも幅広く使用されています。

図 34 に $\Sigma\Delta$ DAC を構築するうえで使用する主な素子を示します。

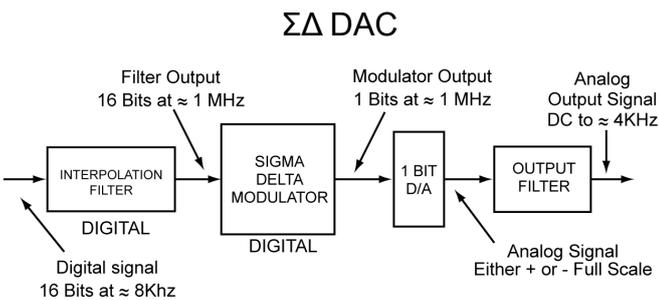


図 34

この例は、4kHz の帯域幅を持つ音声帯域の信号を生成する更新レート 8kHz の 16 ビット DAC です。デジタル内挿フィルタに 16 ビットのデジタル値が入力され、ここでオーバーサンプリングされて 1.024MHz になります (オーバーサンプリング比 128 です)。この方法は低速デジタル信号から高速デジタル信号を再構成するものと考えられます。図 35 は離散時間信号を係数 4 で補間するようすを示しています。入力信号 $x(m)$ のサンプリング・データ間に 3 個のゼロを挿入することで拡張 (オーバーサンプル) されます。その信号 $w(m)$ をローパス・フィルタに通して $y(m)$ が得られます。 $y(m)$ のサンプリング・レートは 4 倍になっています。

デジタル入力 $\Sigma\Delta$ モジュレータにより、この 16 ビット 1.024MHz

離散信号の補間

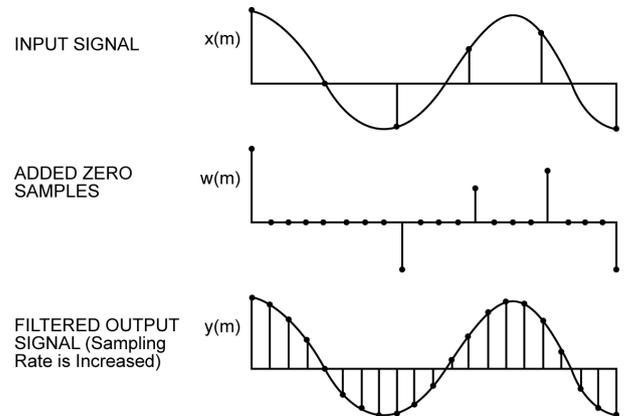


図 35

のデータ・ストリームをノイズ・シェーピングし、分解能を 1 ビットにまで低下させます。このモジュレータは $\Sigma\Delta$ ADC での $\Sigma\Delta$ モジュレータと異なり、すべてデジタル構成です。目的の伝達関数はデジタル回路部分で IIR フィルタにて実装されます。このデジタル・フィルタも、ADC の場合と同じモジュレータとして動作し、入力信号にはローパス・フィルタとして動作し、量子化ノイズにはハイパス・フィルタとして動作します。

$\Sigma\Delta$ ADC の場合と同様、何らかの方法で 1 ビット DAC 出力を平均させなければ意味がありません。また上側の周波数領域に存在する、ノイズ・シェーピングされた量子化ノイズも除去する必要があります。さらに、出力ナイキスト・レートにより生じるイメージもすべて除去しなければなりません。アナログ平滑化フィルタは、一般に複数段でフィルタ機能が実現されます。このフィルタ設計で重要なことは、システム全体の要求にフィルタ特性がマッチしていることです。たとえばオーディオ・システムでは、出力フィルタで高周波成分が適切に除去される一方、位相/振幅応答特性は維持されなければなりません。能動フィルタを平滑化フィルタとして用いる場合は、オペアンプのスルーレートによる制限やノイズによって、出力に歪み成分が混入しないよう注意する必要があります。

ADSP-28msp02 $\Sigma\Delta$ コーデック

ADSP-28msp02 は $\Sigma\Delta$ アーキテクチャに基づいたミックスド・シグナルの周辺回路用デバイスです。このデバイスは 16 ビット $\Sigma\Delta$ ADC と DAC を備えたリニア・コーデックで、高性能音声帯域 DSP アプリケーション向けにアナログ・フロントエンド/バックエンドが一体化しています。図 36 に ADSP-28msp02 の主な特長を、図 37 に機能ブロック図を示します。

ADSP-28msp02 $\Sigma\Delta$ コーデックの 主な特長

- 16 ビット $\Sigma\Delta$ ADC
- 16 ビット $\Sigma\Delta$ DAC
- アンチエイリアス・フィルタ、平滑化フィルタを内蔵
- 8kSPS のサンプリング・レート、128 倍のオーバーサンプリング比
- 電圧リファレンス内蔵
- 65dB の S/N 比と THD
- DSP チップとの簡単なインターフェース
- 24 ピン DIP/SOIC パッケージ
- +5V 単電源、100mV の消費電力
- 音声帯域用途に最適

図 36

ADSP-28msp02 のリニア・コード化 ADC/DAC を、従来の μ -law/A-law コーデックと比較しても、広いダイナミック・レンジを伝送周波数帯域全体で維持しています。8kSPS の実効サンプリング・レート、65dB の S/N 比と良好な THD 性能を持ち合わせ、デジタル携帯電話など数多くの電気通信用途に最適です。24 ピン DIP/SOIC パッケージを採用し、音声帯域アナログ信号処理の要件を満たす高集積なコンパクト・ソリューションです。ADSP-28msp02 は DSP プロセッサ ADSP-2101、ADSP-2105、ADSP-2111、MC56001、TMS320C25

とシリアル I/O ポートを通じて簡単に接続できます。デバイス間でのデータ/制御情報の送受信にシリアル・ポート (SPORT) が使用されます。

ADSP-28msp02 のエンコーダ側は、切替え可能な 2 つのアナログ入力アンプと $\Sigma\Delta$ ADC で構成されています。入力アンプのゲインを外部抵抗にて $-12\sim+26\text{dB}$ の範囲で調整できます。モジュレータ前段に 20dB プリアンプを挿入することも可能です。プリアンプとマルチプレクサは制御レジスタのビットで設定します。 $\Sigma\Delta$ ADC は、 $\Sigma\Delta$ モジュレータ、アンチエイリアス・デシメーション・フィルタ、デジタル・ハイパス・フィルタで構成されています。信号をモジュレータでノイズ・シェーピングし、1.024MHz で 1 ビットのサンプル値が生成されます。このビット・ストリームはアナログ入力情報を表しており、2 つのローパス・フィルタ段で構成されるアンチエイリアス・デシメーション・フィルタに入力されます。1 段目でサンプリング・レートを 40kHz に低減させ、サンプル幅を 16 ビットに広げます。さらに 2 段目でサンプリング・レートをさらに 8kSPS に低減させます。生成された各サンプル情報は SPORT に転送され、伝送されます。

デコーダは $\Sigma\Delta$ DAC と差動出力アンプにより構成されています。DAC は SPORT から 8kHz のレートで 16 ビット・サンプル値を読み出します。このサンプル値に対して、デジタル・イメージ除去フィルタとハイパス・フィルタにより、ローパス・フィルタ処理とハイパス・フィルタ処理が行われます。イメージ除去フィルタは 2 段構成で (1 段目が 40kHz、2 段目が 1.024MHz) サンプリング・レートを補間します。デジタル $\Sigma\Delta$ モジュレータによりここで得られた 16 ビット・サンプルを分解能 1 ビットのビット・ストリームにまで低減させます。このビット・ストリームは、アナログ平滑化フィルタに入力されアナログ電圧に変換されます。平滑化フィルタのゲインは、制御レジスタにより $-15\sim+6\text{dB}$ まで 3dB ステップで可変できます。

ADSP-28msp02 のブロック図

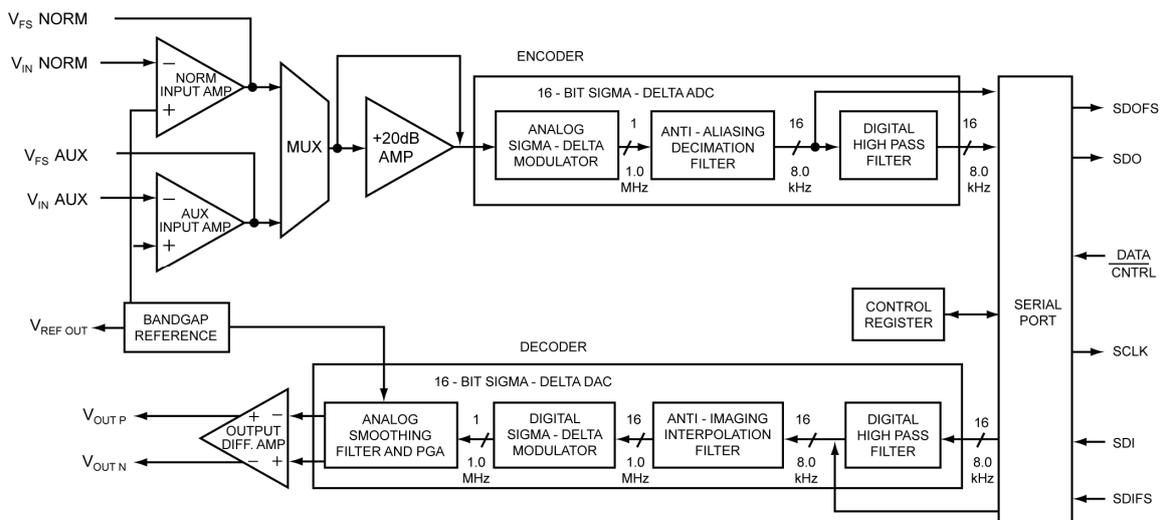


図 37

多段ノイズ・シェーピング (MASH) $\Sigma\Delta$ コンバータ

前述のように、オーディオ ADC AD1879 の 5 次 $\Sigma\Delta$ ループは非線形安定化技術を活用して設計されています。これに代わる多段ノイズ・シェーピング (MASH; Multistage noise shaping) と呼ばれる方法は、安定な直列型 1 次ループを利用します。図 38 に 3 段 MASH 方式 ADC のブロック図を示します。1 次積分器の出力が 1 次 DAC 出力から減算され、1 段目の量子化ノイズ Q_1 が生成されます。 Q_1 は 2 段目であらためて量子化されます。2 次積分器の出力は 2 次 DAC 出力から減算され、2 段目の量子化ノイズが生成されます。さらにそのノイズが 3 段目で量子化されます。

多段ノイズ・シェーピング $\Sigma\Delta$ ADC (MASH)

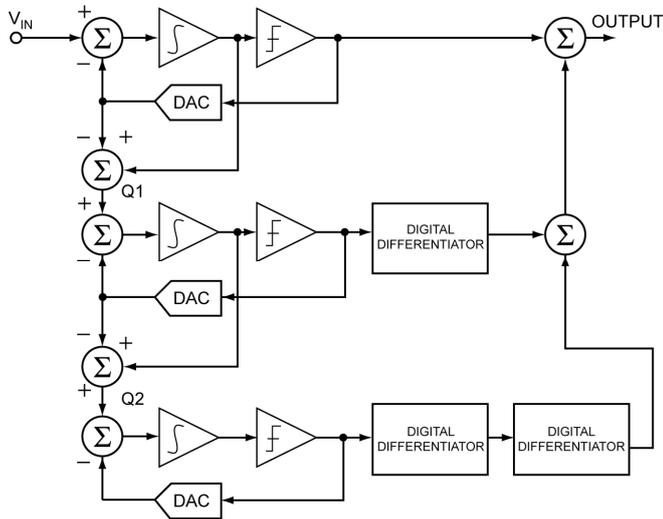


図 38

1 段目の出力に、2 段目出力のデジタル微分値と 3 段目出力の二階微分値が加算され、最終出力が生成されます。その結果、量子化ノイズ Q_1 は 2 段目で抑制され、量子化ノイズ Q_2 は 3 段目で抑制されて、3 次ループと同じように抑制できるようになります。3 個の 1 次ループを使ってこの処理を行うため、安定した動作が得られます。図 39 に MASH アーキテクチャと高次シングル・ループ・アーキテクチャとの比較を示します。

MASH 型回路構成と 高次ループ $\Sigma\Delta$ コンバータ

- MASH は 1 次ループを直列接続するため、安定化が簡単
- 誤差をキャンセルするために MASH コンバータではゲイン/位相マッチングが重要
- MASH デジタル微分器はアナログ積分器にマッチしたものが必要
- シングル・ループの高次モジュレータはアイドリング・パターンの問題が生じづらい
- シングル・ループの高次モジュレータは理解、解析、安定化が容易ではないが、AD1879 (5 次モジュレータ) の非線形技術を使えば実現可能

図 39

マルチビット $\Sigma\Delta$ コンバータ

これまではシングルビット ADC (コンパレータ) とシングルビット DAC (スイッチ) の $\Sigma\Delta$ コンバータのみ説明してきました。図 40 は、 n ビット・フラッシュ ADC と n ビット DAC を使用したマルチビット $\Sigma\Delta$ ADC のブロック図です。このアーキテクチャのほうが規定のオーバーサンプリング比と規定次数のフィルタの構成で、間違いなく高いダイナミック・レンジが得られます。2 次以上のループが使用できるので、安定化が簡単です。アイドリング・パターンのランダム性がさらに高まるため、トーン・スペクトルの発生も最小限に抑えることができます。

マルチビット 1 次 $\Sigma\Delta$ ADC

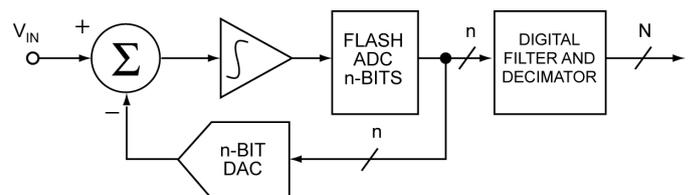


図 40

この技術の欠点は、システム直線性が DAC の直線性に依存すること、また 16 ビットの性能レベルに近づけるには薄膜レーザ・トリミングが必要になるという点です。このためミックスド・シグナル信号処理 IC にマルチビット・アーキテクチャを実装するのは、あまり現実的ではありません。図 41 にマルチビット $\Sigma\Delta$ コンバータとシングルビット $\Sigma\Delta$ コンバータとの比較を示します。

マルチビットとシングルビットの $\Sigma\Delta$ コンバータ

マルチビット：

- 規定のオーバーサンプリング比と規定のループ・フィルタ次数で高いダイナミック・レンジが実現可能
- 高次のシステムでも簡単に安定化が可能
- アイドリング・パターンでのトーン・スペクトルが低減可能
- 直線性は DAC に依存
- 薄膜レーザ・トリミングが必要

シングルビット：

- 完全な直線性を持ち、厳しいマッチング条件なし
- レーザ・トリミングは不要
- ミックスド・シグナル信号処理 VLSI 用の一体回路構成が可能
- 高次ループ (AD1879) を安定化させるために非線形技術が必要

図 41

$\Sigma\Delta$ のまとめ

$\Sigma\Delta$ コンバータで使われている考え方は、決して目新しいものではありません。しかし最近このコンバータが普及しているのは、ミックスド・シグナル信号処理 VLSI チップに組み込めるコンバータへのニーズが高まっているからです。 $\Sigma\Delta$ アーキテクチャは、計測、音声帯域、オーディオなどのアプリケーション向けのコンバータに最適です。今後さまざまな $\Sigma\Delta$ 回路方式の探求が今後さらに進み、新しい処理方法が開発されることで、最大ダイナミック・レンジやサンプリング・レートがさらに向上していくことでしょう。

現時点で、 $\Sigma\Delta$ コンバータはすべてのデータ収集への要求に応えられるわけではありません。高いサンプリング周波数には限界があり、このためビデオ・アプリケーションは対象外です。また多重化入力には内部デジタル・フィルタのセトリング時間の問題で難しく、範囲外信号によって内部モジュレータが飽和する可能性もあります。

一方、 $\Sigma\Delta$ 方式はレーザ・トリミングなしでも優れた直線性性能が実現可能で、エイリアス除去/イメージ除去用のフィルタ条件がオーバーサンプリング技術で緩和できます。またサンプル&ホールド・アンプが必要ないという、このアーキテクチャの基本的なサンプリング方式により、ミックスド・シグナル信号処理 IC が普及するにつれて、さらに急ピッチで $\Sigma\Delta$ 方式の開発が進んでいくでしょう。

$\Sigma\Delta$ のまとめ

- 原理的に優れた直線性を持つ
- ミックスド・シグナル信号処理 IC プロセスに最適で、トリミング不要
- サンプル&ホールド・アンプが不要
- サンプリング・レートの限界によって現在は計測、音声帯域、オーディオ用アプリケーションに限定
- 規定範囲外の信号レベルによって内部モジュレータが飽和する可能性あり
- アナログ多重化アプリケーションでは内部フィルタのために限界あり。1チャンネル当たり1個の $\Sigma\Delta$ ADC を使用することが良い

図 42

参考文献

1. J. Dattorro, A. Charpentier, D. Andreas 共著「The Implementation of a One-Stage Multirate 64:1 FIR Decimator for use in One-Bit Sigma-Delta A/D Applications」AES 7th International Conference、1989年5月
2. W.L. Lee, C.G. Sodini 共著「A Topology for Higher-Order Interpolative Coders」ISCAS PROC、1987年
3. P.F. Ferguson Jr., A. Ganesan, R. W. Adams 共著「One Bit Higher Order Sigma-Delta A/D Converters」ISCAS PROC、1990年、Vol. 2、890～893 ページ
4. R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J. Fisher, F. Parzefall 共著「A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15MHz Clock Rate」IEEE Journal of Solid-State Circuits、Vol. SC-21、No. 6、1986年12月
5. Wai Laing Lee 著「A Novel Higher Order Interpolative Modulator Topology for High Resolution Oversampling A/D Converters」MIT Masters Thesis、1987年6月
6. D. R. Welland, B. P. Del Signore, E. J. Swanson 共著「A Stereo 16-Bit Delta-Sigma A/D Converter for Digital Audio」J. Audio Engineering Society、Vol. 37、No. 6、1989年6月、476～485 ページ
7. R. W. Adams 著「Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques」J. Audio Engineering Society、Vol. 34、1986年3月、153～166 ページ
8. B. Boser, Bruce Wooley 共著「The Design of Sigma-Delta Modulation Analog-to-Digital Converters」IEEE Journal of Solid-State Circuits、Vol. 23、No. 6、1988年12月、1298～1308 ページ
9. Y. Matsuya ら共著「A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping」IEEE Journal of Solid-State Circuits、Vol. SC-22、No. 6、1987年12月、921～929 ページ
10. Y. Matsuya ら共著「A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping」IEEE Journal of Solid-State Circuits、Vol. 24、No. 4、1989年8月、969～975 ページ
11. P. Ferguson Jr., A. Ganesan, R. Adams ら共著「An 18-Bit 20-kHz Dual Sigma-Delta A/D Converter」ISSCC Digest of Technical Papers、1991年2月
12. Steven Harris 著「The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters and on Oversampling Delta Sigma ADCs」Audio Engineering Society Reprint 2844 (F-4)、1989年10月