

複数のデバイスによるデジタル・ポテンシオメータの分解能の向上

Alan Li 著

はじめに

デジタル・ポテンシオメータは、一般に標準的な抵抗値 10k、100k、1MΩ と一定の調整可能なステップ数で提供されます。アプリケーションに必要な抵抗値がこれらの値の間になる場合、必要な値より大きい抵抗を備えたデバイスを選ぶのがふつうですが、そのために分解能を犠牲にするおそれがあります。しかし、複数のデジタル・ポテンシオメータを並列、スタック、あるいはカスケード接続することによって、アプリケーションに最適な分解能を実現することができます。この記事では、この課題を解決するためのアイデアをいくつか紹介します。

デジタル・ポテンシオメータの並列接続

アプリケーションにおいて抵抗値を 1kΩ から 5kΩ に調整する必要がある場合は、2 個の 10kΩ デジタル・ポテンシオメータを並列に接続します。図 1 は、レオスタット（可変抵抗器）モードの 2 個のデジタル・ポテンシオメータを並列接続した単純な回路です。元のステップの半分のステップで抵抗を調整するには、同じ設定を使ってデバイスをプログラムする必要があります。

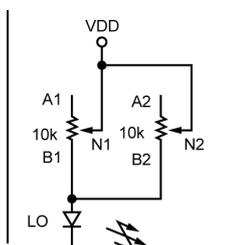


図 1. レオスタット・モードのデジタル・ポテンシオメータの並列接続

デジタル・ポテンシオメータを分圧器モードで使用するときは、調整範囲を変更して、複数のデバイスを並列接続することができます（図 2 を参照）。

これらの方法では、許容誤差のミスマッチを把握してワーストケースを予測する必要があります。

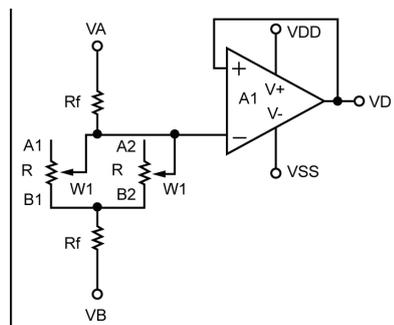


図 2. 分圧器モードのデジタル・ポテンシオメータの並列接続

デジタル・ポテンシオメータのスタック接続

アプリケーションに必要な抵抗が 20kΩ で、最大数のステップ調整が必要な場合は、SPDT スイッチと共に 2 個の 10kΩ 部品をスタックして使用することができます。ロジック出力制御を備えた AD5242、AD5231、AD5233 などのデジタル・ポテンシオメータが、このようなアプリケーションに最適です。図 3 を参照してください。ここでは、AD5242 のデジタル制御出力 (O₁) を使用して、ADG752 のスイッチをトグルし、S₁ と S₂ を交互にオンにします。そのため、S₂ がオンのときは、V_o を 0 から V_i/2 に設定し、同様に S₁ がオンのときは V_o を V_i/2 から V_i に設定することができます。この例では、調整可能なステップの数は 256 から 512 に増えます。また、4 個の AD5231 をスタック接続し、4x1 マルチプレクサ ADG704 を使用すれば、調整可能なステップ数は 1024 から 4096 に増加します（図 4 を参照）。

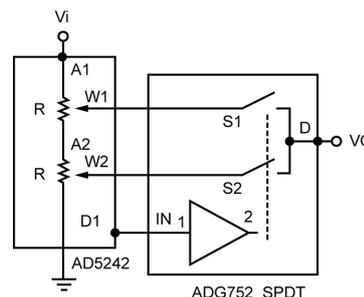


図 3. 2 個のデジタル・ポテンシオメータをスタック接続してステップ数を 2 倍にする

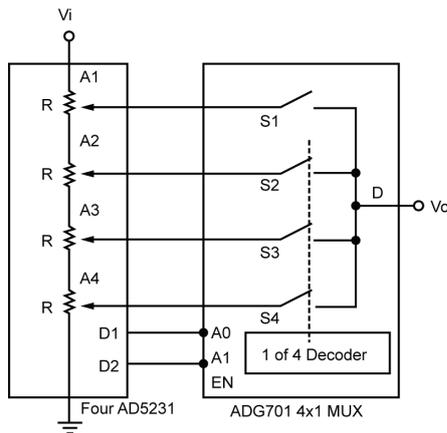


図 4. 4 個のデジタル・ポテンシオメータをスタック接続してステップ数を 4 倍にする

ここで、D は同じ調整をしたデータ・ビット U_1 と U_2 の 10 進値です。D₃ は、データ・ビット U_3 の 10 進値です。式 1 をよくみるとわかるように、 V_o は 2 項の合計値になっています。最初の項は標準的な 2^N 調整であり、係数 $(2^N+1)/(2^N+2)$ の値はユニティに近づきます。第 2 項は、係数 $1/(2^N+2)$ を $1/2^N$ として近似した場合の微細な 2^{2N} 調整を示しています。これは、チップのサイズや分解能を最適化する、アナログ・デバイセス (ADI) の特許取得済み RDAC セグメンテーション設計から拝借したアイデアです。この方法にはいくつか留意すべき点があります。まず、D₁ と D₂ に同じ調整を行う必要があります。すなわち U_1 と U_2 を同じ設定を使用して順次、または同時にプログラムする必要があります。また、デジタル・ポテンシオメータのステップ抵抗の R_p を選択して、細かい 2^{2N} 調整を行うことも重要です。さらに、 R_p とデジタル・ポテンシオメータ間の許容誤差のミスマッチと、温度係数のミスマッチを考慮する必要があります。この方法は、12 ビット DAC に代わる低価格の方法です。この方法で、同じステップ数の調整を実現できます。ただし、直線性を歪めるワイパー抵抗の影響があるため、精度は従来の DAC よりも劣ります。

デジタル・ポテンシオメータのカスケード接続

2 個のデジタル・ポテンシオメータをカスケード接続して、抵抗値の調整範囲を最適化することもできます (図 5 を参照)。この場合、最初のデジタル・ポテンシオメータを制御して必要な調整範囲を実現し、もう 1 つのデバイスを制御してこの範囲内に 2^N 個の調整可能なステップを設けます。この方法は、低電圧範囲の調整の場合のみ有効です。たとえば、 R_1 をかなり小さな値に設定したときは、 R_2 によってさらに細かいステップで調整できます。しかし、 R_1 の全範囲を利用しようとする場合、この方法では冗長なステップが多くなるでしょう。

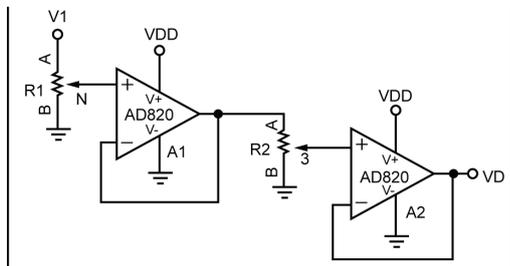


図 5. デジタル・ポテンシオメータのカスケード接続

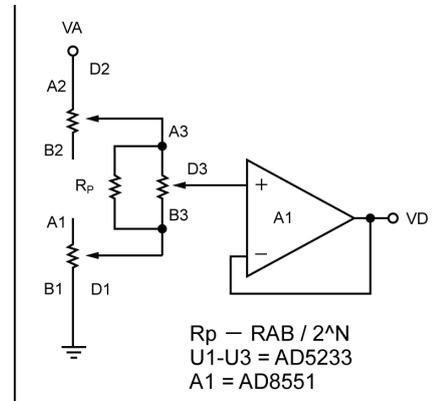


図 6. 12 ビット分解能のデジタル・ポテンシオメータ

結論

複数のデジタル・ポテンシオメータを使って分解能を向上できるのは良いのですが、精度の向上とプログラミングの複雑さの間のトレードオフを認識する必要があります。

図 6 に別の方法を示します。たとえば、デジタル・ポテンシオメータ AD5233 の 3 チャンネルをカスケード接続して調整可能なステップを 64 から 4096 (6 ビットから 12 ビット) に増やすことで、分解能を 2 倍にすることができます。このアーキテクチャでは、 V_o を以下の式で表すことができます。

$$V_o = \underbrace{\left[\frac{D}{2^N} V_A \right] \frac{2^N + 1}{2^N + 2}}_{\text{粗い } 2^N \text{ 調整 (粗動)}} + \underbrace{\left[\frac{D_3}{2^N} V_A \right] \frac{1}{2^N + 2}}_{\text{微細な } 2^{2N} \text{ 調整 (微動)}} \quad (1)$$