

**シングルエンド・クロック源を第3世代TxDAC[®]とTxDAC+[®]
製品の差動クロック入力に接合**

By Doug Mercer, Steve Reine, and David Carr

はじめに

第3世代のTxDACとTxDAC+ファミリ-*はフレキシブルな差動クロック入力の特徴としています。差動クロック入力CLK+とCLK-は各種のシングルエンド、差動のクロック源で駆動することができます。トランス結合は多くのシングルエンドto差動変換アプリケーションで使用されます。しかし磁気的結合のトランスは使用環境によっては便利ではありません。

シングルエンド・クロック信号をクロック入力に印加する方法はいろいろあります。図1に示すようにCLK-に適切なdcスレッシュホールド電圧を印加して、CLK+入力を駆動する事もあります。CLK-端子に印加するために、(コンデンサC3とともに)抵抗R1,R2でCLKVDD/2に等しいdcレベルを生成します。クロック源はユニポーラで、ほぼレールtoレールに振れる必要があります。この回路は単純ですが、クロック源に対する適切な終端インピーダンスは得られず、電源ノイズ又はグランドノイズに対する耐性はほとんどありません。

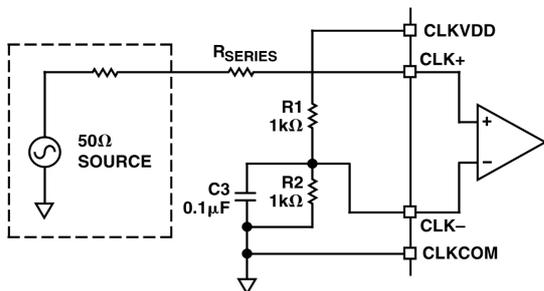


図1. シングルエンドのインターフェース

もう少し良い相当回路は簡単な広帯域抵抗マッチング回路(図2)です。図1と同じように抵抗R1、R2とコンデンサC3がCLKVDD/2でdcバイアス点を決めます。抵抗R3とR4は差動入力CLK+とCLK-のdcバイアスを与えます。終端抵抗、R_TERM(50Ω)が必要なクロック源終端を行い、コンデンサC1、C2はdcをブロッキングします。終端抵抗はできるだけ入力ピン、CLK+とCLK-、をまたがってまっすぐ配置する必要があります。この終端抵抗はよりクロック信号振幅がもっと小さい時生ずる可能性のあるdcオフセット電圧の悪影響を低減します。この回路は低い周波数では大きな結合コンデンサの使用が必要になるので、それほど魅力のある回路ではないかもしれません。図1の回路とは異なり、入力源はバイポーラが可能です。そしてR3、R4対50ΩR_TERMの大きな比率によって、電源ノイズ、グランドノイズに対する除去が多少あります。

しかし、結合コンデンサC2のコモン側を接続する方法によりノイズがCLK-入力に逆に注入される可能性があります。理想的にはそれをクロック源と同じコモン点に接続する必要があります。(図2を参照)

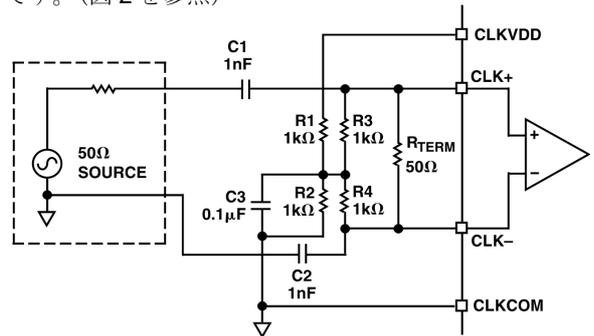


図2. 抵抗マッチング・インターフェース

2つの1nF入力結合コンデンサ、C1とC2は回路のハイパスコーナー周波数を約5MHzにセットします。ハイパスコーナー周波数は下記の式に従って高くも低くもできます。

$$f_{3dB} = \frac{1}{2\pi \times C \times 50}$$

ここで $C = \frac{C1 \times C2}{C1 + C2}$

狭帯域マッチング

トランス結合は広帯域アプリケーションで便利です。しかし、コンバータのアプリケーションではしばしば、クロックはシングル固定周波数です。高クロック周波数の場合又はクロック源がコンバータから離れていてその経路で干渉ノイズをピックアップする可能性がある場合、狭帯域マッチング回路を使用の方が適している場合がしばしばあります。狭帯域LCマッチングは直列インダクタンス/シャント・キャパシタンス又は直列キャパシタンス/シャント・インダクタンスとして回路を形成することができます。しかし、クロック入力CLK+とCLK-がac結合される事が同時に要求されるので、直列キャパシタンス/シャント・インダクタンスタイプのマッチング回路の方がより適切です。(図3参照)

*AD9740ACP, AD9742ACP, AD9744ACP, AD9748ACP, AD9751, AD9753, AD9755, AD9772, AD9773, AD9775, AD9777

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

このようにバンドパス回路にはいくつかの利点があります。差動入力の入力インピーダンスは高く、ほとんど純粋な容量なので、ある程度の大きさの電圧ゲインが得られます。低い振幅のクロック信号しか供給可能でない場合、電圧ゲインが得られる事でさらに大きなノイズ耐性を得られます。部品数は少ない: 2つのキャパシタンスと一つの安いチップインダクターと dc バイアスを生成するのに必要な部品。

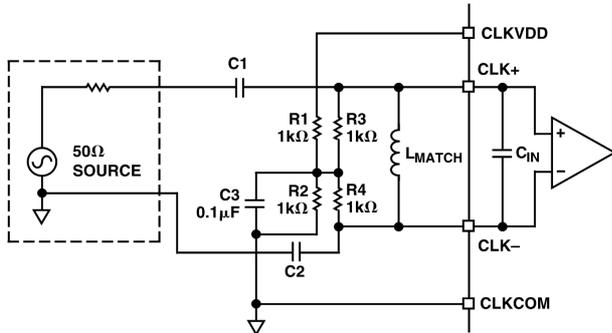


図 3. LC マッチング・インターフェース

100MHz における狭帯域 LC マッチング例

マッチング部品の値を簡単に計算できる多数のソフトウェア・プログラムが供給可能ですが、それらに使用されている計算方法を明確に理解する事に意義があります。この計算では周波数 100MHz を使用しました。なぜならばより高い周波数では PC 基板レイアウト寄生容量の影響があるからです。より高い周波数での基板設計が要求される時には RF レイアウト・シミュレーション・ソフトウェアが役立ちます。

クロック入力は一時的に 50Ω にマッチングしている必要があります。マッチング・プロセスをより簡単にするために、(希望周波数で C_IN と共振する) 仮想シャント・インダクター (L2、図 4 参照) を追加して、CLK+、CLK 入力の入力キャパシタンス C_IN を一時的に計算から取り除く事ができます。このインダクターは後でマッチング・インダクター L_MATCH (図 3) を決定する際に計算に組み入れます。これにより主な計算を 50Ω ソースと 1kΩ dc バイアス抵抗の間での抵抗 対抵抗の簡単なマッチングを基準として行うことができます。

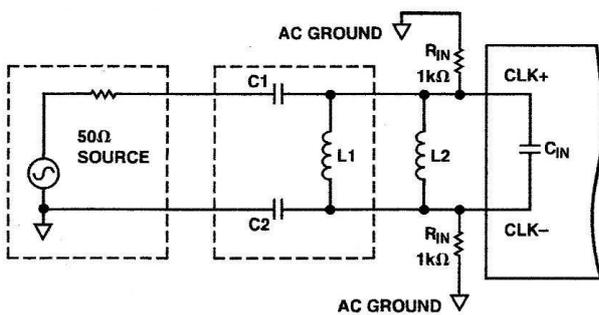


図4.入力マッチング例

共鳴周波数は次式を使って計算されます。

$$2\pi \times f_0 = \frac{1}{\sqrt{L2 \times C_{IN}}}$$

したがって、

$$L2 = \frac{1}{(2\pi \times f_0)^2 \times C_{IN}}$$

センター周波数 100 MHz で C_IN=2.5pF の場合 L2 = 1.01 μH です。

C_IN を一時的に取り除く方法により、50Ω ソース (R_s) と 1 kΩ dc バイアス抵抗とのマッチングの計算と C_MATCH と L1 の値の計算になります。

ここで $R_s \times R_{IN} = \frac{L1}{C_{MATCH}}$

とすると

入力下記式で与えられた周波数では抵抗性に見えます。

$$f_0 = \frac{1}{2\pi \sqrt{L1 \times C_{MATCH}}}$$

C_MATCH について解くと下記の式になります。

$$C_{MATCH} = \frac{1}{2\pi \times f_0 \sqrt{R_s \times R_{IN}}}$$

f_0=100 MHz, R_s= 50Ω, R_IN=1kΩ の場合、C_MATCH = 7.12pF になります。

次に L1 について解くと下記の式になります:

$$L1 = \frac{\sqrt{R_s \times R_{IN}}}{2\pi \times f_0}$$

f_0 = 100 MHz, R_s = 50 Ω, R_IN = 1 kΩ の場合、L1 = 356 nH となります。

L1 と L2 は並列接続なので、これらは結合して最終値 L_MATCH にする事ができます。

$$L_{MATCH} = \frac{L1 \times L2}{L1 + L2}$$

L1 = 356 nH、L2 = 1.01 μH とすれば、L_MATCH = 263 nH になります。

C1、C2 は幾通りにも選べます。はじめに、C2 を 100pF のような大きな値に設定する事も可能です。この場合 C2 は RF ではショートしたように見えます。従って C1 は C_MATCH の計算した値に等しく設定されます。あるいは、合計直列キャパシタンス値を C_MATCH に等しく保ちながら、C1、C2 のどちらかを C_MATCH の 2 倍の値にする事もできます。C1 と C2 の直列接続値を同じに保ちながら互いに少し違う値にする (例えば C2 を C1 よりも 10% 程度小さい値を選ぶ) ことにより、CLK+ と CLK- の信号の振幅が等しくなり、差動入力をもっとバランスのよい駆動にする事ができます。上に詳しく述べた 3 つのオプションのいずれも、C1、C2 を直列接続した値 (すなわち (C1×C2)/(C1 + C2)) が、C_MATCH に等しい限り使用できます。

いずれの場合でも、 C_{MATCH} (C1, C2) と L_{MATCH} は標準値から選ばなければなりません。もっとも近い標準値は $C1 = 16 \text{ pF}$, $C2 = 15 \text{ pF}$, $L_{MATCH} = 270 \text{ nH}$ (表 1 に示す) です。100 MHz での特性を調べるにはこの点で、これらの値をインストールし、測定する必要があります。基板とレイアウトの寄生容量のために、上記の例で用いた部品の値は調整する必要があるかもしれません。

さらに、シングルエンド・ソース源で駆動する時、これらのキャパシタンスを不平衡にする事により、 $CLK+$ と $CLK-$ での振幅は同じになる可能性もあります；すなわち、回路は又バランとして機能します。図 5 はセンター周波数 100 MHz の応答を示します；低周波での非常に高い減衰度に注目。高周波減衰度はクロック入力ピンの入力キャパシタンスに影響されます。振幅応答は $CLK+$ と $CLK-$ の差動入力と、コモンを基準とした各入力のシングルエンド入力についてグラフ化しています。マッチング回路の共鳴特性により、 $CLK+$ と $CLK-$ 入力で、約 90° の位相シフトがあります。これについては図 6 にグラフ化しています。コンバータのデータセットアップ時間とホールド時間を調整する時、この位相差を計算に入れるよう注意する必要があります。

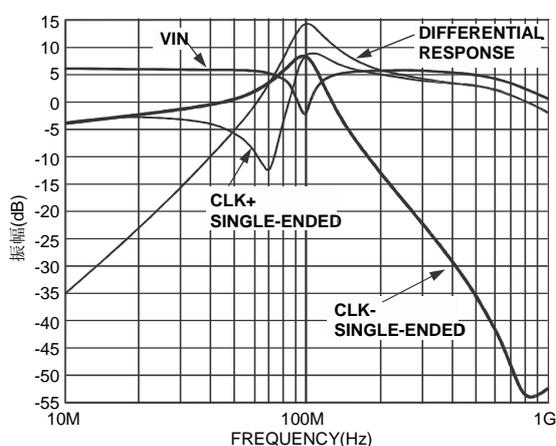


図5.100 MHzマッチング回路の振幅応答

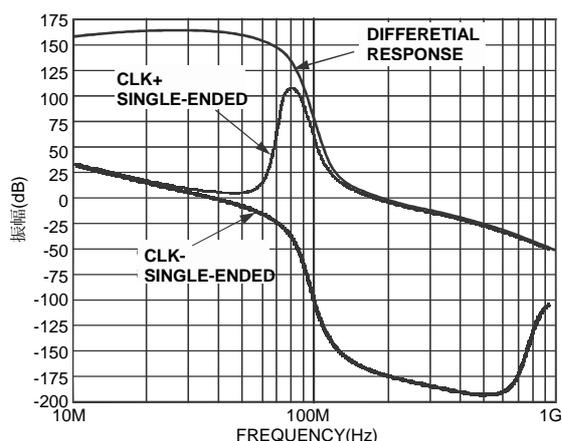


図6.100MHzマッチング回路の位相応答

表 1 は複数の選択した RF 周波数について図 3、図 4 で使用されるインダクターとキャパシタンスの推奨値を示します。前述したように、基板レイアウトを修正すると、規定どおりに動作しない回路になってしまう可能性があります。

表 1. 図 3, 図 4 の中の $C1, C2, L_{MATCH}$ の推奨値

周波数 (MHz)	L_{MATCH} (nH)	C1 (pF)	C2 (pF)
61.44	470	24	22
65.00	470	24	18
76.80	390	18	16
78.00	390	18	15
78.64	390	16	16
92.16	330	13	12
100.00	270	16	15
122.88	220	11	10
130.00	180	12	11
153.60	150	10	9
156.00	150	10	8
157.29	120	12	12
184.32	120	8	7
245.76	82	6	5
260.00	56	9	8
307.20	47	7	6
312.00	47	6	6
314.57	47	6	6
368.64	39	5	4
491.52	22	5	4
520.00	18	6	5
614.40	15	4	4
624.00	15	4	3
629.15	15	4	3
737.28	12	2	2

付録 1

このインターフェース回路のスパイスを使ったモデリングとシミュレーションは、ここで示した手書き計算に対する有効な代替の方法です。スパイスを使用すれば、パッケージや PC 基板配線のようなものに起因する寄生的な影響をより多く含む事ができます。下記のリストはクロック入力回路のスパイスレバール・サブサーキット・モデルです。図 7 と図 8 の回路やリスト (Listing1) の前段で、インダクター $L1$ とキャパシタンス $C1, C2$ は回路のセンター周波数を決めます。リストに記述されて値は 100 MHz 周波数についてです。抵抗 $R1$ は駆動源 ($V3$)インピーダンスで、抵抗 $R2, R3$ は ac 結合入力のための dc バイアス (電圧源 $V4$ で設定) を生成しています。

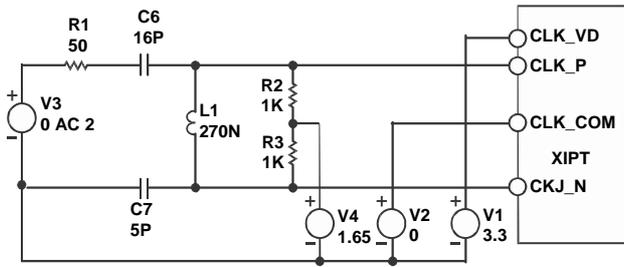


図7.入力回路のためのスパイスモデル

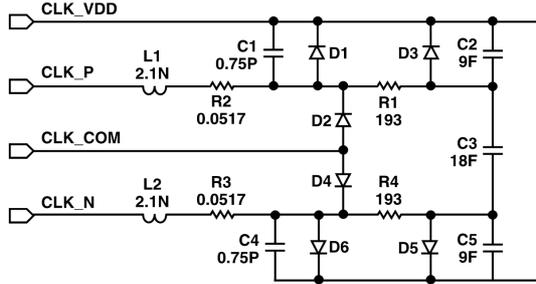


図8. XIPT ブロックのSPICE サブサーキット

LISTING 1

クロック入力マッチング回路モデル

```

*
V1 CLK_VDD 0 3.3
V2 CLK_COM 0 0
V3 SRC_P 0 0 AC 2
V4 CML 0 1.65
R1 SRC_P CAP_P 50
R2 CLK_P CML 1K R3 CLK_N CML 1K
C1 CAP_P CLK_P 16p
C2 CLK_N 0 15p
L1 CLK_P CLK_N 270n
XXIPT CLK_P CLK_N CLK_COM CLK_VDD CLK_INPUT

.SUBCKT CLK_INPUT CLK_P CLK_N CLK_COM CLK_VDD
C1 CLK_VDD C1_B 0.75p
C2 CLK_VDD C2_B 9f
C3 C2_B C3_B 18f
C4 CLK_VDD C4_B 0.75p
C5 CLK_VDD C3_B 9f

```

```

D1 C1_B CLK_VDD DP1 1
D2 CLK_COM C1_B DN2 1
D3 C2_B CLK_VDD DP3 1
D4 CLK_COM C4_B DN2 1
D5 C3_B CLK_VDD DP3 1
D6 C4_B CLK_VDD DP1 1
L1 L1_A CLK_P 2.1n
L2 L2_A CLK_N 2.1n
R1 C2_B C1_B 193
R2 C1_B L1_A 0.0517
R3 C4_B L2_A 0.0517
R4 C3_B C4_B 193
.ENDS CLK_INPUT
.model DP1 D (bv=5.5 cjo=1.17088p eg=1.106 fc=500m
ibv=608.2p is=1.299342f m=632.669m)

```

```

.model DP3 D (bv=5.5 cjo=325.2446f eg=1.106 fc=500m
ibv=608.2p is=3.609284e-16 m=632.669m)

```

```

.model DN2 D (bv=8.0 ibv=1.54587E-06 cjo=1.411p
m=0.3675268 is=1.759f eg=1.140)

```

```

.AC DEC 400 10E6 1E9
.PROBE
.OP
.END

```

付録 2

チップキャパシタンスとインダクターのスパイスモデルは各メーカーから提供されています。図 9 はインダクターに使用される一般的なモデルです；図 10 はモデル・キャパシタンスに使用される一般的なサブサーキットです。

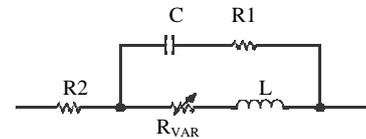


図 9.

これらのモデルの値はメーカーのウェブサイト (www.coilcraft.com のような) から得られます。図 9 の R_{VAR} は周波数依存性があり、表皮効果や他のインダクター損失に関係しています。

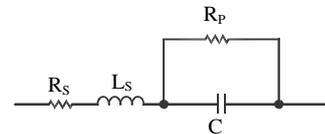


図10.