

## サンプル化システムに及ぼすクロック位相ノイズとジッタの影響

著者：Brad Brannon

### 要約

ダイレクトIFサンプリング機能を備えた高分解能のデータ・コンバータが販売されるようになり、システム設計者は低ジッタ・クロック回路における性能とコストのトレードオフを決める手がかりを求めています。クロック・ジッタを指定するための従来の方法の多くは、データ・コンバータに適用できないか、適用できてもわずかなことしか知ることができません。クロック回路を指定し、設計する方法を正しく理解していないと、こうした新しいデータ・コンバータから最適な性能を引き出すことはできません。正しい知識に基づいてクロックを選択するには、単純なジッタ仕様ではほとんどの場合十分ではありません。大切なことは、クロック・ノイズの帯域幅とスペクトル形状を把握し、サンプリング処理中にどうなるかを正しく解明できるようにすることです。現在の多くのシステム設計者はデータ・コンバータ・クロックの位相ノイズやジッタ要件を正しく指定していないため、システム性能の低下が生じています。クロックにほんのわずか（数ピコ秒）でもジッタが存在すれば、信号経路では誤差が発生することになります。また、これとは逆の極端な例として、クロック・ノイズがコンバータに、そして最終的には自社製品の性能にどのように影響するかをよく理解していないがために、設計者が高価なクロック源に費用をかけすぎるということもあります。最も高価なクロック・ジェネレータが必ずしも最高のシステム性能を実現するとは限りません。このアプリケーション・ノートでは、ジッタ、位相ノイズ、コンバータの性能に関する多くのトレードオフを説明します。これらのトレードオフを理解すれば、アプリケーションに最適なクロックを選択できるため、最低のコストで最適な性能を実現できます。まず、データ・コンバータにおけるサンプリング処理について説明し、その後でアプリケーションの具体例を示してクロック選択のプロセスを説明します。

### これまでの状況

A/Dコンバータ（ADC）のアプリケーションに関して最も多く提起される問題として、エンコード・ソースの供給という問題があります。たいていの技術者が知っているように、正しいエンコード・クロックを選択することは、選定したデータ・コンバータから最高の性能を引き出すためには最も重要なことです。これは、近年ますます増大しているサンプル化されるアナログ入力周波数に特に当てはまります。

しかし、シグナル・チェーンの中でコンバータがアンテナのほかに近づいてきたことから、コンバータを使用する技術者のほうも「ミックスド・シグナル設計者」から「RF設計者」へと変わってきています。同様に、設計技術や対応コンポーネントも

変化しており、時間軸特性表示より周波数軸特性表示が重視されるようになってきています。これまでは、エンコード・クロックと言えば単なるクロックに過ぎませんでした。現在は、IFおよびRFサンプリング・システムの場合、エンコード・ソースにおいてクロックよりも局部発振器（LO）のほうを考慮するようになってきました。その理由については本書で述べます。こうしたことから、多くの設計者は、RFシムサイズの場合のように、クロックを周波数軸で特性表示することを望んでいます。

クロック・ジッタと位相ノイズの直接的な相関関係を示すのは困難ですが、本書ではクロック・ジッタまたは位相ノイズの観点からエンコード・ソースを設計または選択するための指針を提供します。位相ノイズとジッタ間の変換については多くの論文で論じられていますが、本書では位相ノイズとジッタ間の変換プロセスについて検証しています。

### ジッタの定義

データ・コンバータの主な目的は、一定の時間間隔でサンプリングしてアナログ信号を生成すること、または連続的なアナログ信号から一定の時間間隔で一連のサンプルを取得することになるため、サンプリング・クロックの安定性が非常に重要となります。データ・コンバータの観点からすると、その不安定性はクロック・ジッタと呼ばれ、アナログ入力を実際にいつサンプリングされるのかが明確でなくなります。クロック・ジッタを直接測定する方法はいくつかありますが、クロック安定性の要件が厳しくなってきたため、数ピコ秒のタイミングの変化を測定するという条件から間接的な測定が必要になります。コンバータの観点からは、エンコード帯域幅が数百MHzにわたることがあります。したがって、データ・コンバータのジッタとなるノイズの帯域幅を考慮する場合、その範囲はDCから、汎用的な12kHz~20MHz（標準のクロック・ジッタ測定でよく使用される範囲）をはるかに超えるエンコード帯域幅にまで及びます。

ジッタで問題になるのはワイドバンドのコンバータ・ノイズ性能が低下することであるため、ノイズ性能の低下を監視するだけで簡単にクロック・ジッタの概算値を求めることができます。ジッタに起因するS/N比（SNR）の限界は、次式で求められます。

$$\text{SNR} = -20 \log(2\pi f_{\text{analog}} t_{\text{jitter,rms}}) \text{ dB} \quad (1)$$

REV. 0

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402)8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350)6868

ここで

$f$ はアナログ入力周波数です。

$t$ はジッタです。

動作周波数と必要なS/N比がわかっている場合、必要なクロック・ジッタを次式で求めることができます。

$$t_{\text{jitter}} = \frac{10^{-\frac{\text{SNR}}{20}}}{2\pi f_{\text{analog}}} \quad (2)$$

ジッタがコンバータの性能を制限する唯一の要素である場合、75dBのS/N比を維持しながら70MHzのIF信号をサンプリングするには、400フェムト秒のクロック・ジッタが必要になります。

データ・コンバータ、特にADCは、FFT技術を用いたS/N比の計算に簡単に利用できるため、テスト中のクロックを使用しているときにアナログ入力周波数が増大した場合のS/N比の劣化を研究室での簡単な実験で確認できます。これで、エンコード・クロックのジッタとADCそのものからの影響がわかります。全ノイズからADCのノイズ影響分を差し引けば、ジッタに起因するノイズがどのくらいになるかわかります。ノイズがわかれば、時間ジッタを計算できます。この手順は、アナログ・デバイセズのウェブサイトに掲載されているアプリケーション・ノート「AN-501」で説明されています。

この方法には2つの欠点があります。1つは、FFT処理中にウィンドウ方式を使用すると、スペクトル解像度がウィンドウのインパルス応答によって低下するという点です。もう1つは、最適なFFTサイズにおいてスペクトル解像度がかなり制限されていることです。たとえば、61.44MSPSのエンコード・レートを使用して、64K FFTを実行すると、各FFTビンが約938Hzの幅になります。ということは、複数のFFTビン内のクロック・ノイズが消失してスペクトルのボケが生じ、位相ノイズの大部分が存在する基本波の両側で数kHzの情報が失われることになります。同期FFTを実行し、ウィンドウを使用しない場合でも、少なくとも1個のFFTビン（約1kHzに相当）が制限されます。近接位相ノイズの観点からすると、通常、エネルギーの大部分はクロック源の周辺の最初の数千ヘルツに含まれています。したがって、ジッタの評価にFFT法を使用すれば、クロック・ノイズの大部分が失われてしまいます。ただし、通常はワイドバンドのS/N比をターゲットとするため、一般にADCのワイドバンド性能の測定としてはこの試験方法が受け入れられています。

## 位相ノイズの定義

### ノイズの種類

サンプリング信号は、式3に示すようにサイン波の関数の変形で表すことができます。この式は、振幅変調、周波数変調、位相変調の項で表します。サンプリング処理は時間軸での乗算および周波数軸での畳込みとみなすことができますが、サンプル・ソースは微分比較法を使ってハード的に制限されることがよくあります。これによって、サンプリング処理に対する振幅の影響を最小限に抑えることができます。ただし、エンコー

ド・ソースからの十分なドライブによってサンプリング・スイッチを駆動でき、AMやPMでの歪みが問題にならないものとします。実験データによると、AM変調は低い変調レベルでも高い変調レベルでも、同じような変調レベルの位相項または周波数項よりかなり重要度が低いことを示しています。また、位相ノイズと周波数ノイズの影響により、サンプリング処理では同じような劣化が生じますが、その違いは変調信号 [4] の導関数で位相変調が周波数変調と同じになるという点だけです。この場合は、導関数がやはりガウス分布関数となるガウス・ノイズであり、ここからはほぼ同じ結果が得られます [4]。

$$f_{\text{sample}} = A_t \sin((W_t t) + \phi_t) \quad (3)$$

上の式から、振幅、角周波数、位相がすべて時間に依存していることがわかります。これはいくつかの方法で図式化することができます。厳密に時間軸においては、信号はガウス・ノイズ源として表れます。単位円で示すと、問題はより明確になります。この単位円上では、エンコード・クロックが一定の角速度で回転しています。クロックがゼロ位相を通過するたびに、ADCが新しいサンプルを取得します。クロック上のいかなるノイズも、ベクトルの先端がある場所で変調し、これによってゼロ交差が発生する場所が変化します。ノイズによって立上がりエッジが通常より早く現れると、サンプル・プロセスは所定時間より前に発生します。同様に、ノイズが立下がりエッジに生じると、エンコードは遅れて発生します。図からもわかるように、ノイズ・ベクトルは振幅、位相、周波数に起因します。

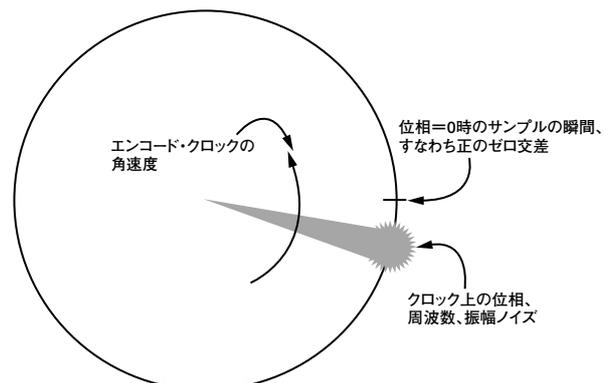


図1. クロック・ジッタの図式化：角度軸表示でのサンプル・クロック

クロック・ジッタを調べる従来からの方法としては、図2に示すように、スペクトルを観察するやり方もあります。この図では、ノイズの大部分がクロック信号の近くにかたまっています。しかし、スカート部でわかるように、ジッタが原因で周波数軸内の理想インパルスは実際には拡散しています。エネルギーの大部分は、目的の周波数の近くに分布していますが、ワイドバンド内に入っているものもかなりあります。位相ノイズが非常に高い周波数にまで及ぶことや、またADCエンコード・ピンが通常のコンバータのサンプル・レートよりかなり高い帯域幅に対応していることから、コンバータの性能はこのノイズによって影響を受けます。

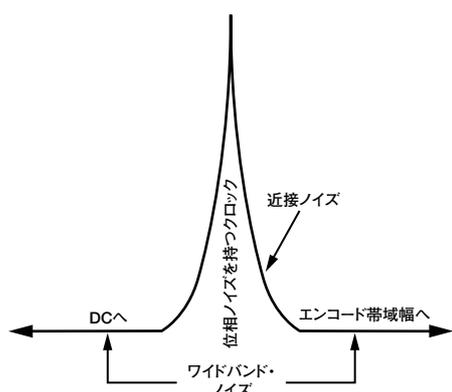


図2. クロック・ジッタの図式化：  
周波数軸表示でのサンプル・クロック

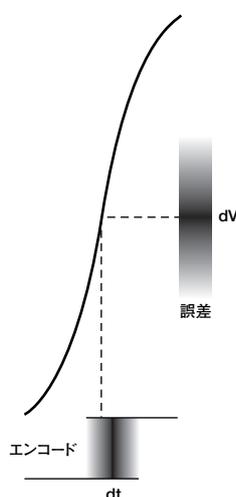


図3. クロック・ジッタの図式化：  
時間軸表示でのサンプル・クロック

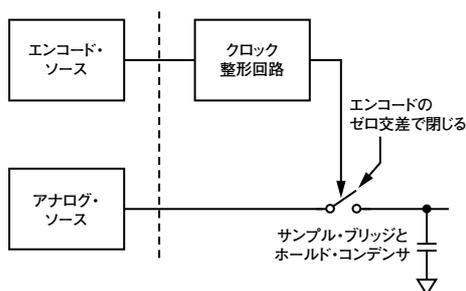


図4. ADCの代表的なサンプリング回路

### 位相/周波数変調サンプル時間の影響

前述のように、サンプリングのプロセスは時間軸での乗算であり、周波数軸での畳み込みになります。ミキサが2つのアナログ信号を時間軸で乗算すれば、その結果が周波数軸でのその2つの畳み込みになるのは明らかですが、サンプリングが時間軸での乗算になるという点はそれほど歴然としていないかもしれません。

サンプリングのプロセスについて考えてみましょう。アナログ入力が時間的に連続していることは明らかですが、サンプリング・クロックのほうは、基本はサイン波ですが、最終的にはエンコード信号のゼロ交差時に一定の振幅と有限の持続時間を持つ単位パルスによってサンプル・ブリッジ回路を駆動するのに使用されます。このプロセスは、時間軸での単位パルスとアナログ入力との乗算であり、したがって周波数軸での畳み込みになります。

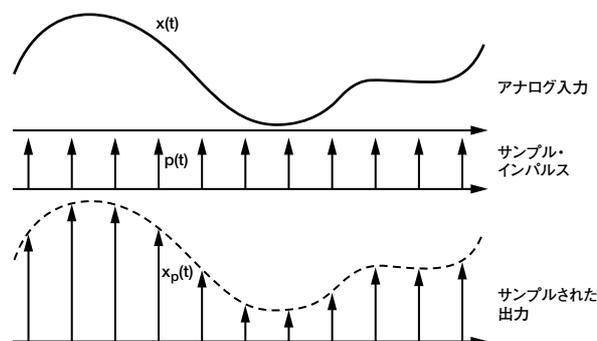


図5. アナログ入力、サンプル・パルス、  
サンプルされた出力

図5の $x(t)$ は時間的に連続したアナログ入力波形、 $p(t)$ は理想的なサンプリング関数、 $x_p(t)$ はサンプルされた出力を示しています。これらの項を使用し、出力サンプルを次式で表すことができます。

$$x_p(t) = x(t)p(t) \quad (4)$$

ここで

$$p(t) = \sum_{n=-\infty}^{+\infty} \delta(t-nT) \quad (5)$$

周波数軸では、これは次のように表すことができます。

$$X_p(w) = \frac{1}{2\pi} [X(w) \times P(w)] \quad (6)$$

$p(t)$ は時間軸でのパルス列であるため、周波数軸では次式に示すようなパルス列になります。

$$P(w) = \frac{2\pi}{T} \sum_{k=-\infty}^{+\infty} \delta(w-kw_s) \quad (7)$$

これを前の式に代入すると、

$$X_p(w) = \frac{1}{T} \sum_{k=-\infty}^{+\infty} X(w-kw_s) \quad (8)$$

式8は、サンプルされたアナログ入力スペクトルがサンプル・レート $w_s$ の整数倍で無限に繰り返されることを示しています。

クロックとアナログ入力間の畳み込みは、上述のように全スペクトルに表れますが、微量な値となります。また、クロックを中心とした近接スペクトルの細部はアナログ信号を中心とした近接スペクトルの細部との畳み込みが行われるため、これについて

も同じことが当てはまります。特にクロックを中心とした関連の位相ノイズはすべてアナログ入力との畳込みが行われ、デジタル化されたアナログ信号のスペクトル形状に歪みが生じます。クロック周辺の位相ノイズを調べるのは困難であるため、サイン波の位相変調を利用して位相ノイズの個々の周波数ラインの影響をシミュレートできます。

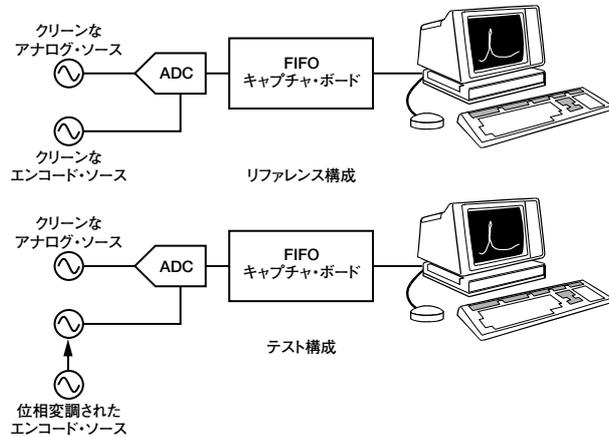


図6. 実験的なデータ・キャプチャの各種構成

図7は、エンコード・ソースのスペクトル特性を示しています。この例では、クロック・ソースが78MSPSであり、100kHzで位相変調が行われ、0.001ラジアン程度の偏差が適用されています。変調角度が比較的低いレベルであれば、サイドバンドの最初の要素だけがノイズ・フロアより高くなります。最初のサイドバンドは、エンコードのメイン・キャリア・パワーに対して約-66dBcです。エンコードのピークtoピーク電圧が2Vで、RMS値は0.707V RMSです。これにより、各スプリアス・トーンは0.3543mV RMSになります。

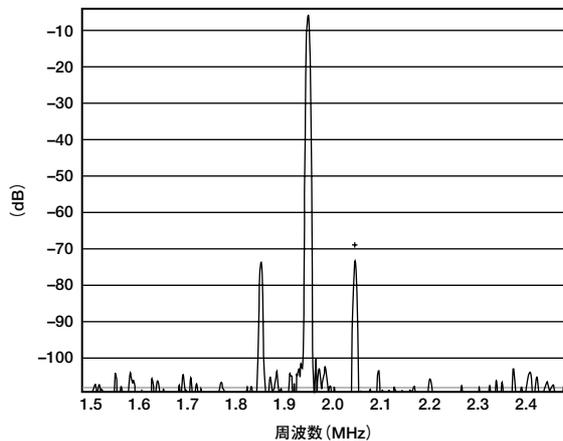


図7. 位相変調されたエンコード・ソースのスペクトル

PM変調した信号をADCのクロック・ポートに入力し、ピュアなCWトーンをアナログ入力ポートに入力しました。図8はこの結果を示したもので、PM変調したクロック・ソースとピュアなCWトーンの畳込みにより、予想どおりアナログ信号上にクロックのサイドバンドの複製が現れています。このプロットは式8のk項1つを示していますが、複製によって他の値のkが得られます。

問題は、どのようにして位相ノイズのレベルを予測するかです。サイン波の入力の場合、ADCからの位相ノイズは次式で予測できます。

$$V_{\text{phase\_noise\_ADCout}} = V_{\text{phase\_noise\_ADCin}} \times \left[ \frac{d(V_{\text{signal}})}{dt} \right] \left[ \frac{d(V_{\text{clk}})}{dt} \right] \quad (9)$$

この式では、位相ノイズ電圧が単一のサイドバンド電圧で、図7の片方のサイドバンドの1つの電圧と相関関係があることを前提としています。ほとんどのアプリケーションでは、式9を簡略化した次の式を使用できます。

$$V_{\text{phase\_noise\_ADCout}} = V_{\text{phase\_noise\_ADCin}} \times \frac{V_{\text{signal}} \times f_{\text{signal}}}{V_{\text{clk}} \times f_{\text{clk}}} \quad (10)$$

この簡易式は、図4に示したものと同一サンプリング・システムに当てはまります。エンコード信号はサイン波の波形になっていることを前提としています。エンコード信号がロジック信号の形式の場合、スループレートはエンコード信号の周波数に依存しないため、メーカーのデータシートから判断するか、直接測定して求めることになります。クロックのスプリアス電圧と周波数、それにアナログ入力の電圧と周波数がわかっている場合は、いずれかの式を使用すれば、簡単に出力のスプリアス・レベルを予測することができます。また、クロック電圧と信号電圧の比や信号の周波数およびスプリアス周波数は、出力のスプリアスに直接影響します。クロック電圧と信号電圧の比が決まれば、それが任意の入力スプリアスでの出力のスプリアス・レベルについての直接的な予測になります。この例では、クロック電圧と信号電圧の比は1:1です。

簡易式の  $V_{\text{phase\_noise\_ADCin}}$  は、位相変調したシングル・サイドバンド信号のレベル、またはクロック信号上で変調された位相ノイズのシングル周波数ラインです。  $V_{\text{clk}}$  はクロックのRMSレベル、  $V_{\text{signal}}$  はメイン・アナログ信号のRMSレベル、  $f_{\text{clk}}$  はクロックの周波数、  $f_{\text{signal}}$  はメイン・アナログ信号の周波数です。式10を少し変更すると式11になります。式11では、アナログ信号レベルやエンコード・クロック・レベルなど、他の外部の従属変数や独立変数とのさまざまな関係を示しています。

$$\frac{V_{\text{phase\_noise\_ADCout}}}{V_{\text{signal}}} = \frac{V_{\text{phase\_noise\_ADCin}}}{V_{\text{clk}}} \times \frac{f_{\text{signal}}}{f_{\text{clk}}} \quad (11)$$

クロック設計者の多くはdBcで計算するため、式11を対数の形に変えれば、必要な位相ノイズ性能または予想する位相ノイズ性能を簡単に計算できます。式12の最初の項 ( $\text{Noise}_{\text{ADCout}}$ ) は、結果として生じるノイズ (dBc単位) であり、リファレンスをメイン出力信号レベルとしています (すなわち、結果はdBc単位)。2番目の項 ( $\text{Noise}_{\text{CLKin}}$ ) は、メイン・クロック・レベルを基準にしたdBc単位のクロックのノイズで、任意のオフセットにおけるノイズまたは信号エネルギーを示しています。3番目の項は、サンプル・レートに対するアナログ入力周波数の対数比です。

$$\text{Noise}_{\text{ADCout}} = \text{Noise}_{\text{CLKin}} + 20 \log \left( \frac{f_{\text{signal}}}{f_{\text{clk}}} \right) \quad (12)$$

前出のスペクトル・プロットが得られた $-66\text{dBc}$ を $\text{Noise}_{\text{CLKin}}$ に適用します。相対出力を求めるには、アナログ周波数とエンコード周波数の関係がわかっていなければなりません。次の例では、アナログ周波数をそれぞれ $30.62\text{MHz}$ と $108.62\text{MHz}$ に設定しています。したがって、出力スペクトルのスプリアスのレベルは式12を使って計算できます。

$$-66\text{dBc} + 20 \log \left( \frac{30.62\text{MHz}}{78\text{MHz}} \right) = \text{Noise}_{\text{ADCout}} = -74.1\text{dBc} \quad (13)$$

および

$$-66\text{dBc} + 20 \log \left( \frac{108.62\text{MHz}}{78\text{MHz}} \right) = \text{Noise}_{\text{ADCout}} = -63.1\text{dBc} \quad (14)$$

図8に示すように、結果は上式で予測したものとまったく同じです。したがって、任意のアナログおよびエンコードに対してコンバータがどのように反応するかを予測するツールとして、この式を利用できます。

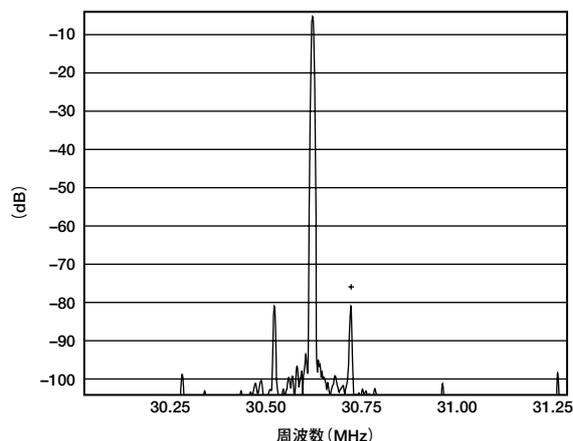


図8. 位相変調されたエンコードで $30.62\text{MHz}$ のCWトーンをサンプルした場合：ノイズ・レベルは $-74\text{dBc}$

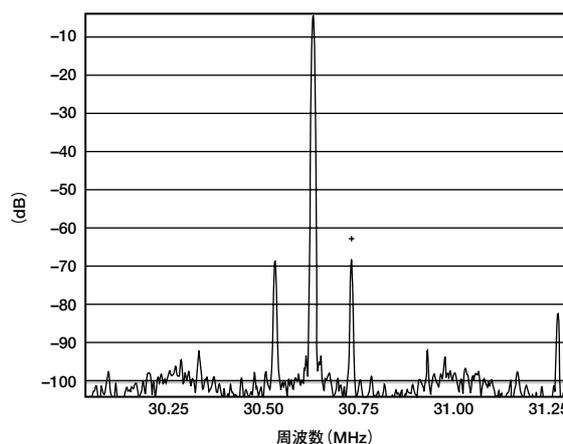


図9. 位相変調されたエンコードで $108.62\text{MHz}$ のCWトーンをサンプルした場合：ノイズ・レベルは $-63\text{dBc}$

図9では、2つの測定の間での劣化に注目してください。S/N比（サイド・トーンが優勢）またはスプリアスのみを比較すると、ジッタが原因で、周波数の増大に伴って予想どおりに劣化が生じています。入力周波数は2倍に増加すること（アナログ入力スルーレートが増加すること）、ジッタに起因するエネルギーが $6\text{dB}$ ずつ増大すると予測できます。この例では、 $30.62\text{MHz}$ から $108.62\text{MHz}$ の周波数の変化は3.55倍であり、理論的には $6 \times \log_2(108.62/30.62)$ 、すなわち $10.9\text{dB}$ のノイズの増大に相当します。この2つの測定の間では、予測した通り、スプリアス・レベルが $-74\text{dBc}$ から $-63\text{dBc}$ に変化（ $11\text{dB}$ の差）しています。

したがって、「参考文献」で紹介しているアプリケーション・ノートでも述べているようにクロックのワイドバンド・ノイズだけではなく、近接ノイズも重要であるということが明らかです。近接ノイズもワイドバンド・ノイズと同じような挙動を示しますが、全体的な影響はいくらか異なっています。チャンネル帯域幅外のノイズはノイズ全体をほぼ一様に増大させますが、近接ノイズは相互ミキシングを発生させ、近くの信号のみに影響します。

次の例からは、クロック周辺の2つの領域を定義できます。最初の領域はクロックの中心周波数から始まり両方向の目的のチャンネル帯域幅の $1/2$ のところまで終わります。（場合によってはナイキスト帯域全体にわたることも、ナイキスト帯域よりいくらか狭くなることもあります。これはエンド・アプリケーションによって異なります。）もう1つの領域は、クロックから目的のチャンネル帯域幅の $1/2$ 離れた場所から始まり、一方はDC、もう一方はデータ・コンバータ用のエンコード・ロジックの帯域幅（内部の限界と外部の限界を含んでおり、その範囲は多くの場合トランスのようなデバイスで制限されます）で終わります。ほとんどの場合、エンコード回路の帯域幅は数百MHzにわたり、またダイナミック・レンジが高いコンバータではGHzの範囲にまで広がります。エンコード回路から入力されるスペクトルは、サンプリング・プロセスにおいて目的のアナログ入力との畳込みが行われたスペクトルとなります。

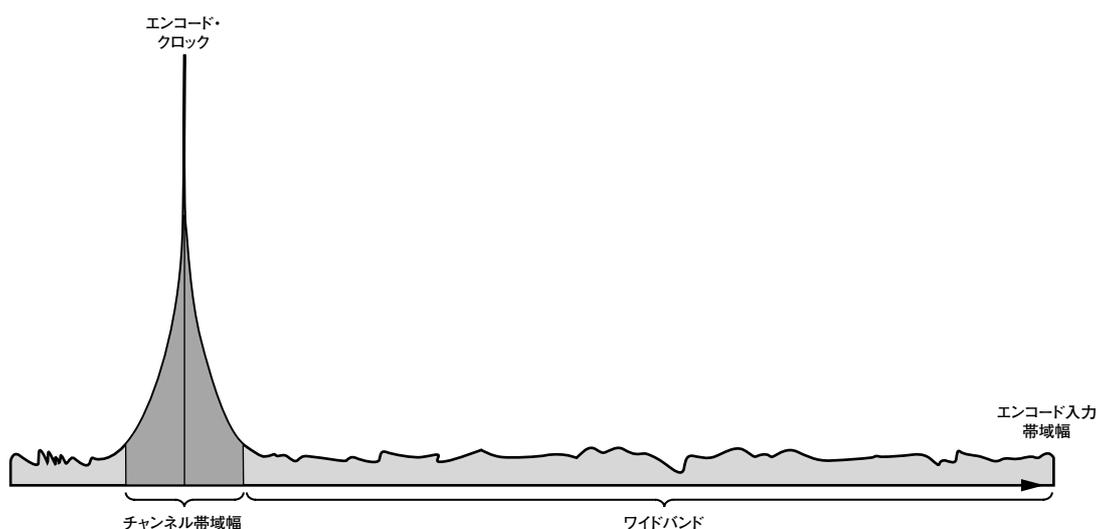


図10. エンコード・クロックの代表的なスペクトル：DCからADCのエンコード入力の帯域幅（通常は>750MHz）までの範囲（実寸ではありません）

ここでは、図10に示すように、エンコード信号を目的のアナログ入力と畳み込むとクロックのスペクトル形状がアナログ信号そのもの上に現れるということを明確に把握しておく必要があります。ただし、ADCはサンプル化システムであるため、サンプル・クロックのワイドバンド・ノイズは当該帯域内で折り返されます。これによって、エンコード・ポートに入ったワイドバンド・ノイズのすべてがナイキスト帯域に折り返されます。こうして、ノイズが大量に蓄積され、S/N比が大幅に低下することになります。

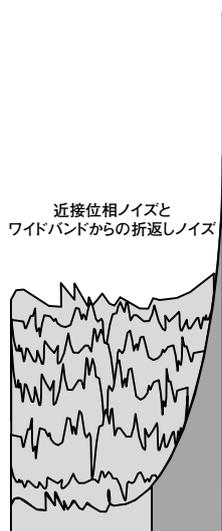


図11. サンプル後のエンコード・クロックの代表的なスペクトル：エンコード帯域幅（750MHz）はナイキスト帯域に折り返されます。

図11に示すように、ワイドバンドノイズはすべてナイキスト・スペクトル内に折り返されるので、そのエネルギーが蓄積されて、近接位相ノイズに含まれるパワーよりも大きくなる可能性があります。実際、エンコード帯域幅が750MHzであれば、この帯域幅からのノイズは61.44MSPSクロックで24回以上折り

返されます。その結果、ワイドバンドのジッタに起因するノイズ・スペクトル密度NSD（低いアナログ周波数の場合、量子化と熱ノイズでもNSDが決まります）はほぼ14dB増大します。逆に、近接ノイズ（当該信号の帯域幅として定義されるもの）は、定義により折り返されることはあり得ないため、1回影響するだけです。実装の観点からすると、高速スレーイング・エッジは正確なクロック・エッジの位置という点から重要ですが、クロックのワイドバンド・ノイズの量を制限することもコンバータの性能を最大限引き出すうえで同じように重要であるため、多くの場合、両者のバランスを図ることがなかなか難しくなります。

ジッタが問題となるIFサンプリング・システムでは、ジッタのみに基づくS/N比の限界を次式で求めることができます。

$$\text{SNR}_{\text{FS}} = -20 \log(2\pi f_{\text{analog}} t_{\text{jitter,rms}}) \quad (15)$$

ここで、

$f$ はアナログ入力周波数です。

$t$ はジッタです。

$t$ についてこの式を解くと、次式が得られます。この場合、必要なS/N比が与えられていれば、必要なクロック・ジッタを求めることができます。

$$\frac{10^{\frac{-\text{SNR}_{\text{FS}}}{20}}}{2\pi f_{\text{analog}}} = t_{\text{jitter,rms}} \quad (16)$$

しかし、多くのアプリケーションでは、ジッタだけでクロック・ソースの性能を十分に指定できるわけではありません。PLLやVCO回路で行われてきたように、中心周波数からオフセットしたポイントで、スペクトル密度を使ってクロック位相ノイズを表したほうがよいこともあります。

考慮すべき位相ノイズには2種類あります。最も一般的な近接ノイズは $1/f$ ノイズです。これはクロックの中心周波数に最も近いノイズで、オフセット周波数の増大に伴って急速に減衰します。すでに述べたように、ADCサンプリングの畳込み処理は単にこの効果を出力に反映させるだけです。したがって、 $1/f$ クロック・ノイズは主に、当該信号の位相誤差、および目的のチャンネルに対する隣接/代替チャンネルの相互ミキシングの影響という点で重要になります。 $1/f$ ノイズがノイズ・フロアに達したら、前述したように、問題は最終的に帯域内にあるワイドバンド熱ノイズへと移ります。 $1/f$ ノイズが相互ミキシングの要件を十分に満たしていれば、ワイドバンド熱ノイズへと焦点を移すことができます。

ここでは、サンプリング処理のノイズ限界が完全にクロックのワイドバンド・ノイズ内にあるものと仮定します（別のところで説明する $1/f$ ノイズの場合とは異なります）。この場合、クロック・ソースに対するワイドバンド限界を求め、それを従来のクロック・ジッタ式と等しいものにすることができます。

エンコード・クロックのワイドバンド・スペクトル密度を求めるには、まず必要な出力スペクトル密度を求めます。

$$\text{ADC}_{\text{spectral density}} = -\text{SNR}_{\text{FS}} - 10\log_{10}\left(\frac{\text{サンプル・レート}}{2}\right) \quad (17)$$

ジッタに関する従来の式をS/N比の式に代入すれば、ジッタを基準にしたスペクトル・ノイズ密度を直ちに求めることができます。

$$\text{ADC}_{\text{spectral density}} = 20\log_{10}(2\pi f_{\text{analog}} t_{\text{jitter, rms}}) - 10\log_{10}\left(\frac{\text{サンプル・レート}}{2}\right) \quad (18)$$

これはワイドバンドであるため、 $1/f$ ノイズがノイズ・フロアに交差するポイントから、ナイキスト・レート（または下側のDC）までのオフセット周波数に有効です。高性能コンバータには500~1000MHzのエンコード帯域幅があるため、エンコード入力のノイズは、ナイキスト帯域に何回も折り返されます。したがって、実際のクロック・スペクトル密度を求めるには、ノイズの折返しのないスペクトル密度について概算する必要があります。ノイズはガウス・ノイズで、非コヒーレントと考えられるため、スペクトルが倍になるたびにノイズが倍になる（あるいは密度が半分になればノイズも半分になる）ことを考えれば、かなり正確な概算ができるはずです。

したがって、次の式で概算値が得られます。

$$\begin{aligned} \text{Clock}_{\text{spectral density}} &= 20\log_{10}(2\pi f_{\text{analog}} t_{\text{jitter, rms}}) \\ &- 10\log_{10}\left(\frac{\text{サンプル・レート}}{2}\right) \\ &- 3\log_2\left(\frac{\text{クロック帯域幅}}{\text{サンプル・レート}}\right) - 20\log\left(\frac{f_{\text{analog}}}{f_{\text{sample rate}}}\right) \end{aligned} \quad (19)$$

この式を使用すれば、クロックの必要なワイドバンド・スペクトル密度を求めることができます。この結果は、ADCへのナローバンド・シングル・トーン入力の場合に有効になります。他の波形との関係は本書の論題から外れますが、ナローバンドのサイン波はほぼ例外なく帯域制限されたアナログ入力の最悪条件であり、解析ではかなり役に立ちます。一方、CDMA2000やWCDMAのような拡散スペクトル信号はそれほど厳しいものではなく、ナローバンドの信号源で予想以上の高い性能が得られます。

すでに示したように、式19を使用して、必要なジッタで求められるスペクトル密度を決めることができます。したがって、IF周波数とジッタの仕様が与えられていれば、クロックのスペクトル密度を簡単に概算できます。たとえば、IF周波数が108.62MHz、ジッタが0.2ps、サンプル・レートが61.44MSPS、クロック帯域幅が350MHz（トランス結合により制限される）の場合、クロック・ノイズのスペクトル密度（NSD）は次のようになります。

$$\begin{aligned} \text{Clock}_{\text{spectral density}} &= 20\log_{10}(2\pi \times 108.62\text{MHz} \times 200f_s) \\ &- 10\log_{10}\left(\frac{61.44\text{MHz}}{2 \times 1\text{MHz}}\right) \\ &- 3\log_2\left(\frac{350\text{MHz}}{61.44\text{MHz}/2}\right) \\ &- 20\log\left(\frac{108.62\text{MHz}}{61.44\text{MHz}}\right) \end{aligned} \quad (20)$$

これにより、NSDは $-167.7\text{dBc/Hz}$ となります。ノイズ・ジッタの影響が熱ノイズや量子化ノイズをどれほど上回るか判断するのは容易ではありません。実際、時間ジッタのほとんどは高周波領域で圧倒的に多く見られます。この場合、NSDは高くなります。データシートを見ればすぐにわかりますが、そうしたアナログ周波数ではジッタが支配的なS/N比は73dBFSに近い値になります。このため、こうしたクロックの予想NSDはほぼ350MHzにわたり $-168\text{dBc/Hz}$ （平均値）に近い値となり、NSDはクロック周波数の近くで高くなり、クロック周波数の遠方で低くなると考えられます。

式19を用いてクロック・ジッタを求めると、以下のように書き換えることができます。これにより、必要なクロック・ノイズ

ズ・スペクトル密度と他のすべての項が与えられていれば、必要なクロック・ジッタの概算値を求めることができます。

$$t_{\text{jitter}_{\text{rms}}} = 10^{\frac{\left( \text{Clock}_{\text{spectral density}} + 10 \log_{10} \left( \frac{\text{サンプル・レート}}{2} \right) + 3 \log \left( \frac{\text{クロック帯域幅}}{\text{サンプル・レート}/2} \right) + 20 \log \left( \frac{f_{\text{analog}}}{f_{\text{sample rate}}} \right) \right)}{20} \cdot \frac{1}{20\pi f_{\text{analog}}} \quad (21)$$

## 位相ノイズとジッタ

位相ノイズとジッタの間には直接的な関係があるため、この2つを互いに関係づけることができます。データ・コンバータの場合、一般にワイドバンド・ノイズが最も重要と考えられます。次の図は、代表的なクロック水晶発振器のワイドバンド・ノイズ特性を示しています。ここでは、近接ノイズ ( $1/f^n$ ) はこの計算から除外してあります。これらの数値はシステム全体で重要ですが、ADCのノイズ性能にとってはそれほど重要ではありません (ただし、EVMと相互ミキシングにとっては非常に重要です)。

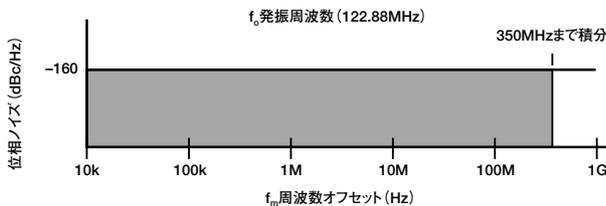


図12

ジッタを求めるには、まず帯域幅全体 (この場合は10kHzの周波数オフセットから350MHzまで) でノイズを積分して全ノイズ・パワーを求めます。10kHzは350MHzに比べると小さい値なので、ワイドバンド・ホワイト・ノイズの場合、下限値が計算に影響することはほとんどありません。対数領域での積分は単なる加算です。したがって、全ノイズ・パワーは次式で求められます。

$$\text{noise}_{\text{integrated}} = -160 \text{dBc/Hz} + 10 \log [350 \times 10^6 - 10 \times 10^3] = -74.56 \text{dBc} \quad (22)$$

目的は変調の角度を求めることです。この作業は、確認された位相ノイズのパワーに基づいて行う必要があります。変調位相器はメイン・キャリアに対して90度であるため小さな角度ができますが、この角度はメインの信号電圧を基準にノイズ電圧を求めることで推定できます。変調角度は小さいと考えられることから、その角度は2つの測定可能な数値 (キャリア電圧とノイズ電圧) によって得られるスロープとほぼ等しくなります。ここでの測定対象はパワーであるため、これを電圧に変換する必要があります。これは、パワーとインピーダンスを掛けて、平方根をとれば得られます。

必要なのは同じ負荷にかかる2つのパワーの比であることから、インピーダンスは式から削除します。同様に、パワーはdBc単位で、メインの信号は基準であることから、残りの項は位相ノイズの測定値だけで、これをdBcからパワーに変換しなければならないことがすぐにわかります。平方根をとると、次の例に示すように角度が得られます。一般に位相ノイズはクロックの両側に発生するため、通常使用されるシングル・サイドバンドの数値を2倍し、反対側のサイドバンドのノイズも計算に入れる必要があります。次式の平方根内の係数2がそれに当たります。ここでは、サイドバンドはワイドバンド・ノイズに対して関連していないものとします。

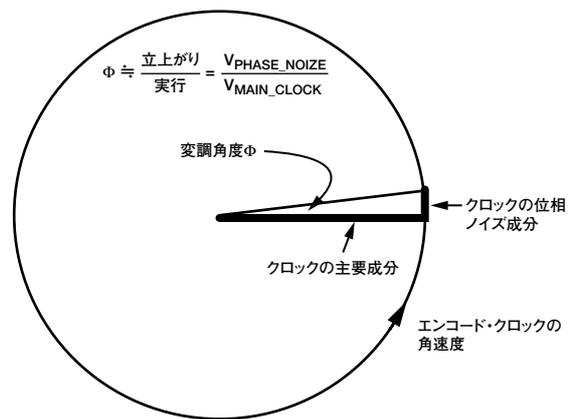


図13

$$\text{phase\_jitter}_{\text{rms}} = \sqrt{2 \times 10^{\text{noise}_{\text{integrated}}/10}} = \sqrt{2 \times 10^{-74.56/10}} = 2.655 \times 10^{-4} \text{ラジアン} \quad (23)$$

これは回転ベクトルであるため、位相角の回転に必要な時間を求めるには、ラジアン単位の位相ジッタを角周波数  $2\pi f_{\text{clk}}$  で除算する必要があります。

ここからRMSジッタが得られます。

$$\text{time\_jitter}_{\text{rms}} = \frac{\text{phase\_jitter}_{\text{rms}}}{2\pi f_{\text{clk}}} = \frac{2.655 \times 10^{-4}}{2\pi \times 122.88 \times 10^6} = 0.343 \text{ps} \quad (24)$$

この基本を理解すれば、もっと複雑な例を考えることができます。この場合、曲線の複数の領域を個別に積分し、それらを合わせて合計ジッタを得ることができます。

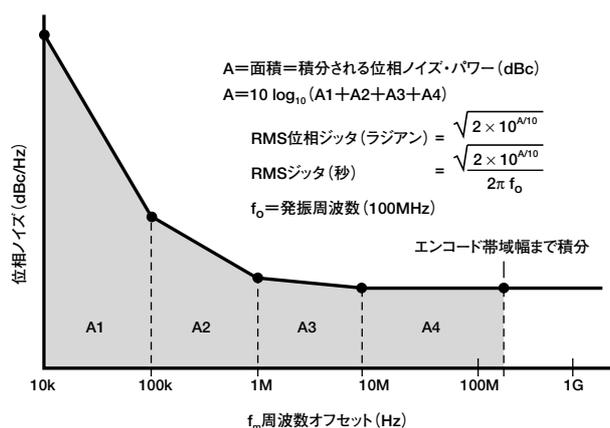


図14

この例では、曲線に沿って4つの点（および3つの領域）が定義されています（図15参照）。どの領域も面積を求める場合は、面積に関する台形則を使って「平均」ノイズ密度を計算する必要があります。平均ノイズ・パワーは、2つのコーナー間の中間となります。1/f領域で精度を上げるには、Leesonの方程式を使って曲線下の面積を予測する必要があります。ただし、この方法は一次解析に関しては十分に正確です。たとえば、

100Hzから1000Hzまでの領域では、コーナーは $-120\text{dBc/Hz}$ と $-150\text{dBc/Hz}$ で、中間点は $-135\text{dBc/Hz}$ です。これを高さの項として、またベースを $900\text{Hz}$ として使用すれば、この領域のノイズは次式で表すことができます。

$$\text{noise}_{\text{integrated}} = \left( \frac{-120 - 150}{2} \right) \text{dBc/Hz} + 10 \log [1000 - 100] = -105.46 \text{dBc} \quad (25)$$

位相ジッタ、時間ジッタへと順次変換する式（式23と24）を使用すれば、最初の領域について、約10フェムト秒のジッタ結果が得られます。他の領域も同じ方法で求めることができます。その結果は193フェムト秒になります。

ワイドバンド・ジッタは上述したようなワイドバンドS/N比とノイズ・スペクトル密度を用いて求めることができますが、近接ノイズの場合は違います。近接位相ノイズ ( $1/f^n$ ) は、相互ミキシングを利用して求めるのが最適です。相互ミキシングは、目的の弱い信号の近くに強い信号があるときに発生します。クロック（または局部発振器）の位相ノイズが好ましくない信号とミックスされると、目的の信号のノイズ・フロアが増大します。位相ノイズは一定以上大きくなると目的の弱い信号を圧倒し、その信号消失の原因となる可能性があります（図16a、16bを参照）。

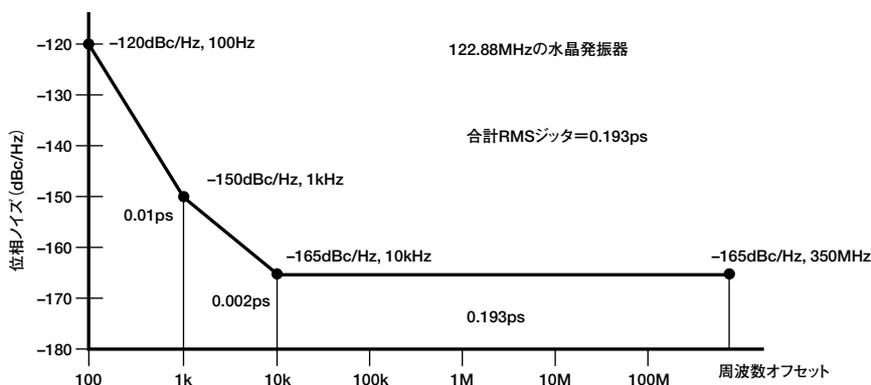
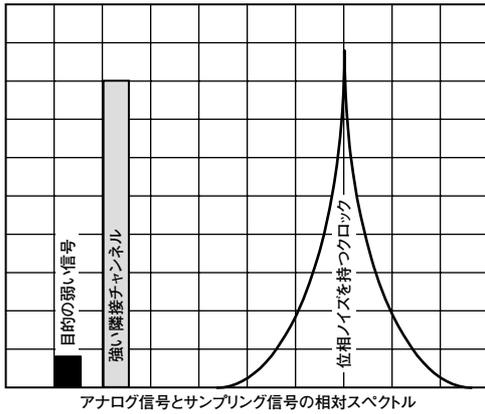
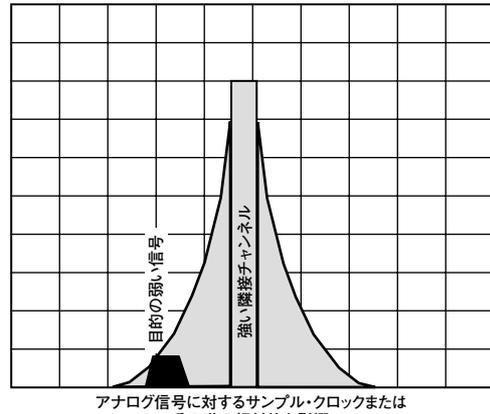


図15



アナログ信号とサンプリング信号の相対スペクトル

図16a



アナログ信号に対するサンプル・クロックまたはその逆の相対的な影響

図16b

図16aには、当該信号の相対スペクトル密度を示しています。ここでは、クロックのスカート部の形状に注目してください。このクロックを使ってアナログ入力をサンプリングすると、このスカートと変換対象の全アナログ信号との畳込みが行われます。その結果、その信号すべてがこの一般的な形を形成します。上述したように強い近接信号が目的の弱い信号を圧倒するようになると、信号の処理がこれ以上できなくなります。

通信方式の要件はすべて異なっているため、近接位相信号の一般的な要件を決めることはできません。しかし、信号のスペーシングやレベルの規格が決まっていれば、位相ノイズ要件を設定できます。

たとえば、05.05のGSM要件に基づいて、以下の仕様を概算で求めることができます。これは規定の最小感度に基づくもので、4dBの全ノイズ指数を満たすことや、クロック・ソースのアンテナ基準の位相ノイズを有効なノイズ・スペクトル密度より

6dB小さくすることなどを規定しています。多くの場合、標準的なレーバの基準感度は必要な最小感度よりかなり高くなります。また、サンプリング（またはミキシング）前に選択できることによって、ほとんどの場合、dB同士の単位で簡単に比較することができます。

**隣接チャンネルからの位相ノイズ**

同じようにしてCDMA2000の要件を求めることもできます。CDMA2000はかなりワイドバンドであるため、位相ノイズのスペクトル密度は最近傍のコーナーで条件を満たし、チャンネルの帯域幅全体にわたって改善します。これらの仮説を選択したのは、チャンネルのどこにも乱れを生じないようにするためです。こうしないと、分散通信チャンネルの利点が損なわれます。したがって、位相ノイズに起因するノイズは最近傍のコーナー（-174dBm/Hz）でkT/Hzノイズと同じになると考えられます。

表I. 近接チャンネルからの位相ノイズ

ワイドバンド・アプリケーション におけるGSM 05.05	オフセット	性能*
隣接1+9dBc	100~300kHz	約-101dBc/Hz
隣接2+41dBc	300~500kHz	約-133dBc/Hz
600kHzブロッカー-26dBm	500~700kHz	約-151dBc/Hz
800kHzブロッカー-16dBm	700~2.9MHz	約-161dBc/Hz
3MHzブロッカー-13dBm	2.9~バンド・エッジ	約-164dBc/Hz

\* この数値は、位相ノイズに起因するノイズが全体的なレシーバの熱ノイズより6dB小さいと仮定した場合の値です。ノイズ指数の代表値は4dBです。したがって、総熱ノイズは-170dBm/Hz（アンテナを基準）であり、それに相当する位相ノイズはこれを6dB下回って-176dBm/Hzになります。

表II

CDMA2000 (仕様による)	オフセット	性能*
750kHzで+50dBc	125kHz	約-107dBc/Hz
900kHzのオフセットで +87dBc	275kHz	約-144dBc/Hz

\* 位相ノイズに起因するノイズは、公表されているリファレンス感度のKTノイズと同じであってもかまいません。

## 参考文献

Bowick. 1995. *RF Circuit Design*. Sams.

Brannon, Brad. 2000. "Aperture Uncertainty and ADC System Performance." Applications Note AN-501. Analog Devices, Inc. (9月)

Curtin, Mike and Paul O'Brien. 1999. "Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 2." *Analog Dialogue*, Volume 33, Number 5.

Kester, Walt, ed. 2004. *Analog-Digital Conversion*. Analog Devices, Inc.

Murden, Frank. "Effects of Clock Phase Noise on ADC SNR." 未発表

Oppenheimer, Willisky, and Young. 1983. *Signals and Systems*. Prentice-Hall.

Smith, Paul. 2004. "Little Known Characteristics of Phase Noise." Application Note AN-741. Analog Devices, Inc. (8月)

