

高速 DAC のテストと評価の理解

著者: Justin Munson

目的

このアプリケーション・ノートでは、高速 A/D コンバータ (DAC) の性能をキャラクタライゼーションする際にアナログ・デバイゼスの高速コンバータ・グループが使っているテスト方法について説明します。このアプリケーション・ノートは、デバイスのデータ・シートを使って高速 DAC を評価する際に参考として使用してください。

ダイナミック・テストのハードウェア・セットアップ

図 1 に、スプリアス・フリー・ダイナミック・レンジ(SFDR)、相互変調歪み(IMD)、ノイズ・スペクトル密度(NSD)のような交流(AC)条件テストの一般的なハードウェア・セットアップを示します。ダイナミック・テストの基本セットアップには、DAC クロックの正弦波信号源、低ノイズ電源、スペクトル・アナライザ、データ・パターン・ジェネレータが含まれます。任意波形ジェネレータ(AWG)からフィールド・プログラマブルなゲート・アレイ(FPGA)に至るまでの様々なタイプのパターン・ジェネレータを使って、DACへ入力するCMOSまたはLVDSデータを駆動することができます。また、アナログ・デバイゼスは、ベンチ評価を支援するデータ・パターン・ジェネレータも提供しています。

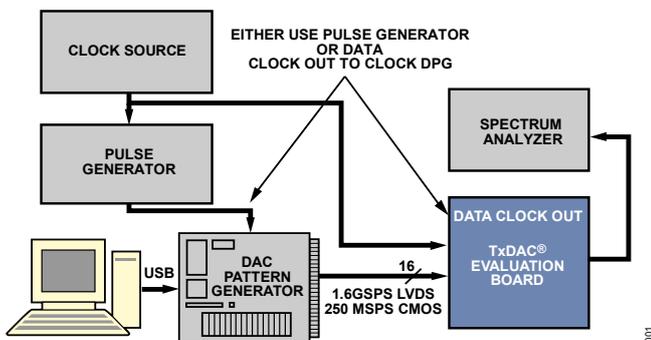


図 1.一般的な AC キャラクタライゼーション・テストのセットアップ

データ・パターン・ジェネレータ

データ・パターン・ジェネレータ(DPG)は、アナログ・デバイゼスの高速DAC製品の評価を簡素化するためにデザインされています。DPGのブロック図を図 2 に示します。このDPGは、シリアルLVDSポートから最大 1.6 GSPSのLVDSデータを、ダイレクトLVDSポートから 800 MSPSのLVDSデータを、それぞれ出力することができます。また、各 16 ビットCMOSポートから最大 250 MSPSのCMOSデータも出力することができます。この

DPGは、複素波形の発生に使用できる最大 512 MBのRAMを提供しています。

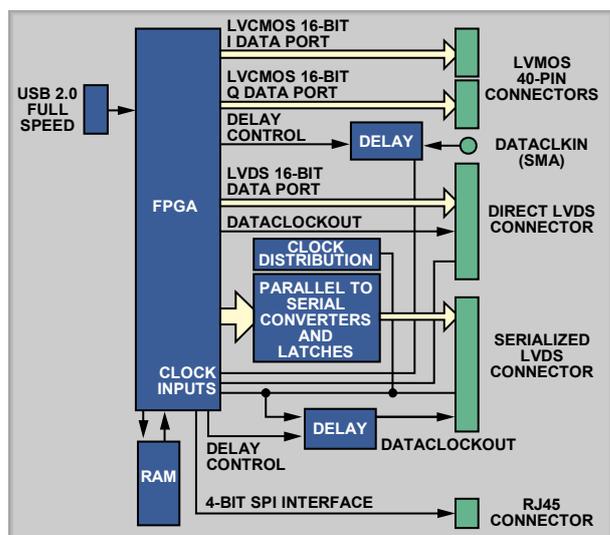


図 2.DPG のブロック図

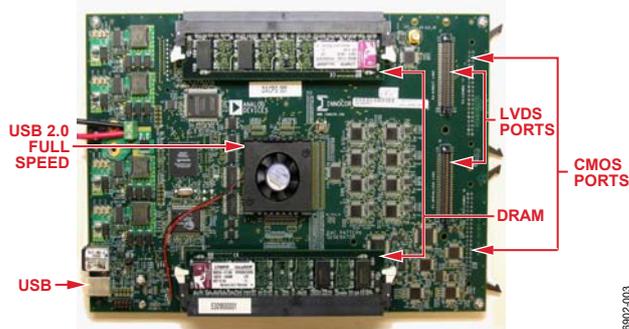


図 3.DPG ボード

DPG 用の高レベル・ソフトウェアがダイナミック・リンク・ライブラリ(DLL)として内蔵されています。この DLL を使うと、MATLAB®、LabVIEW™、DLL 内でルーチン呼び出すことができるその他のソフトウェアから DPG を制御することができます。DPG で提供されるソフトウェアを使うと、ユーザはシングル・トーンとマルチ・トーンの正弦波を発生して、LabVIEW 実行可能形式ファイルを使ってユーザ発生パターンをロードすることができます。

目次

目的.....	1	クロストーク.....	16
ダイナミック・テストのハードウェア・セットアップ.....	1	Sinx/xロールオフ.....	16
データ・パターン・ジェネレータ.....	1	DCテストの定義.....	17
DACベンチ・テスト用装置.....	3	フル・スケール・ゲイン.....	17
ベクタ生成用のLABVIEW実行可能形式.....	3	ゲイン誤差.....	17
VisualAnalog.....	4	オフセット.....	17
DACクロックの信号源.....	6	オフセット誤差.....	17
スペクトル・アナライザ.....	6	温度ドリフト.....	18
デジタル・マルチメータ.....	7	電源変動除去比.....	18
電源.....	7	ゲイン・マッチング.....	18
ACテストの定義.....	8	直線性.....	18
シングル・トーン、帯域内、スプリアス・フリー・ダイナミック・レンジ.....	8	積分非直線性誤差.....	18
帯域外スプリアス・フリー・ダイナミック・レンジ.....	9	微分非直線性誤差.....	18
総合高調波歪み.....	9	単調性.....	18
2 トーン相互変調歪み.....	9	デジタル入力タイミング.....	21
ノイズ・スペクトル密度.....	12	セットアップ・タイム.....	21
隣接チャンネル・リーク除去比または隣接チャンネル電力除去比.....	15	ホールド・タイム.....	21
		キープアウト・ウインドウ.....	21

DACベンチ・テスト用装置

このセクションでは、高速 DAC のキャラクタライゼーションに必要なハードウェアとソフトウェアについて説明します。

アナログ・デバイゼスは、ベンチ評価を支援する DPG を提供しています。DAC をテストするパターンは、DPG に添付されている LabVIEW 実行可能形式またはアナログ・デバイゼスが提供する VisualAnalog™スイートを使って発生することができます。

ベクタ生成用のLABVIEW実行可能形式

DAC を評価するためには、シングル・トーンとマルチ・トーンの連続波形(CW)パターンを発生して、種々の通信規格に対するベクタをロードする必要があります。LabVIEW 実行可能形式が DPG に添付されているため、これらの両機能を実行することができます。DPG に添付されている CD 内にあります。

LabVIEW CW トーン・ジェネレータ(Multitone_dpg_79_mr.vi)のメイン・ウィンドウを図 4 に示します。

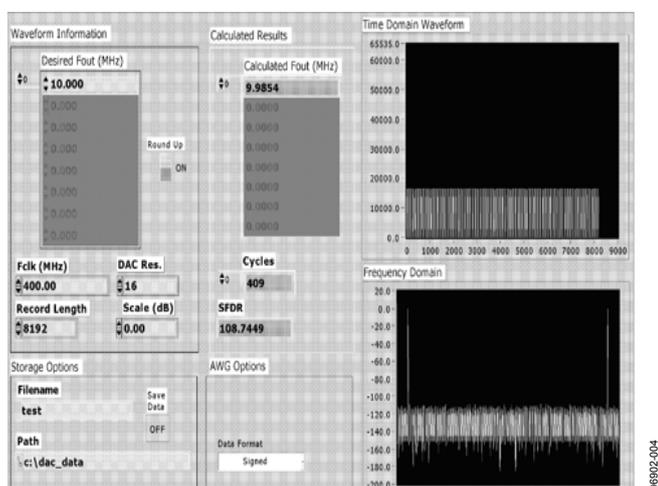


図 4. LabVIEW Multitone_dpg_79_mr.vi のメイン・ウィンドウ

CW ベクタを発生するためには次のパラメータを設定する必要があります。

- Desired F_{OUT} (MHz): CW トーンの周波数。
- Fclk (MHz): DAC のサンプリング・レート。
- DAC Res.: 被テスト DAC の分解能。
- Record Length: レコード長。DPG にロードするためにはこの長さを 16 で除算する必要があります。
- Scale (dB): CW ベクタのデジタル・スケール。
- Data Format: 符号付きまたは符号なしバイナリ・データのパターン。

ベクタ・ローダ・プログラム(LoadVector_dpg_79_mr.vi)のメイン・ウィンドウを図 5 に示します。ファイル内の値は、選択した分解能に応じた DAC の入力範囲(0~FS)を表す符号なしフォーマットの整数とする必要があります。このプログラムは、符号付きデータ・フォーマットをサポートしていません。このプログラムはLVCMOSとLVDSをサポートしており、DPG Mode ドロップダウン・ボックスから選択することができます。

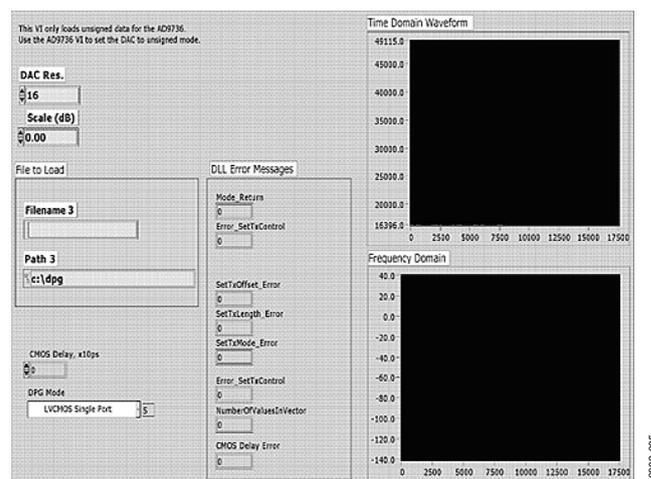


図 5. LabVIEW LoadVector_dpg_79_mr.vi のメイン・ウィンドウ

最終 LabVIEW VI ロード・ベクタ・ウィンドウは LoadVector_dpg_79_mr.vi ウィンドウと殆ど同じですが、2 ポート CMOS モードで動作する際におよび Q ベクタをロードできる点が異なります。VI ロード・ベクタのメイン・ウィンドウを図 6 に示します。

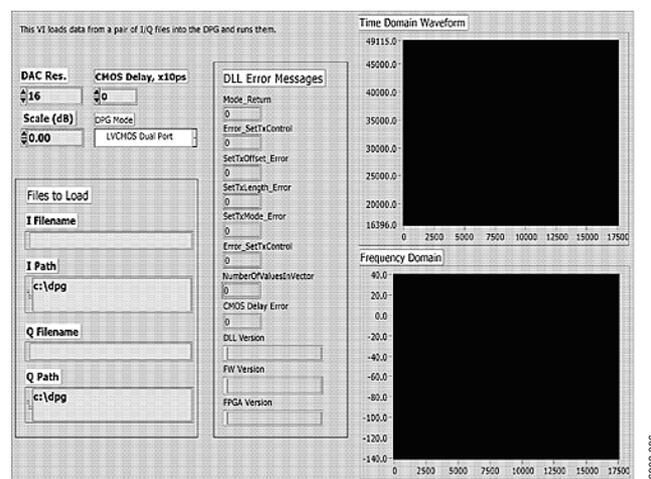


図 6. LabVIEW LoadVector_dpg_79iq_mr.vi のメイン・ウィンドウ

VisualAnalog

VisualAnalogは、ADCとDACのテストとキャラクタライゼーションを支援するためにアナログ・デバイセズが開発したソフトウェア・スイートです。このソフトウェアは、DPGとシームレスにインターフェースし、種々のデジタル・ベクタを発生することができます。VisualAnalogはLabVIEWソフトウェアと同様に、CWトーンを発生する機能を提供し、種々の通信規格のベクタをロードします。

シングル・トーンCWを発生するために必要なブロックを 図 7 に示します。図 8 と 図 9 には、1 キャリアWCDMA (Wideband Code Division Multiple Access)ベクタをロードするため、および1 キャリア・ベクタから4 キャリアWCDMAベクタを生成するために必要なブロックを示します。VisualAnalogはWCDMAベクタを生成できませんが、外部で発生したWCDMAベクタをロードすることができます。このベクタを再サンプルまたはミックスして、1 つのベース・ベクタから種々のWCDMAベクタを生成することができます。

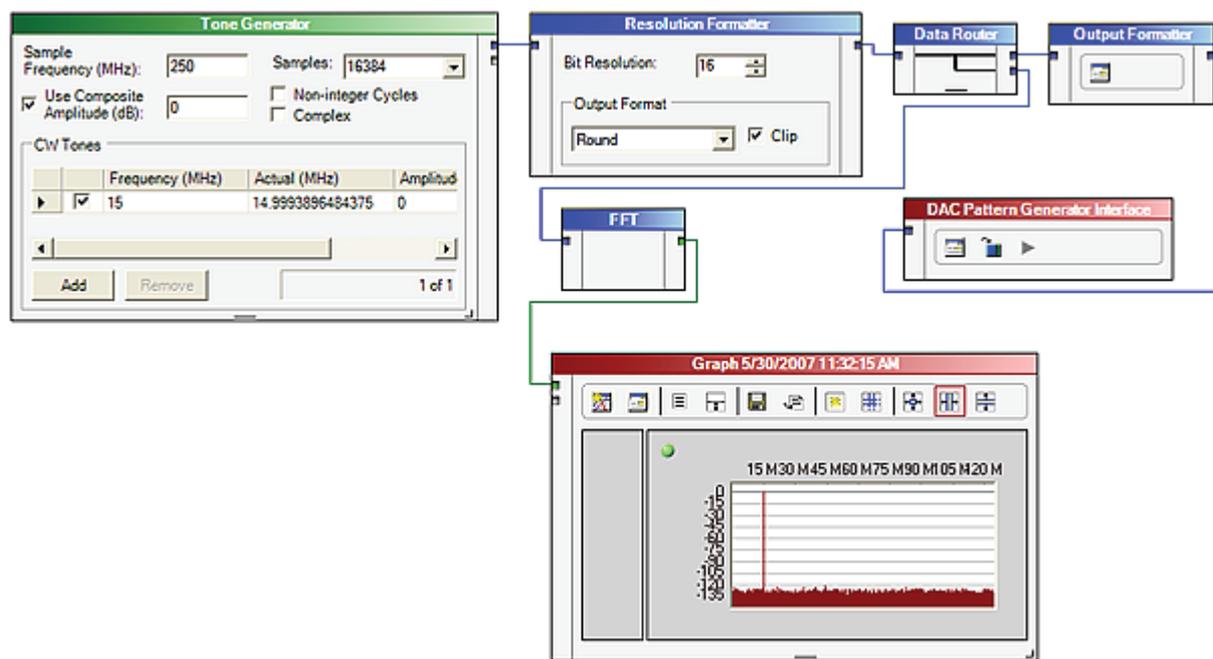


図 7. VisualAnalog によるシングル・トーン CW ベクタの生成

06902-007

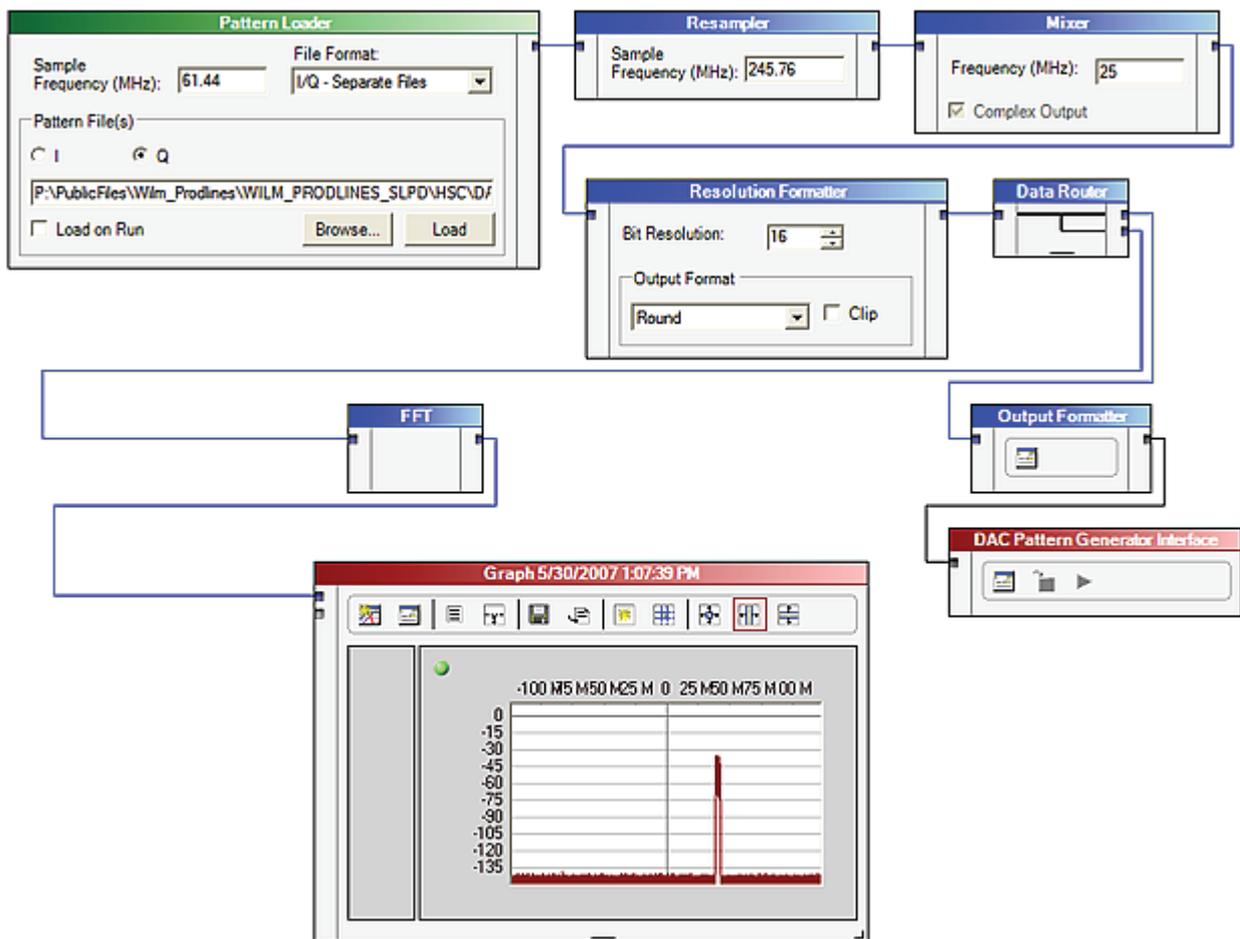


図 8. VisualAnalog を使って生成した 1 キャリア WCDMA ベクタ

06502-008

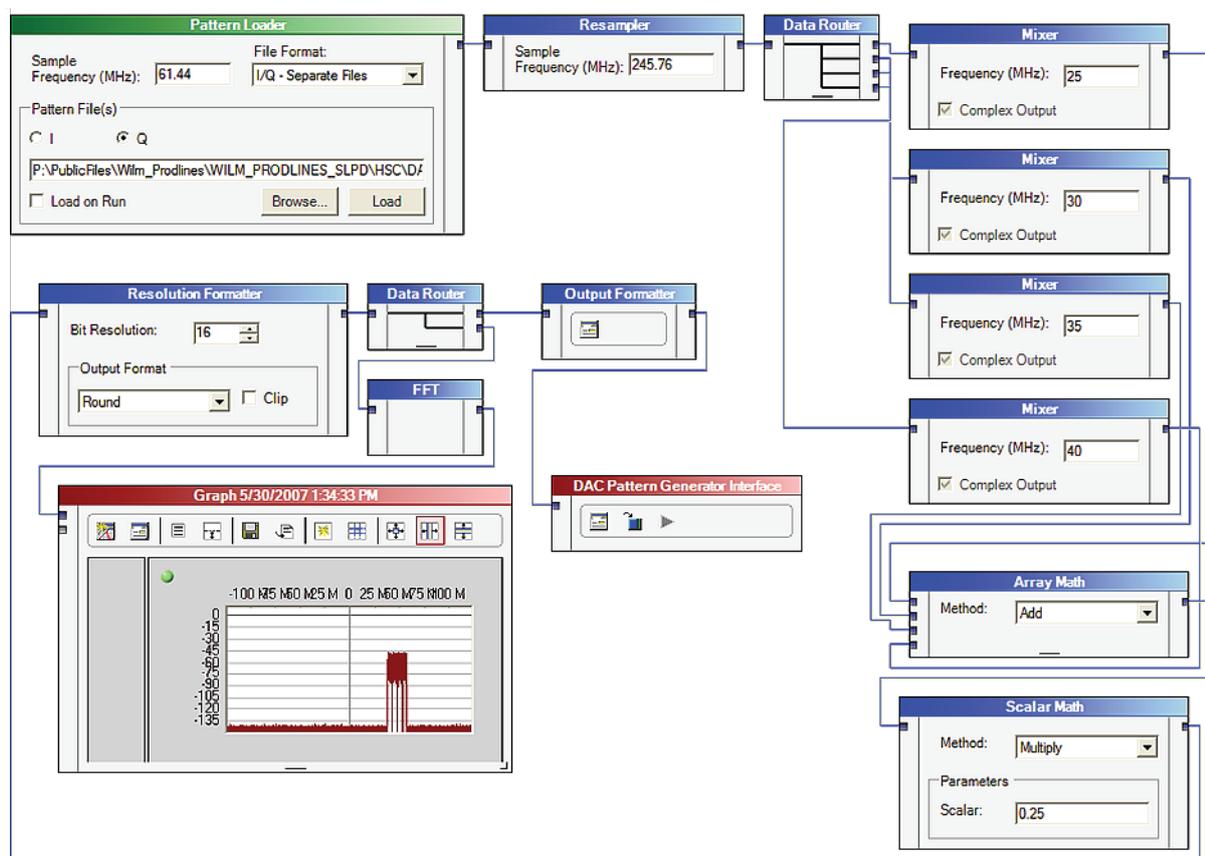


図 9. VisualAnalog を使って 1 キャリア WCDMA ベクタから生成した 4 キャリア WCDMA ベクタ

図 8 と 図 9 で VisualAnalog にロードされたデータ・ファイルは、浮動小数点フォーマットを使っています。ベクタを整数フォーマットでロードする場合は、入力フォーマット・ブロックを使って整数データ・ファイルを浮動小数点フォーマットへ変換する必要があります。VisualAnalog の詳細については、[VisualAnalog](#) ページをご覧ください。

DAC クロックの信号源

クロック速度と所要性能に応じて、ダイナミック・テストのセットアップでは、Agilent 社の E4426B ESG-AP/8644 ジェネレータまたは Rohde & Schwarz 社の SML01/SML02/SMA100A ジェネレータを使って DAC へクロックを供給します。これらのジェネレータは、被テスト DAC に応じて数 kHz へ数 GHz のクロック周波数を出力することができます。

これらのすべての信号源は、位相ノイズが非常に小さく、かつ優れたジッタ性能を提供します。位相ノイズは、特にキャリア周波数から離れたオフセットでは (5 MHz ~ 10 MHz)、DAC の全体ノイズ性能に大きな影響を与えます。正弦波信号源によっては、低い周波数で優れたノイズ性能を提供するが、高い周波数では性能が低下するもの (あるいはその逆) があります。DAC ノイズ性能に対する正弦波信号源の位相ノイズの影響については、ノイズ・スペクトル密度のセクションを参照してください。

スペクトル・アナライザ

DAC のダイナミック性能を解析するときは、スペクトル・アナライザを使います。DAC のキャラクタライゼーションでアナログ・デバイセスが使用している 2 台のアナライザは、Agilent 社の E4443A PSA スペクトル・アナライザと Rohde & Schwarz 社の FSEA30 スペクトル・アナライザです。

Agilent 社の PSA は、隣接チャンネル電力比 (ACPR) 測定機能、ノイズ・スペクトル密度 (NSD) の測定に使うチャンネル電力測定、位相ノイズ測定機能、復調機能、種々の無線通信規格のオプション・パーソナリティなどの DAC ダイナミック・テストに最適な多くの機能を持っています。また、PSA には NSD の測定を支援するオプションの内蔵プリアンプがあります。この機能の詳細については、ノイズ・スペクトル密度のセクションを参照してください。

また、DAC のスプリアス性能を測定するときは、アナライザの高調波歪みも重要です。アナライザの高調波性能は、RF 減衰量、分解能 BW、リファレンス・レベル、被測定 CW 信号の入力レベルなどの幾つかの設定に依存します。

DACのスプリアス性能が、指定された設定に対して、アナライザのHD2 とHD3 より低い場合は、外部の方法を使ってデバイス性能を測定する必要があります。高調波測定に対するスペクトル・アナライザの最適化については、シングル・トーン、帯域内、スプリアス・フリー・ダイナミック・レンジのセクションを参照してください。

デジタル・マルチメータ

デジタル・マルチメータ(DMM)は、DACの主要直流(DC)パラメータの測定に使用します。Agilent社の 3458Aは、直流パラメータの高精度測定に適しています。3458Aは、最大 8.5 桁の分解能と種々のレンジ設定(DC電圧の 5 レンジ: 0.1 V~1000 V、およびDC電流の 8 レンジ: 100 nA~1 A)を提供するため、nA~ μ A領域でのDACまたはDACセグメントのオフセット測定に最適です。Agilent社の 3458AはDACの直流出力の測定に使用することができます。あるいは、電流から電圧への外部コンバータ(I-V)回路を使って、電流ではなく電圧を測定することができます。DCテストに使用するI-V回路を図 10 に示します。この回路の全体ゲインは 100 であり、20 mAのフル・スケール(FS)電流が 2 V信号に変換されます。

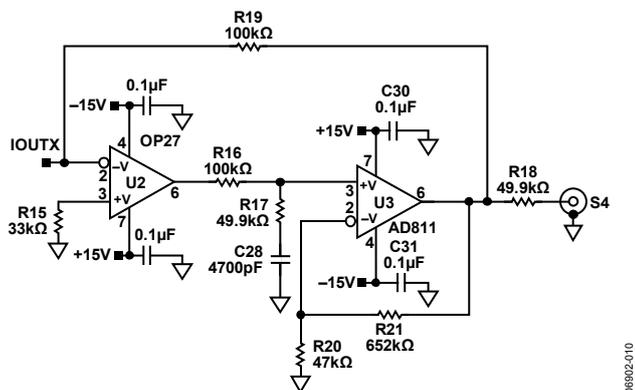


図 10. I-V コンバータ回路

電源

交流(AC)性能と DAC の電源除去比(PSRR)の最適化には、安定でノイズのない電源が重要です。

DAC評価ボードでは、Agilent社のE3631Aプログラマブル・トリプル出力電源または ADP3333、ADP3338、ADP3339 LDOレギュレータを使った安定化電源の 2 つのソリューションを使用することができます。ADPシリーズ・レギュレータは、種々の電圧で非常に低いノイズと安定な電源を提供します。

ADP3339 の代表的なアプリケーション回路を図 11 に示します。

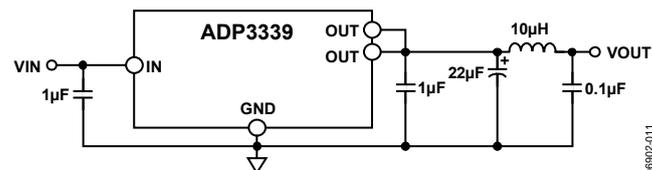


図 11. ADP3339 の代表的なアプリケーション回路

ACテストの定義

ACテストは通常、アナログ信号を使い約 0 dBm で行われます。このテストは、ポートフォリオ内の大部分の DAC に対して、約 20 mA のアナログ・フル・スケール値を使って行われています。外部抵抗または内部ゲイン調整用 DAC を使って調整可能なフル・スケール電流を持つ DAC の場合、テストはデバイス性能がアナログ出力電力により変わることを調べるため種々のゲイン値で行われます。またテストは、温度とアナログ電源電圧に対しても行われます。AC テストを行うテスト条件については、特定のデバイスのデータ・シートをご覧ください。

シングル・トーン、帯域内、スプリアス・フリー・ダイナミック・レンジ

スプリアス・フリー・ダイナミック・レンジ(SFDR)は、出力信号のピーク振幅と規定ナイキスト帯域幅でのピーク・スプリアス信号との差を dBc で表したものです。一般に、支配的なスプリアスは高調波であり、通常、入力信号の 2 次または 3 次高調波です。DAC の SFDR を測定する際に発生する主な問題は、スペクトル・アナライザ自体ではなく DAC の真の高調波性能を測定するようにスペクトル・アナライザを最適化することです。

スペクトル・アナライザの幾つかの制御(RF 減衰量、リファレンス・レベル、スイープ時間)を使って、測定の最適化を試みる事ができます。最も重要なパラメータである RF 減衰量は、スペクトル・アナライザの最初のミキサー・ステージへの入力レベルを最適化して、ミキサー・ステージの過負荷を防止して不要な歪みが生じないようにします。リファレンス・レベルは、ミキサーの後ろにある IF ゲイン・ステージを制御します。このリファレンス・レベルは RF 減衰量と関係していますが、リファレンス・レベルを変更しても、ミキサー入力の信号レベルには影響を与えず、表示のみが変わります。最後のパラメータは、分解能帯域幅とスイープ時間から制御されるスイープ・ジェネレータです。これらのパラメータは、測定に要する時間を最適化し、DAC の真のノイズ・フロアを測定する精度に影響を与えます。

RF減衰量は、DACの高調波を測定する際に、特にフル・スケールのシングル・トーン正弦波が存在するときには、重要なパラメータです。図 12 と 図 13 に、RF減衰量の 2 つの設定を使って、10 MHz の正弦波を合成する DAC を示します。

図 12 では、RF減衰量が 30 dB に設定されています。RF減衰量が大きすぎると、アナライザ内部のミキサー・レベルが低くなり過ぎることに注意してください。この設定により、入力信号の信号対ノイズ比が必要以上に小さくなります。

RF減衰量を 20 dB に設定すると(図 13 参照)、アナライザの測定歪みが増えて、入力ミキサー・ステージで過負荷が発生します。これは、DAC の真の高調波性能を測定できないことを意味します。

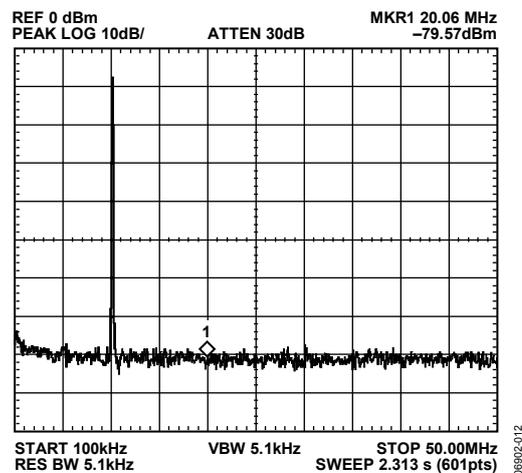


図 12. 30 dB RF 減衰量での DAC 出力

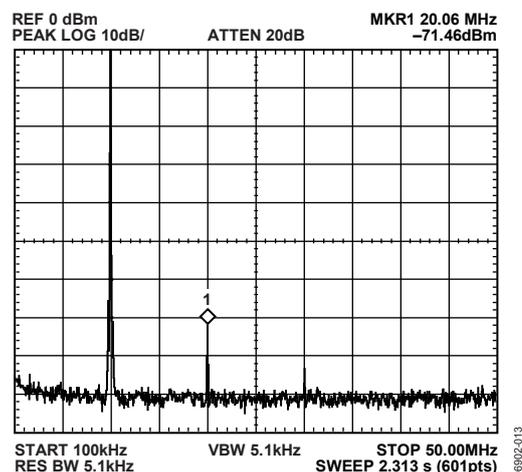


図 13. 20 dB RF 減衰量での DAC 出力

RF減衰量の最適化は、80 dBc~100 dBcレンジでスプリアス性能を測定する際に特に重要です。これらのレベルでは、通常、DACのスプリアス性能の方が、指定RF減衰量設定でのアナライザ自体のスプリアス性能より優れています。アナライザによるDACコンバータの真の性能測定を確実にする 1 つの方法は、コンバータ出力とスペクトル・アナライザとの間にノッチ・フィルタを使うことです(図 14 参照)。ノッチ・フィルタを使うと、RF減衰量レベルをゼロにまで下げることができるので(ノッチ出力の信号レベルは 60 dBも減衰させられるため)、リファレンス・レベルを下げて実際の高調波近くをズーム拡大することができます。

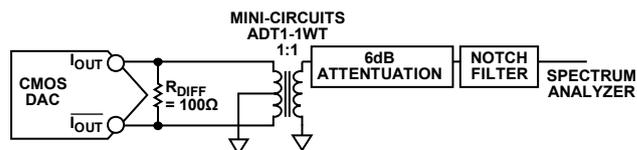


図 14. ノッチ・フィルタを使用した SFDR 測定の構成

ノッチ・フィルタを使って高調波を測定する前に、その高調波の周波数でフィルタの減衰量をキャリブレーションすることが必要です。これは、各高調波の周波数で 0 dBm 正弦波を 6 dB パッドとノッチ・フィルタに加えて、ノッチ・フィルタ出力での減衰量を記録することにより実行することができます。次に測

定した高調波値とこの値を比べて、各高調波の実際の振幅を求めることができます。図 15 に、6 dBパッドの出力と入力に 0 dBmの 20 MHz信号を加えたときの 10 MHzノッチ・フィルタを示します。パッドとノッチ・フィルタまでの全体減衰量は 6.01 dBmであるため、高調波の周波数ではノッチ・フィルタ自体の減衰量は小さいかまたはゼロです。

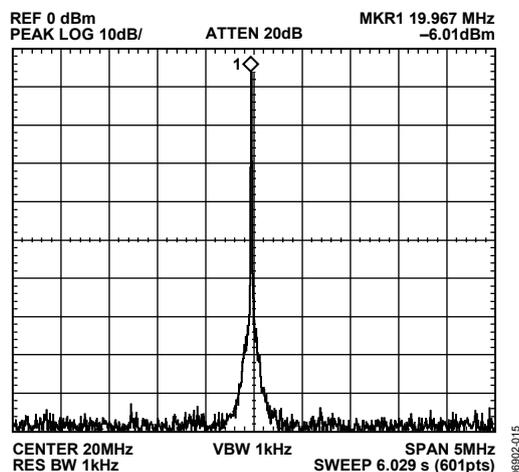


図 15.6 dBパッドとノッチ・フィルタの減衰量のキャリブレーション

図 16 に、ノッチ・フィルタを接続したコンバータ出力を示します。実際の高調波測定値は-87.5 dBです。6 dBの減衰量を追加すると、最大スプリアスの実際のレベルは-81.5 dBです。ノッチ・フィルタと 20 dB RF減衰量がない場合は、このスプリアス測定値は-71.5 dBになり、これは 10 dBの差となり、DAC自体ではなくアナライザの歪みで発生します。

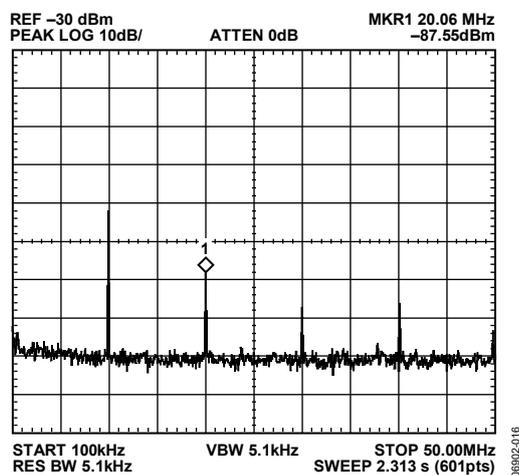


図 16.ノッチ・フィルタありでの SFDR の測定値

帯域外スプリアス・フリー・ダイナミック・レンジ

帯域外 SFDR は、出力信号のピーク振幅値と、入力データ・レートナイキスト周波数から DAC 出力のサンプリング・レートの周波数までの周波数範囲内のピーク・スプリアス信号との差を意味し、dB 値で表します。

インターポレーション・フィルタ付きのコンバータの場合、この周波数範囲は入力データ・レートのナイキスト周波数から DAC 更新レートのナイキスト周波数までになります。一般に、この帯域内のエネルギーはインターポレーション・フィルタにより除去されます。したがって、この仕様はインターポレーション・フィルタの効果と DAC 出力でのその他の寄生混入パスの影響を規定します。

総合高調波歪み

総合高調波歪み(THD)は、基本波測定値(rms 値)と最初の 6 種類の高調波成分の rms 値の和との比を意味します。

2 トーン相互変調歪み

2F1±F2 と 2F2±F1

2F1±F2 項と 2F2±F1 項は、コヒーレントな 2 トーンを合成する際の DAC の 3 次相互変調歪み(IMD)積を表します。3 次 IMD 性能は、各項ピーク値と入力 1 トーンまたは 2 トーンのピーク値とのワーストケース比です。3 次 IMD 積の負項は 2 トーンの間隔に応じて相互変調積が必要信号の非常に近くに来るため、特に重要です。このために、相互変調積が非常に大きい場合、非常に急峻で高価なバンドパス・フィルタが必要になります。一般的な IMD テスト用の 2 トーンの間隔は 1 MHz です。

3F1±2F2 と 3F2 ±2F1

3F1±2F2 項と 3F2±2F1 項は、DAC の 5 次 IMD 積を表します。これらの項は通常 3 次 IMD 積より小さい振幅を持ち、かつ必要信号から離れているので、性能に大きな影響を与えません。図 17、図 18、図 19 に、代表的な DAC の 2 トーン出力スペクトルとその IMD 積を示します。IMD 積を適切に測定するためには、周波数範囲を狭くし、かつリファレンス・レベルと RF 減衰量を変更する必要があります。これは、図 17 から分かるように 2 トーンが存在する場合、このスペクトル・アナライザ設定では観測できないためです。

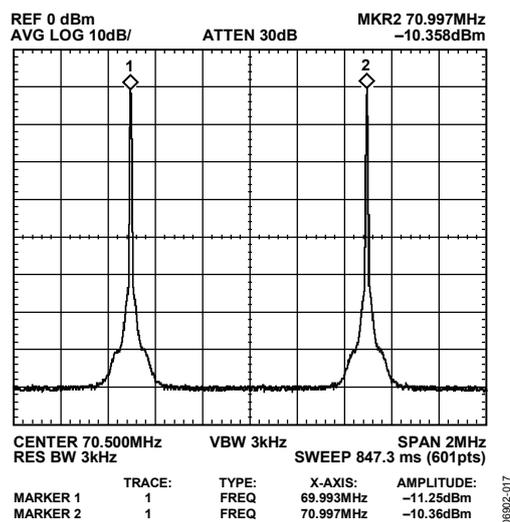


図 17.代表的な 2 トーン出力スペクトル($F_{OUT} = 70, 71 \text{ MHz}$)

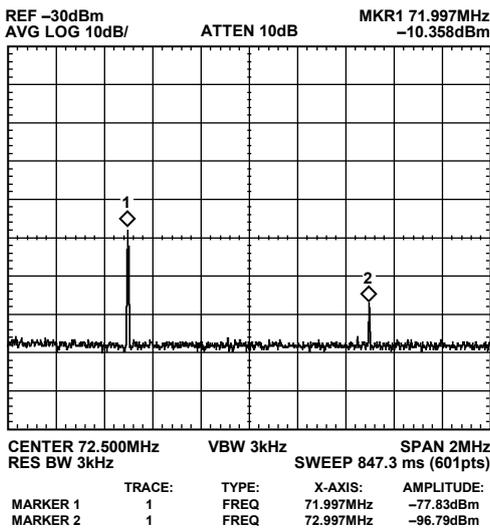


図 18.2F2-F1 と 3F2-2F1

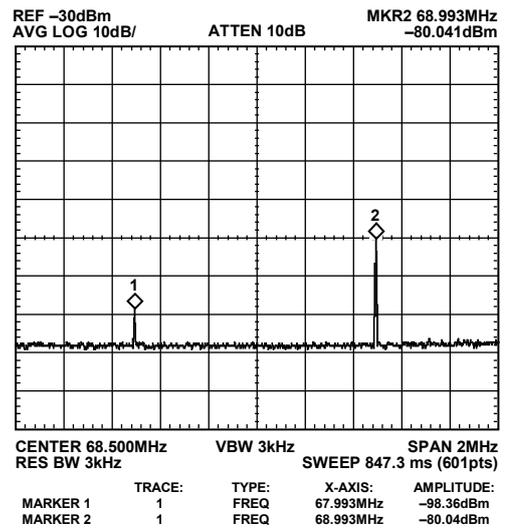


図 19.2F1-F2 と 3F1-2F2

表 1. 代表的な IMD の計算

Fundamental Amplitude	Third Order IMD Amplitudes	Fifth Order IMD Amplitudes	IMD (dBc)
-11.25	-77.8	-96.8	66.55 (3 rd)
-10.36	-80	-98.4	85.55 (5 th)

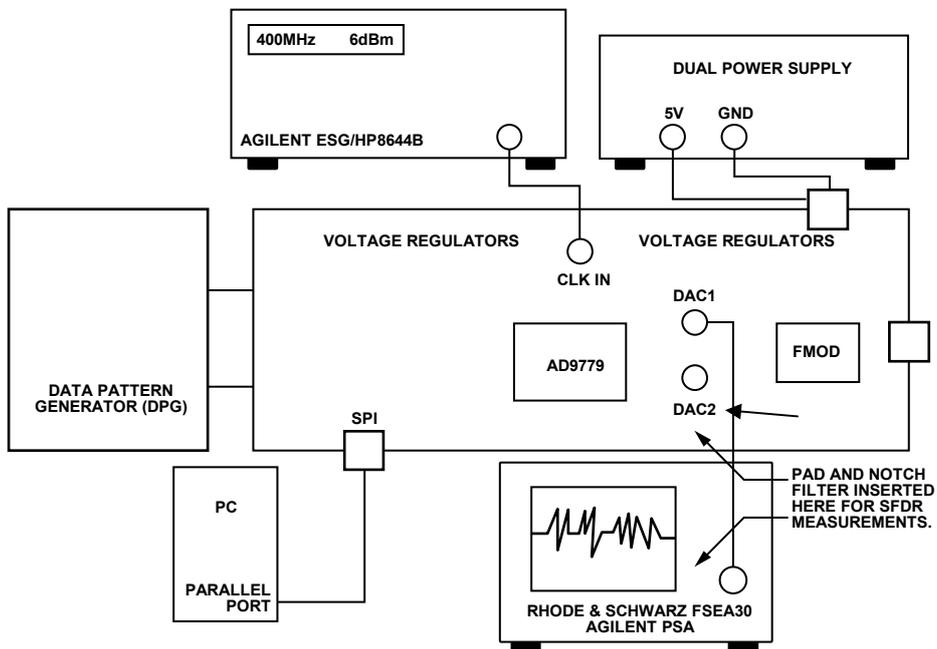
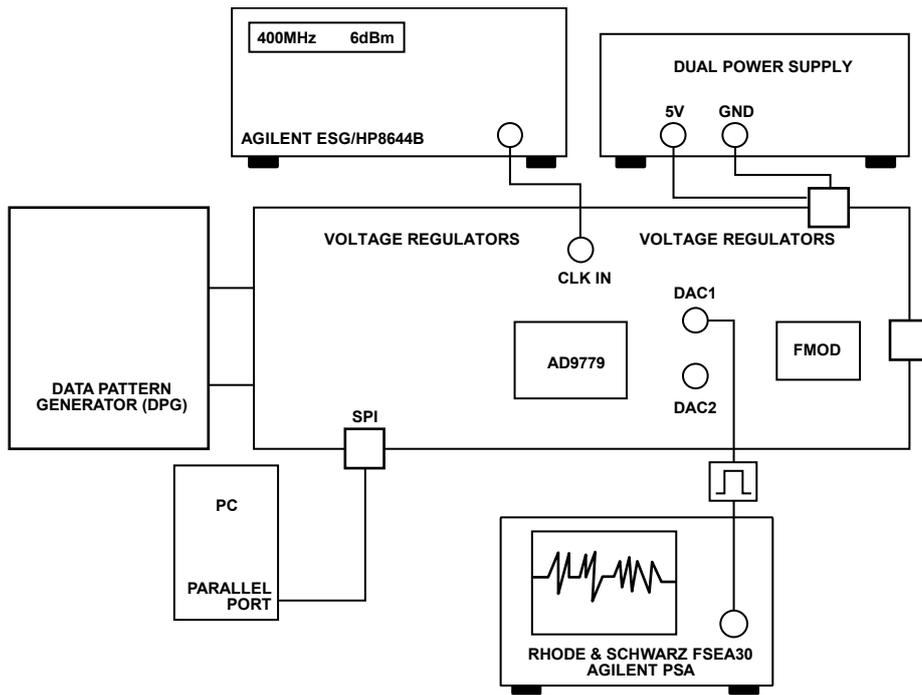


図 20.1 トーンと 2 トーン AC テストのセットアップ



08802-021

図 21. NSD AC テストのセットアップ

ノイズ・スペクトル密度

ノイズ・スペクトル密度(NSD)は、単位帯域幅あたりのコンバータ・ノイズ電力です。これは通常、0 dBmのフル・スケール信号に対してdBm/Hzで規定されます。信号電力が0 dBm以外場合は、NSDをdBc/Hzで規定し、かつ出力信号電力を指定する必要があります。コンバータのNSDをクロック周波数と F_{OUT} についてキャラクタライゼーションするときは、図 21 のセットアップを使います。

規定周波数のバンドパス・フィルタを使って、DAC ノイズ・フロアのセクションをアイソレーションして、スペクトル・アナライザへ行く信号レベルを小さくします。スペクトル・アナライザの内蔵プリアンプを使って、DAC のノイズ・フロアがアナライザのノイズ・フロアより上にくるようにします。スペクトル・アナライザに内蔵プリアンプがない場合、外付け低ノイズ・アンプ(LNA)を使って同じ結果を得るようにします。これらの測定に適する LNA は、Mini-Circuits 社の ZFL-500LN です。

SFDR 測定の場合と同様に、まずフィルタ・パスをキャリブレーションして、NSD の測定結果からフィルタ減衰量を除くことができるようにする必要があります。一般に、NSD 性能は 70 MHz のバンドパス・フィルタを使って測定しますが、種々のバンドパス・フィルタを使ってノイズ・フロアの数セクションをチェックして、ノイズ・フロアがナイキスト帯域全体で平坦であることを確認しておくことが重要です。

図 22 に、0 dBm 70 MHz の正弦波入力での 70 MHz バンドパス・フィルタの出力を示します。フィルタ減衰量は約 1.25 dB であるため、この値をNSD測定値から除く必要があります。

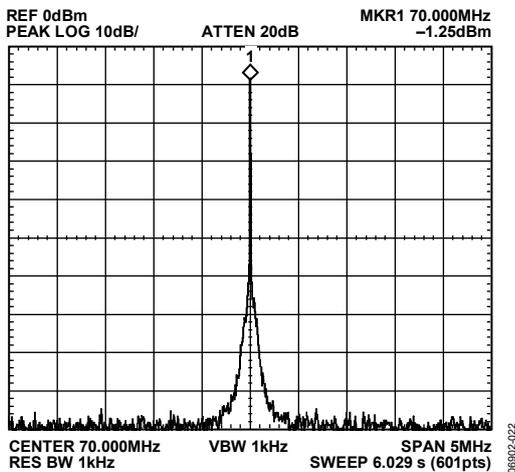


図 22. 70 MHz バンドパス・フィルタの出力
($F_{OUT} = 70 \text{ MHz}$ 、0 dBm)

プリアンプを内蔵するスペクトル・アナライザの場合、バンドパス処理された信号をスペクトル・アナライザ入力に直接加えて、図 23 に示すようにNSDを直接測定することができます。図に示すNSDは、内蔵プリアンプのゲインを除いた値です。この値から正しいNSD値を計算するためには、フィルタの減衰量を次のように加える必要があります。

$$\text{NSD} = -160 + 1.25 = -158.75 \text{ dBm/Hz}$$

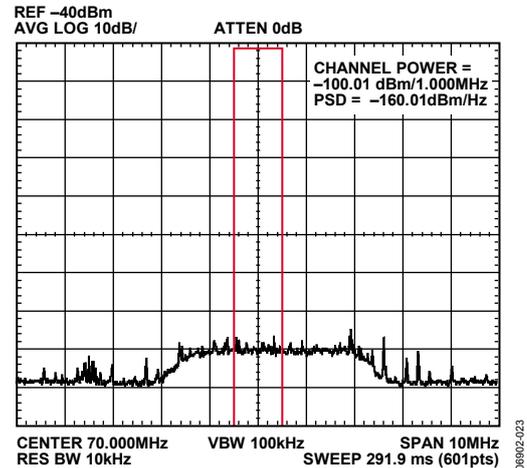


図 23. 内蔵プリアンプを使用した NSD の測定値

プリアンプを内蔵しないスペクトル・アナライザの場合、外付けLNAを使って内蔵プリアンプと同じ結果を得ることができます。測定パスでLNAを使用する前に、LNAの実際のゲインをキャリブレーションしておく必要があります。LNAのゲインを求めるときは、-30 dBm 70 MHz の正弦波をLNA入力に加えて、LNA出力をスペクトル・アナライザで測定します。このケースでは、LNAのゲインは約 29 dBです(図 24 参照)。

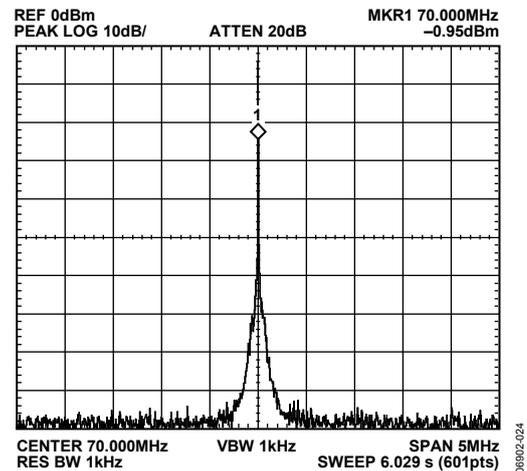


図 24. -30 dBm 70 MHz の正弦波入力信号での LNA 出力

バンドパス・フィルタとその後ろにLNAを使用したときのNSD測定値を図25に示します。実際のNSDは次のように計算されます。

$$NSD = (-130.5) - (29) + (1.25) = -158.25 \text{ dBm/Hz}$$

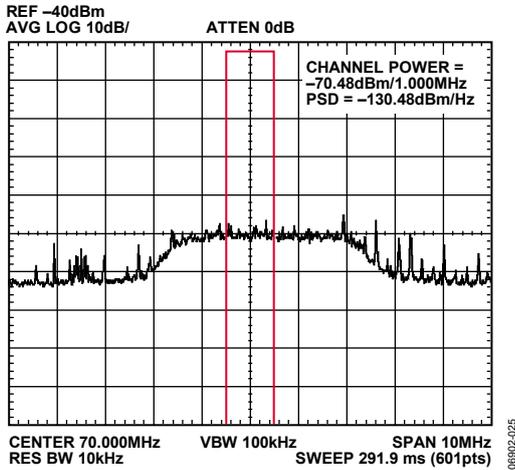


図25.外付けLNAを使用したNSD測定値

DACのNSD性能の主な低下要因は、デバイスのクロック駆動に使用する正弦波信号源です。図26に、400 MSPSで動作するAD9783のNSDを3種類の正弦波信号源(Rohde & Schwarz社のSMA100A、Agilent社のESG、Rohde & Schwarz社のSML02)を使ってF_{OUT}に対して示します。

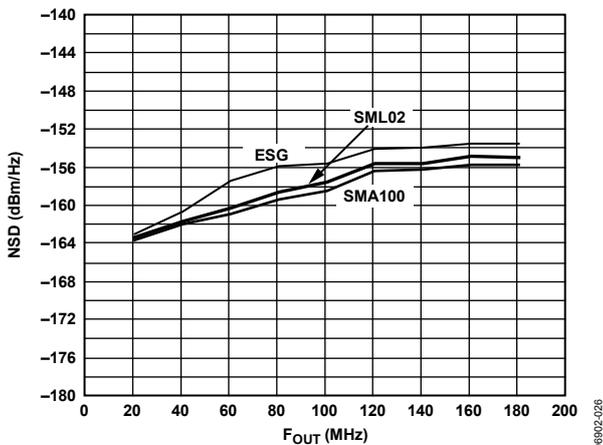


図26.様々な正弦波信号源を使ったF_{OUT}対400 MSPSで動作するAD9783のNSD

各正弦波信号源に対する位相ノイズ・プロット(図27、図28、図29)では、主な違いは、1 MHzオフセットと5 MHzオフセットで発生しています。隣接位相ノイズには大きな変化がないように見えるので、性能には大きな影響はありません。これは、正弦波信号源自体のノイズ性能が、DACの全体ノイズ性能を実現するためには最大の制約条件になることを意味しています。

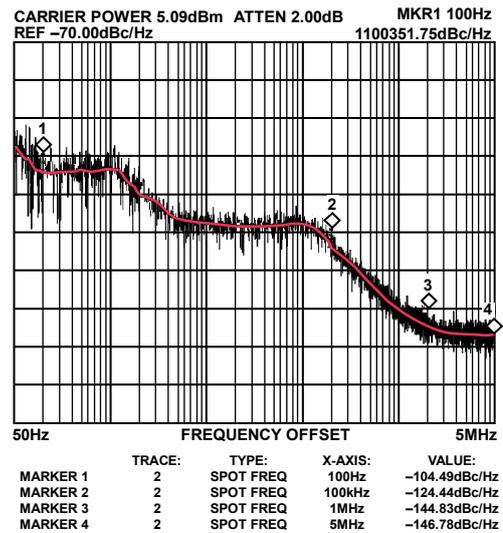


図27.Agilent社のE4426B ESG正弦波信号源の400 MSPSでの位相ノイズ性能

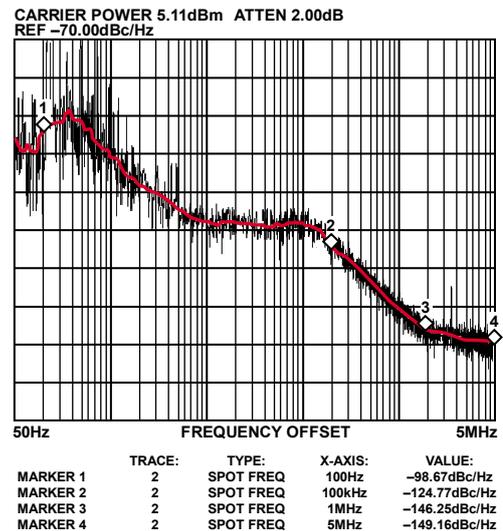


図28.Rohde & Schwarz社のSML02正弦波信号源の400 MSPSでの位相ノイズ性能

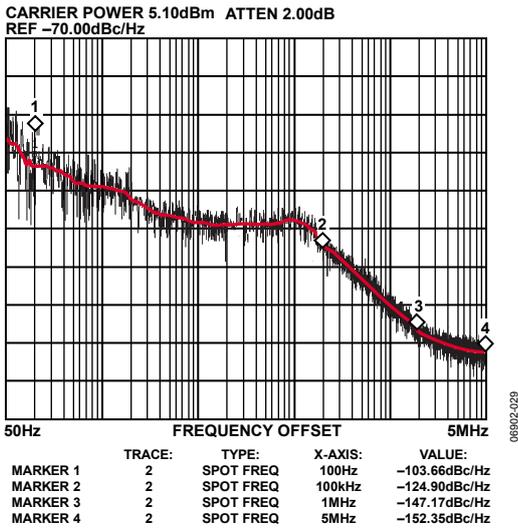


図 29. Rohde & Schwarz 社の SMA100A 正弦波信号源の 400 MSPS での位相ノイズ性能

表 2.400 MSPS での正弦波信号源位相ノイズの一覧

Sine Source	Offset			
	100 Hz	100 kHz	1 MHz	5 MHz
Agilent E4426B ESG	-104.5	-124.4	-144.8	-146.8
Rohde & Schwarz SML02	-98.7	-124.8	-146.3	-149.2
Rohde & Schwarz SMA100A	-103.7	-124.9	-147.2	-152.4

図 30 に、高速LVDS DACと同じ 3 つの正弦波信号源を使った NSD測定値を示します。この場合、NSDは 2.1 GSPSで測定しています。高い動作周波数で性能の低下または改善があるかを調べるため、各正弦波信号源の位相ノイズは 2.1 GSPSで測定しています。

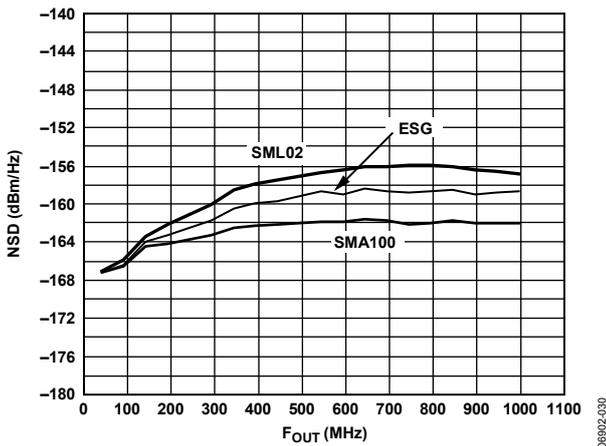


図 30. 様々な正弦波信号源による F_{OUT} 対 NSD、2.1 GSPS

Rohde & Schwarz社のSML02は、2.1 GSPSで高速LVDS DACに対して最悪ノイズ性能を提供しますが、400 MSPSでは、Agilent社のE4426B ESGが AD9783 に対して最悪のノイズ性能を提供します。AD9783 の場合と同様に、位相ノイズ・プロットからNSD性能の低下が分かります。

Rohde & Schwarz 社の SML02 は、すべてのオフセット周波数で Agilent 社の ESG と Rohde & Schwarz 社の SMA100A より劣っています。これは、SML02 の最大周波数は 2.2 GSPS であるため、最大周波数規定値の近くでは性能が大幅に低下することが原因と思われます。ESG と SMA100A との間の主な違いは 5 MHz オフセットで発生しています。これは、400 MSPS での結果と同じです。

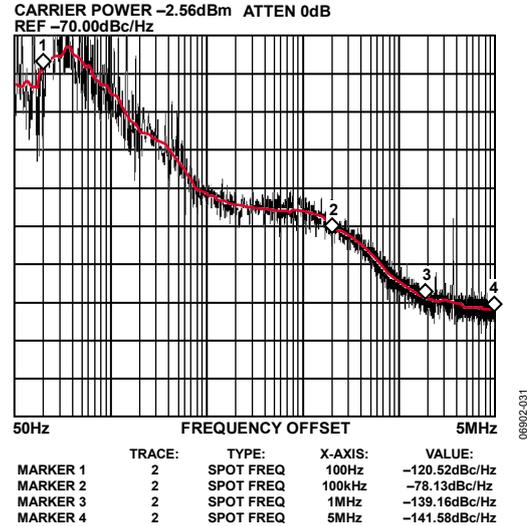


図 31. Rohde & Schwarz 社の SML02 正弦波信号源の 2.1 GSPS での位相ノイズ性能

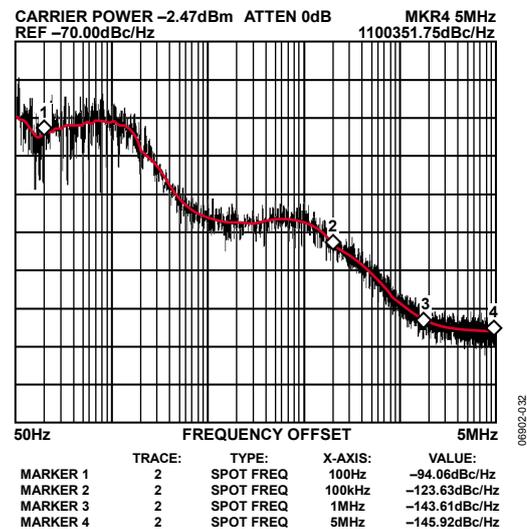


図 32. Agilent 社の E4426B ESG 正弦波信号源の 2.1 GSPS での位相ノイズ性能

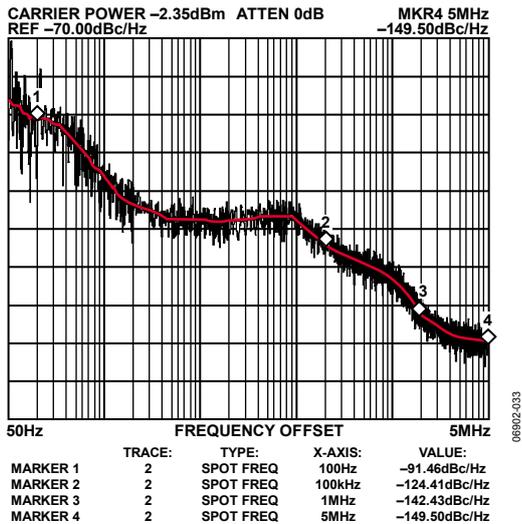


図 33. Rohde & Schwarz 社の SMA100A 正弦波信号源の 2.1 GSPS での位相ノイズ性能

表 3.2.1 GSPS での正弦波信号源位相ノイズの一覧

Sine Source	Offset			
	100 Hz	100 kHz	1 MHz	5 MHz
Agilent E4426B	-94.1	-123.6	-143.6	-145.9
Rohde & Schwarz SML 02	-78.1	-120.5	-139.2	-141.5
Rohde & Schwarz SMA100A	-91.2	-124.4	-142.4	-149.5

正弦波信号源のノイズ性能は全動作周波数範囲で大幅に変化する
ため、NSD が重要パラメータである場合、与えられたアプ
リケーションに対する正弦波信号源の選択には注意が必要です。

隣接チャンネル・リーク除去比または隣接チャンネル電力除去比

隣接チャンネル・リーク(電力)除去比は、1 つのチャンネル内の
測定電力値対隣接チャンネルの測定電力値の比を dBc で表した
ものです。表 4~表 7 に示すように、様々な規格で異なるチャ
ンネル帯域幅と隣接チャンネル間隔が規定されています。

表 4. WCDMA の ACLR 設定

	Offset (MHz)	Channel Bandwidth
Carrier	0	3.84 MHz
1 st Adjacent Channel	5	3.84 MHz
2 nd Adjacent Channel	10	3.84 MHz
3 rd Adjacent Channel	15	3.84 MHz
4 th Adjacent Channel	20	3.84 MHz

表 5. CDMA2000 の ACLR 設定、IF > 1 GHz

	Offset (MHz)	Channel Bandwidth
Carrier	0	1.228 MHz
1 st Adjacent Channel	1.6	1.228 MHz
2 nd Adjacent Channel	3.2	1.228 MHz

表 6. CDMA2000 の ACLR 設定、IF < 1GHz

	Offset (MHz)	Channel Bandwidth
Carrier	0	1.228 MHz
1 st Adjacent Channel	0.885	30 kHz
2 nd Adjacent Channel	1.25	30 kHz

表 7. TDSCDMA の ACLR 設定

	Offset (MHz)	Channel Bandwidth
Carrier	0	1.228 MHz
1 st Adjacent Channel	0.750	30 kHz
2 nd Adjacent Channel	1.98	30 kHz

図 34 と 図 35 に、WCDMA と CDMA2000 の代表的な ACLR 性能
を示します。WCDMA データは、491.52 MSPS で動作する
AD9736 に対して示してあります。CDMA2000 データは、122.88
MSPS、4 倍インターポレーション、FDAC/4 変調で動作する
AD9779 に対して示してあります。

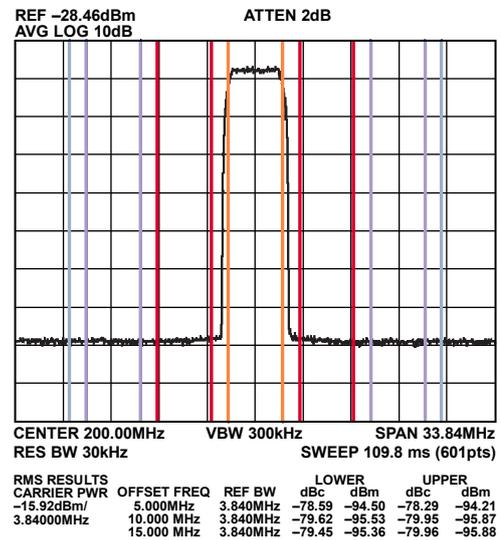


図 34. AD9736 の代表的な WCDMA 性能

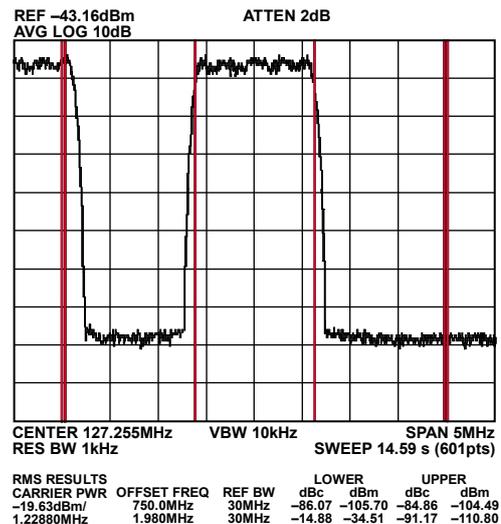


図 35. AD9779 の代表的な CDMA2000 性能

クロストーク

クロストークは、マルチチャンネル DAC の 1 つのコンバータから別のコンバータへの混入を表します。クロストークは、次の 2 つの方法を使って測定することができます。

- 各 DAC を 1 つの周波数トーンで駆動し、各チャンネルに他のトーンが現れるのをチェックします。
- 1 つの DAC を 1 つのトーンで駆動し、かつ他の DAC を 0 で駆動して、アイドル DAC のスペクトル上にそのトーンが現れるのを探します。

図 36 と 図 37 に、2 つ目の方法を使ったクロストーク測定を示します。基本波信号だけが混入するのではなく、高調波とイメージも混入します。クロストーク結果は評価ボード上の混入メカニズムからも影響を受けるので、評価ボードではなくコンバータ自体から発生しているものを測定するように注意する必要があります。

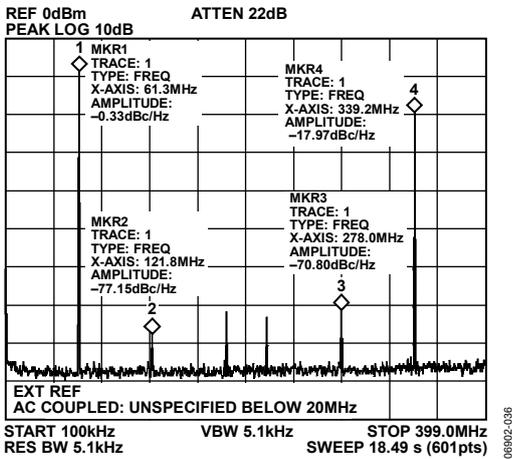


図 36. 60MHz 正弦波波形入力での DAC1 出力

図 36 と 図 37 では、マーカは次のスプリアスに付けてあります。

1. 基本波トーン: 60 MHz
2. 2 次高調波: 120 MHz
3. FDAC と 2 次高調波との差: 280 MHz
4. DAC の 1 次イメージ(FDAC - F_{OUT}): 340 MHz

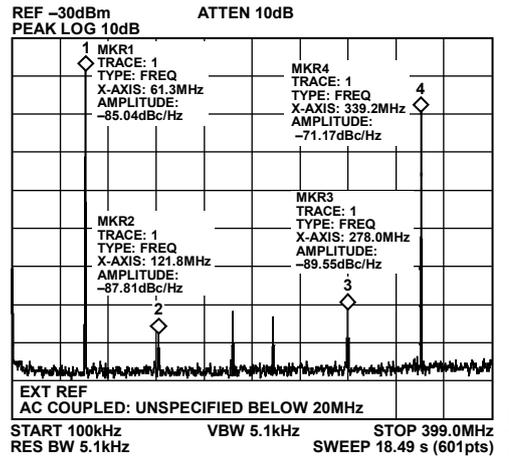


図 37. DAC2 に 0 を入力したときの DAC1 から DAC2 への混入

Sinx/xロールオフ

すべてのDACコンバータは固有のsinx/xロールオフ特性を持っています。このsinx/xロールオフは、出力信号がナイキスト周波数に近づくにつれて振幅に影響を与えます。信号振幅の減少によりAC性能に与える影響を知るために、このロールオフをキャラクタライゼーションすることが重要です。この影響を測定するときは、DACから種々のフル・スケール正弦波を発生させて、出力周波数を上げながら基本波振幅を測定します。図 38 に、600 MSPS で動作するの AD9783 を使ったこの測定値を示します。このデバイスは 2 番目および 3 番目のナイキスト・ゾーンのトーンを発生できるアナログ・ミックス・モードも持っているため、ミックス・モードでの振幅応答も示してあります。

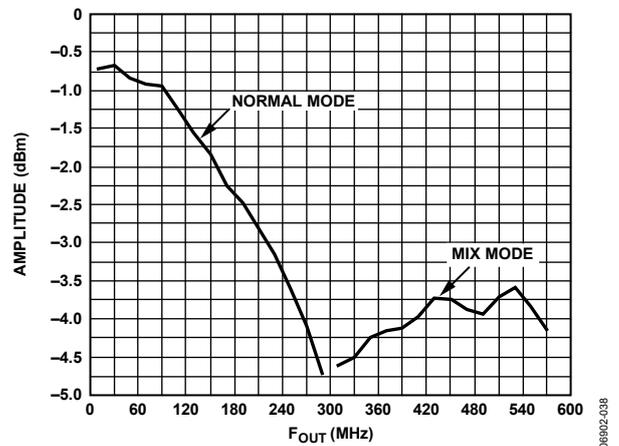


図 38. ノーマル・モードとミックス・モードでの AD9783 の振幅応答

DCテストの定義

このセクションの DC テスト定義では、入力はバイナリ・データとします。

フル・スケール・ゲイン

コンバータのフル・スケールは、すべての入力ビットを 1 に設定したときの出力電流測定値です。I_{OUTA} (コンバータによってはピン I_{OUTP})では、フル・スケールはすべての入力を 1 に設定したときに発生します。I_{OUTB} (コンバータによってはピン I_{OUTN})では、フル・スケールはすべての入力を 0 に設定したときに発生します。

ゲイン誤差

理論出力範囲と実際の出力範囲の差をいいます。実際の出力範囲は、すべての入力を 1 に設定したときの出力から、すべての入力を 0 に設定したときの出力を減算して求めます。図 39 に、

ゲイン誤差を予め設定したときの DAC 伝達関数への影響を示します。

オフセット

コンバータのオフセットは、すべての入力ビットを 0 に設定したときの出力電流測定値です。I_{OUTA} (コンバータによってはピン I_{OUTP})では、0 mA はすべての入力を 0 に設定したときに発生します。I_{OUTB} (コンバータによってはピン I_{OUTN})では、0 mA はすべての入力を 1 に設定したときに発生します。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。図 39 に、オフセット誤差を予め設定したときの DAC 伝達関数への影響を示します。

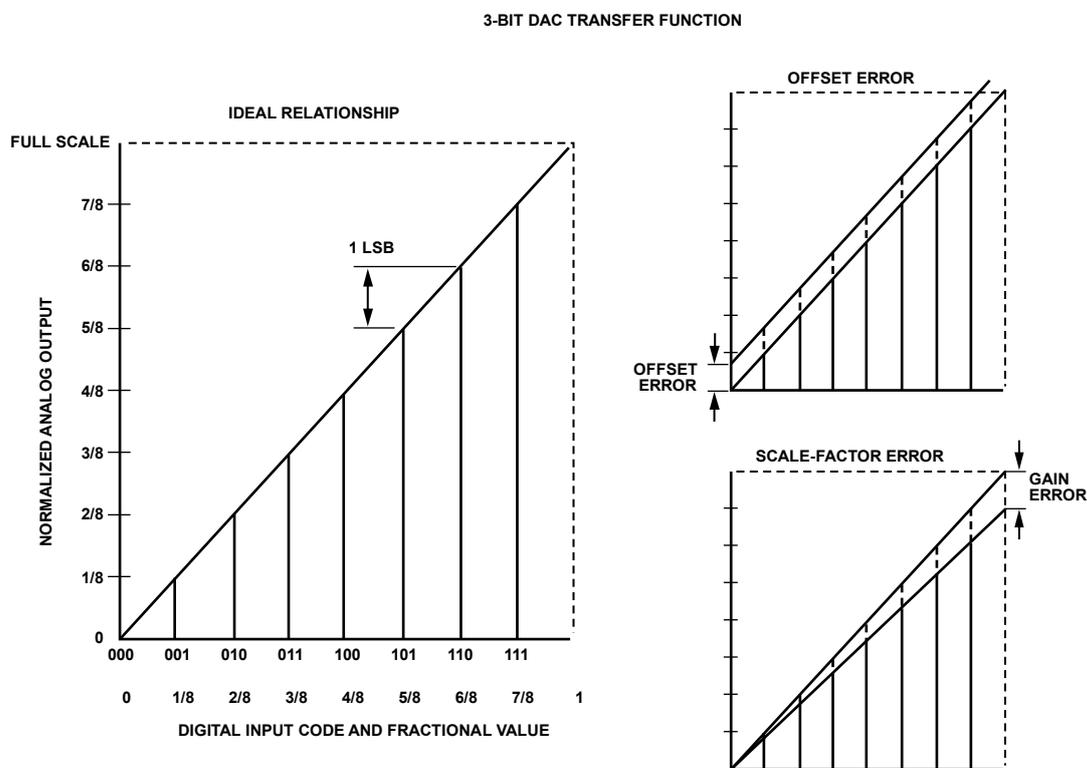


図 39.理論伝達関数へのオフセット誤差とゲイン誤差の影響

温度ドリフト

温度ドリフトは、全動作温度範囲 $T_{MIN} \sim T_{MAX}$ での最大変化を表します。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフル・スケール範囲に対するppm値で表されます。リファレンス電圧ドリフトの場合は、ドリフトは 1°C 当たりのppm値で表されます。 1°C あたりのppmで表すドリフトは通常、最大測定値から計算されます。代表的なリファレンス電圧ドリフトのプロットを図40に示します。

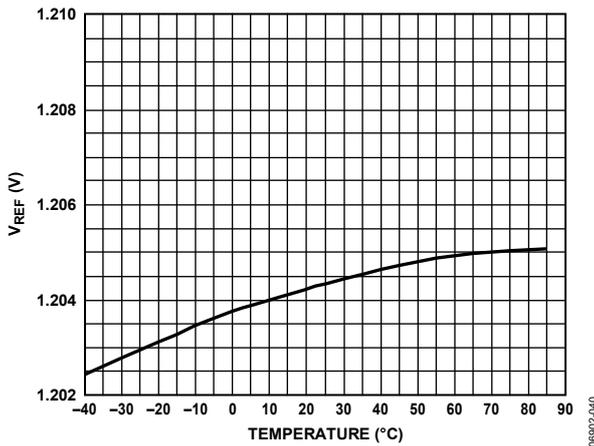


図 40. 代表的なリファレンス電圧ドリフトのプロット

このケースでは、最大測定値は 85°C で発生しているため、ドリフトはこの値から計算されます。このカーブのデータを表8に示します。

表 8. リファレンス電圧ドリフトのデータ

Temperature	VREF	PPM from Maximum
85	1.20508	0
65	1.204974	-88.035
45	1.204714	-303.092
25	1.204352	-604.217
0	1.203768	-1088.733
-20	1.203126	-1621.428
-40	1.202425	-2203.190
Maximum	1.20508	
PPM/ $^{\circ}\text{C}$	17.62552	

最大値からの PPM は次のように計算されます。

$$ppm_from_max = \frac{(VREF - VREFMAX)}{VREFMAX} \times 1e^6$$

最後に、PPM/ $^{\circ}\text{C}$ は次のように計算されます。

$$PPM/^{\circ}\text{C} = \frac{(PPMMAX - PPMIN)}{125^{\circ}\text{C}}$$

電源変動除去比

電源変動除去比(PSRR)は、電源が最小規定電圧値から最大規定電圧値へ変化したときのフル・スケール出力の最大変化を意味します。

ゲイン・マッチング

ゲイン・マッチングは、1つの DAC のゲインと別の DAC のゲインとの比として表されます。この測定は、複数の DAC を持つデバイスに対してのみ有効で、次式から計算されます。

$$GainMatch = \left| \frac{GAIN_DAC1 - GAIN_DAC2}{GAIN_DAC1} \right| \times 100$$

直線性

微分非直線性(DNL)と積分非直線性(INL)の2種類の直線性があります。コンバータの INL または DNL を計算するためには、各デジタル入力コードに対する出力電流を測定してコンバータの伝達関数全体を最初に求めることが必要です。コンバータのすべてのコードの測定は、特に 14 ビットまたは 16 ビットのコンバータの場合、大変な作業です。コンバータがセグメント化されている場合は、すべてが必要となりません。

たとえば、16 ビット 1GSPS DAC である AD9779 を例にします。AD9779 は、上位 6 ビット(MSB)を構成する 63 個の等しい電流源からなる PMOS 電流源アレイで構成されています。残りの 10 ビットは、MSB 電流源の 2 進重みを持つ部分です(LSB)。

伝達関数全体は、時間にかかる 65,535 回の測定ではなく 73 回の測定だけで求めることができます。16 ビット 500 MSPS DAC である AD9786 のような他のコンバータは、MSB、ISB、LSB にセグメント化されています。AD9786 には、上位 7 ビットを構成する 127 個の等しい電流源があります。次の 4 ビット(ISB)は、15 個の等しい電流源(値は MSB 電流源の 1/16)で構成されています。残りの 5 ビット(LSB)は、ISB の 2 進重みを持つ部分です。この場合、伝達関数は 65,535 回の測定ではなく、147 回の測定で求めることができます。

積分非直線性誤差

INL 誤差は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。理論伝達関数カーブと測定データを使って、3 ビット DAC の INL 誤差を図 41 に示します。

微分非直線性誤差

DNL 誤差は、1 LSB の変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。理論伝達関数カーブと測定データを使って、3 ビット DAC の DNL 誤差を図 42 に示します。

単調性

入力が増加したとき、出力が増加するか不変である場合に、DAC は単調であると見なします。デジタル入力シーケンス中に任意のポイントでアナログ出力が減少する場合、コンバータは単調でないといえます。

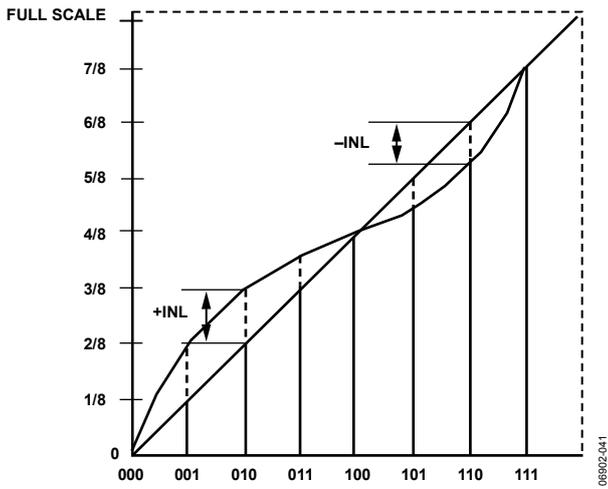


図 41. INL の測定値

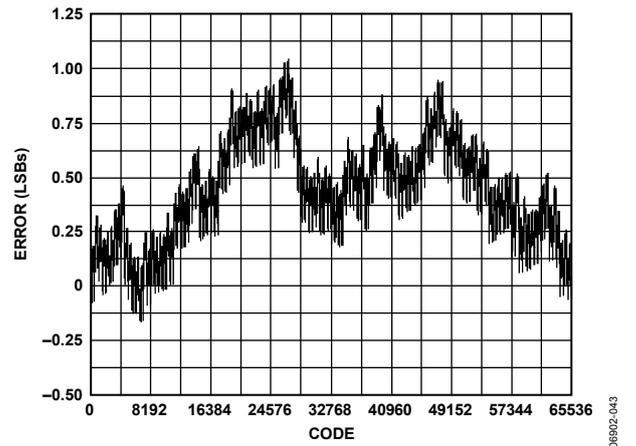


図 43. AD9786 の代表的な INL プロット

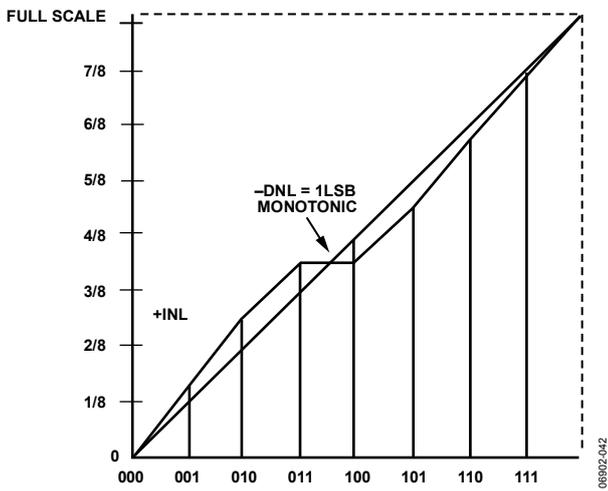


図 42. DNL 測定値

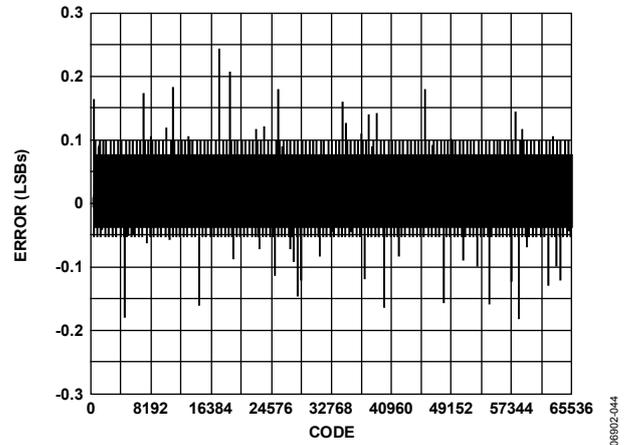
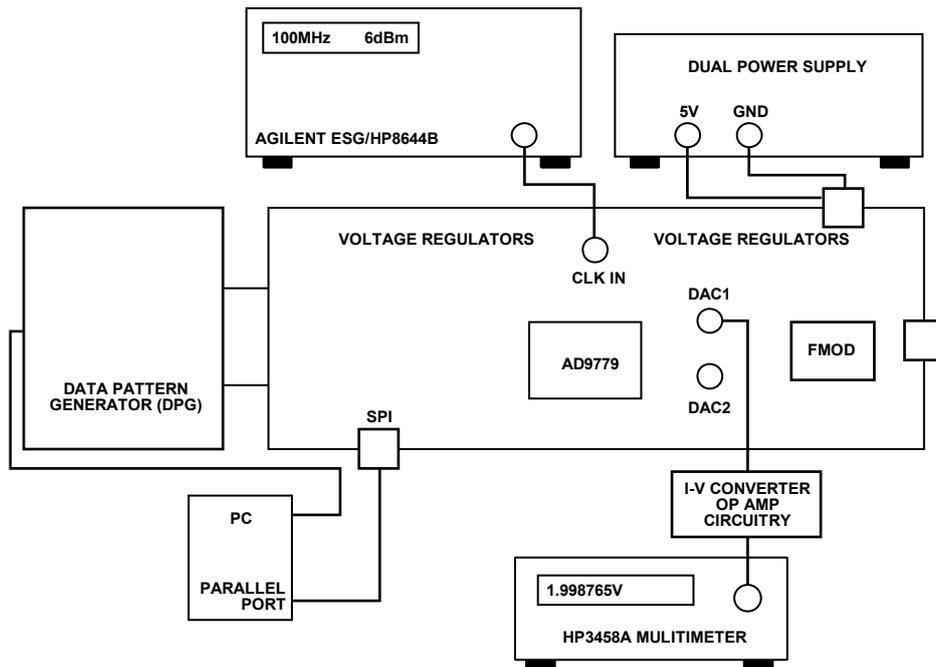


図 44. AD9786 の代表的な DNL プロット



06902-945

図 45. DC 測定テストのセットアップ

デジタル入力タイミング

セットアップ・タイム

DACのセットアップ・タイムは、クロックのラッチ・エッジの前でデータが安定するために要する時間です。この時間は通常最小値として規定されます。セットアップ・タイムは、図 46～図 48に示すように、クロックのラッチ・エッジに対してキープアウト・ウインドウの位置に応じて正と負の値が可能です。

ホールド・タイム

DAC のホールド・タイムは、データが正しく取得されるために、クロックのラッチ・エッジの後でデータが安定する必要がある時間です。

この時間も通常最小時間として規定されます。セットアップ・タイムの場合と同様に、ホールド・タイムも 図 46～図 48 に示すように正と負の値が可能です。

キープアウト・ウインドウ

DAC のキープアウト・ウインドウは、クロック・ラッチ・エッジの前後の合計ウインドウでセットアップ・タイムとホールド・タイムを含みます。

高速 CMOS 入力 DAC のセットアップ・タイムとホールド・タイムの測定については、アプリケーション・ノート AN-748 を参照してください。

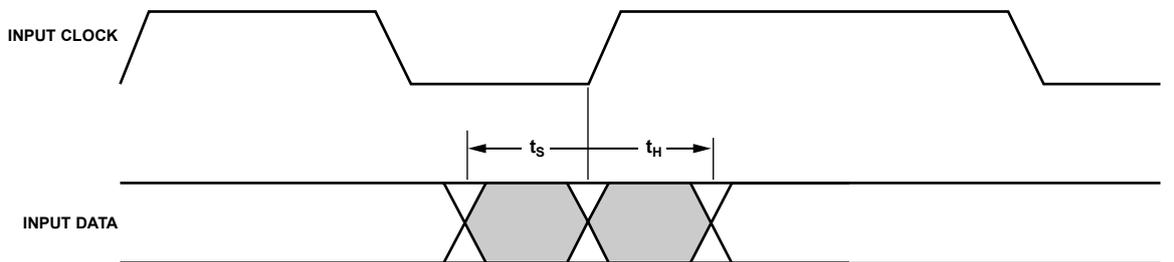


図 46. ラッチ・クロック・エッジに対して対称なセットアップ・タイムとホールド・タイム (t_s と t_H は正值)

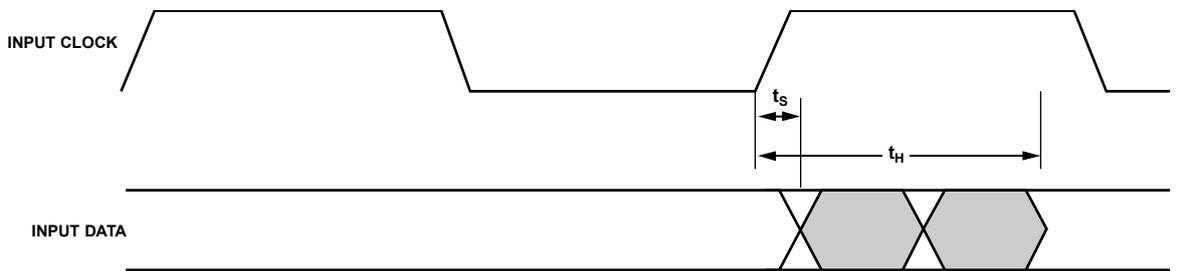


図 47. ラッチ・クロック・エッジから遅れたセットアップ・タイムとホールド・タイム (t_s と t_H は負値)

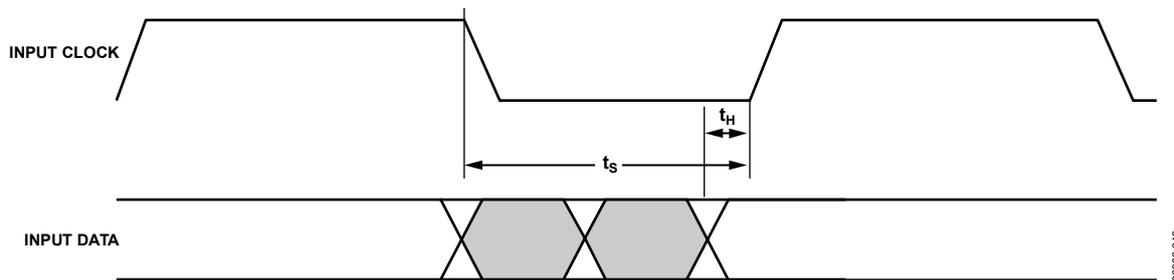


図 48. ラッチ・クロック・エッジより進んでいるセットアップ・タイムとホールド・タイム (t_s 正值で t_H は負値)