

# MAXIM

## ERRATA SHEET

### DS26324

#### 改訂版A1の正誤表

下記の正誤表は、DS26324 改訂版 A1 コンポーネントの動作がデータシートにおける想定または記載と異なる状況を説明しています。Maxim Integrated Products, Inc.は、今後のダイの改訂においてこうした不具合を修正する予定です。

この正誤表シートは、DS26324 改訂版A1 コンポーネントのみに適用されます。改訂版A1 コンポーネントは、yywwA1 の形式の 6 桁コードがパッケージの上面に印されています。この形式では、yyおよびwwはそれぞれ製造年度および製造週を表す 2 桁の番号です。他のDS26324 のダイ改訂版に関する正誤表シートを入手するには、Maximのウェブサイト [japan.maxim-ic.com/errata](http://japan.maxim-ic.com/errata) を参照してください。

注: 以下の特長の改善は改訂版 A2 で実施されており、改訂版 A1 には適用されません。

- 1) E1 モードのジッタ減衰器用の設定可能なコーナー周波数
- 2) RTIP/RRING 用の完全内部インピーダンス整合オプション
- 3) BERT のシステム側への実装オプション
- 4) 受信側終端較正用の RESREF ピン

#### 1) 短絡/オープン回路検出が確実に機能せず

**説明:**

部品が T1/J1 または E1 モードで動作中で、インピーダンス整合がオンの場合に、短絡/オープン回路検出が確実に機能しません。この問題によって、インピーダンス整合がオンの場合にすべてのラインビルドアウトが影響を受けます。

**回避策:**

なし

#### 2) RPOS、RNEG、および RCLK ピンがトライステート化せず

**説明:**

16 のすべての LIU の RPOS、RNEG、および RCLK ピンがデータシートの記載のようにトライステート化しません。

**回避策:**

なし

## 3) 出力波形のテンプレート適合

**説明:**

各出力波形をそれぞれのテンプレートの中心にすることができず、テンプレート違反や、不完全なテンプレート適合になります。

**回避策:**

下記の表 1 は、出力波形をテンプレートの中心にするために設定すべきテストバンク内の ADDP レジスタに対するアドレスとレジスタのアドレスを指定しています。これらの設定値は、インピーダンス整合がオンであるか、またはオフであるかに依存します。Template Select レジスタ(レジスタアドレス = 11h)内の TIMPOFF ビットを使って、インピーダンス整合を設定または設定解除することができます。

インピーダンス整合がオンの場合は、誤検出とそれに伴うデバイスのシャットダウンを回避するために短絡回路保護をディセーブルする必要があります(短絡/オープン回路検出に関する正誤表#1 を参照)。

表 1. 出力波形テンプレート適合のためのアドレス/レジスタ設定値

ADDRESS TO THE ADDP REGISTER	HEX VALUE TO ENTER IN ADDRESS	WILL ACCESS THE FOLLOWING LIU	WRITE TO THE FOLLOWING ADDRESS WITHIN THE TEST BANK	HEX VALUE TO WRITE IN ADDRESS WITH IMPEDANCE MATCHING:	
				OFF (TIMPOFF BIT = 1)	ON (TIMPOFF BIT = 0)
1Fh	04h	LIU1	04h	Contact factory for register settings	Contact factory for register settings
1Fh	05h	LIU2	04h		
1Fh	06h	LIU3	04h		
1Fh	07h	LIU4	04h		
1Fh	08h	LIU5	04h		
1Fh	09h	LIU6	04h		
1Fh	0Ah	LIU7	04h		
1Fh	0Bh	LIU8	04h		
3Fh	04h	LIU9	24h		
3Fh	05h	LIU10	24h		
3Fh	06h	LIU11	24h		
3Fh	07h	LIU12	24h		
3Fh	08h	LIU13	24h		
3Fh	09h	LIU14	24h		
3Fh	0Ah	LIU15	24h		
3Fh	0Bh	LIU16	24h		

4) デジタルループバックへのすべて1の挿入

**説明:**

すべて 1 の送信ロジックは、デジタルループバックパス内にあります。RPOS/RNEG にループバックされるデータが、すべて 1 の送信条件で上書きされます。

**回避策:**

TTIP/TRINGにすべて1を同時に送信しながら、TPOS/TNEGをRPOS/RNEGにループバックすることができます。ただし、すべて 1 は 1~8 および 9~16 の TTIP/TRING 出力のグループに送信されます。表 2 の設定値を使って、この機能をイネーブルします。TAOE レジスタの代わりに、これらの設定値を使用します。

表 2. デジタルループバックにすべて 1 を送信するためのアドレスおよびレジスタ設定値

ADDRESS TO THE ADDP REGISTER	HEX VALUE TO ENTER IN ADDRESS	WILL ACCESS THE FOLLOWING LIUs	WRITE TO THE FOLLOWING ADDRESS WITHIN THE TEST BANK	HEX VALUE TO WRITE IN ADDRESS TO TRANSMIT ALL ONES IN DIGITAL LOOPBACK
1Fh	03h	LIU 1-8	07h	07h
3Fh	03h	LIU 9-16	27h	07h

5) 出カイネーブル(OEn)ビット

**説明:**

出カイネーブルレジスタ(LIU 1~8:12h および LIU 9~16:32h のレジスタアドレス)内の OEn ビットが反転します。OEn ビットがハイの時は、トランスミッタがディセーブルされます。ローの時は、トランスミッタがイネーブルされます。

**回避策:**

なし

6) 受信インピーダンスオン(RIMPON)ビット

**説明:**

RIMPON ビット(TS レジスタ内)が 0 に設定されていると、受信インピーダンス整合はオンです。RIMPON ビットが 1 に設定されていると、レシーバはハイインピーダンス状態です。デフォルトモードでは、RIMPON = 0 であり、受信インピーダンス整合がオンです。

**回避策:**

なし

7) 受信終端制御(RTCTL)ビット

**説明:**

RTCTL ビット(GC レジスタ内)が機能しません。

**回避策:**

なし