

特長

3.3V対応のデジタル・インターフェースを備えた5.0Vステレオ・オーディオADC

96kHzのサンプル・レートをサポート

16/20/24ビットのワード長をサポート

アイドル・トーンとノイズ・フロアを低減する“完全な微分直線性再生”機能を備えたマルチビット Σ - Δ 変調器

105dB (typ)のダイナミックレンジ

256/512および768 $\times$ f_sのマスター・クロックをサポート

柔軟性の高いシリアル・データ・ポート

- ・右詰め、左詰め、I²Sコンパチブル、およびDSPシリアル・ポートの各モードが可能

- ・単一のDSP SPORTからカスケード接続(最大4個のデバイス)が可能

SPI互換のシリアル・ポートまたはオプションの制御ピンからのデバイス制御

電圧リファレンスを内蔵

28ピンSSOPパッケージ

アプリケーション

業務用オーディオ

ミキシング・コンソール

電子楽器

CD-R、MD、DVD-R、DAT、HDDを含むデジタル・オーディオ・レコーダ

ホーム・シアター・システム

車載用オーディオ・システム

マルチメディア

製品概要

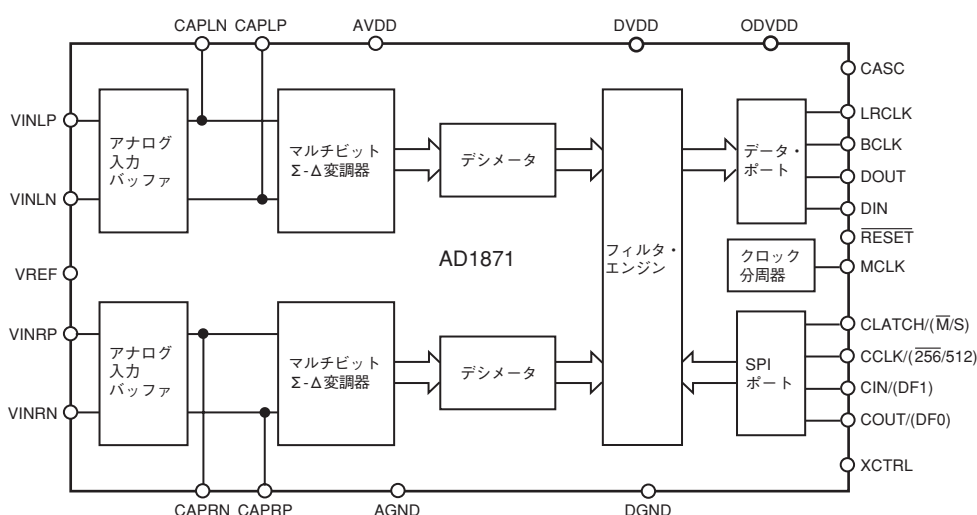
AD1871は、高性能のA/D変換が要求されるデジタル・オーディオ・アプリケーション用に設計されたステレオ・オーディオADCです。プログラマブル・ゲイン・アンプ(PGA)、マルチビット Σ - Δ 変調器、およびデシメーション・フィルタを備えた、2つの24ビット変換チャンネルを特長としています。各チャンネルが105dBのダイナミックレンジを備えているので、AD1871はデジタル・オーディオ・レコーダやミキシング・コンソールなどのアプリケーションに適しています。

AD1871の各入力チャンネル(左と右)は、差動またはシングルエンド(内部のシングルエンド/差動変換によって2つの入力をマルチプレクス)として構成することが可能です。入力PGAは、3dBステップで0dB~12dBのゲイン設定レンジを特長としています。 Σ - Δ 変調器には、標準オーディオ・サンプリング・レート32kHzから96kHzまでのオーディオ帯域幅で最適な性能を実現する独自技術のマルチビット・アーキテクチャが採用されています。デシメーション・フィルタの応答性は、非常に低い通過帯域リップルと優れた阻止帯域減衰を特長としています。

AD1871のオーディオ・データ・インターフェースは、I²S、左詰め、右詰め、および他のモードなど一般的なインターフェース・フォーマットをすべてサポートするので、汎用デジタル・シグナル・プロセッサ(DSP)と容易に接続が可能です。AD1871はさらに、サンプル・ワード幅、PGAの設定、インターフェース・モードなどのデバイス・パラメータと機能を適切に制御することが可能なSPI互換のシリアル制御ポートも備えています。

AD1871は5Vの単電源で動作し、オプションとして3.3Vのデジタル・インターフェース能力も備わっています。パッケージは28ピンのSSOPで、-40℃~+105℃の温度レンジで仕様が規定されています。

機能ブロック図



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第3者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

REV.0

アナログ・デバイス株式会社

本社／東京都港区海岸1-16-1 電話03(5402)8200 〒105-6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪府大阪市淀川区宮原3-5-36 電話06(6350)6868(代) 〒532-0003
新大阪MTビル2号

AD1871

目次

特長	1
機能ブロック図	1
製品の概要	1
仕様	3
特に注記がない場合のテスト条件	3
アナログ性能	3
ローパス・デジタル・フィルタ特性	4
ハイパス・デジタル・フィルタ特性	4
マスター・クロック(MCLK)およびリセット・タイミング	4
データ・インターフェース・タイミング	5
制御インターフェース・タイミング	8
デジタルI/O	8
電源	8
温度レンジ	8
絶対最大定格	9
オーダ・ガイド	9
ピン配置	9
ピン機能説明	10
用語の説明	12
代表的な性能特性図	13
フィルタの応答性	13
デバイスの性能特性図	14
機能説明	16
クロック入力方式	16
変調器	16
デジタル・デシメーティング・フィルタ	17
ハイパス・フィルタ	17
ADCのコーディング	17
アナログ入力部	17
シリアル・データ・インターフェース	17
制御／ステータス・レジスタ	20
制御レジスタI	21
制御レジスタII	22
制御レジスタIII	23
ピーク読み出しレジスタ	24
外部制御	24
Master/Slaveの選択	24
MCLKモードの選択	24
シリアル・データ・フォーマットの選択	24
変調器モード	24
インターフェース動作	25
アナログ・インターフェース動作	25
レイアウトに関する留意事項	26
外形サイズ	27

特に注記がない場合のテスト条件

電源電圧	5.0V
周囲温度	25°C
入力クロック(f_{CLKIN})[$256 \times f_s$]	12.288MHz
入力信号	991.768Hz
	−0.5dB フルスケール(dBFS)(差動、PGA/MUX イネーブル時)
測定帯域幅	23.2Hz ~ 19.998kHz
ワード幅	24ビット
デジタル出力の負荷容量	100pF
入力ハイ電圧(V_{IH})	2.4V
入力ロー電圧(V_{IL})	0.8V
マスター・モード、I ² S データ・フォーマット	

アナログ性能

パラメータ	Min	Typ	Max	単位	条件
分解能		24		ビット	
差動入力					PGA/MUX イネーブル時 (20Hz ~ 20kHz、−60dB 入力)
ダイナミックレンジ					
ウェイトなし	98	103		dB	
A ウェイト	100	105		dB	
信号対ノイズ比		106		dB	
全高調波歪み + ノイズ(THD+N)		−85		dB	入力 = −0.5dBFS
		−103		dB	入力 = −20dBFS
マルチビット変調器のみの ダイナミックレンジ(A ウェイト)		102		dB	変調器出力 @ 5.6448MHz
シングルエンド入力					PGA/MUX イネーブル時 (20Hz ~ 20kHz、−60dB 入力)
ダイナミックレンジ					
ウェイトなし		103		dB	
A ウェイト		105		dB	
信号対ノイズ比		106		dB	
全高調波歪み + ノイズ(THD+N)		−85		dB	入力 = −0.5dBFS
		−103		dB	入力 = −20dBFS
差動入力(バイパス)					PGA/MUX ディスエーブル時 (20Hz ~ 20kHz、−60dB 入力)
ダイナミックレンジ					
ウェイトなし		103		dB	
A ウェイト		106		dB	
信号対ノイズ比		106		dB	
全高調波歪み + ノイズ(THD+N)		−86		dB	入力 = −0.5dBFS
		−104		dB	入力 = −20dBFS
差動入力($f_s = 96kHz$)					PGA/MUX イネーブル時、AMC = 1 (20Hz ~ 20kHz、−60dB 入力)
ダイナミックレンジ					
ウェイトなし		103		dB	
A ウェイト		106		dB	
信号対ノイズ比		106		dB	
全高調波歪み + ノイズ(THD+N)		−87		dB	入力 = −0.5dBFS
		−104		dB	入力 = −20dBFS
アナログ入力					
差動入力レンジ(±フルスケール)	−2.828		+2.828	V	
入力インピーダンス(PGA/MUX)		8		k Ω	差動
入力インピーダンス(バイパス)		40		k Ω	差動
入力インピーダンス(PGA/MUX)		4		k Ω	シングルエンド
V_{REF}	2.138	2.25	2.363	V	
DC 精度					
ゲイン誤差		−10		%	
チャンネル間ゲイン・ミスマッチ	−0.2	−0.01	+0.2	dB	
ゲイン・ドリフト		100		ppm/°C	
クロストーク(EIAJ 方式)		−100		dB	

AD1871 —仕様

ローパス・デジタル・フィルタ特性($f_s = 48\text{kHz}$)

パラメータ	Min	Typ	Max	単位
デシメーション係数		128		
通過帯域周波数		21.77		kHz
阻止帯域周波数		26.23		kHz
通過帯域リップル		± 0.01		dB
阻止帯域減衰量		120		dB
群遅延		910		μs

ローパス・デジタル・フィルタ特性($f_s = 96\text{kHz}$)

パラメータ	Min	Typ	Max	単位
デシメーション係数		64		
通過帯域周波数		43.54		kHz
阻止帯域周波数		52.46		kHz
通過帯域リップル		± 0.01		dB
阻止帯域減衰量		120		dB
群遅延		460		μs

ハイパス・デジタル・フィルタ特性($f_s = 48\text{kHz}$)

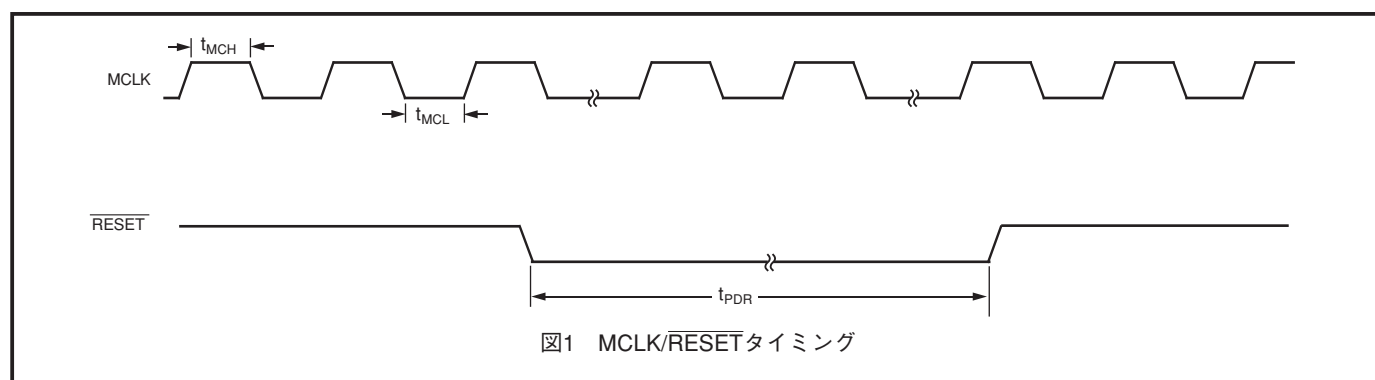
パラメータ	Min	Typ	Max	単位
カットオフ周波数		2		Hz

ハイパス・デジタル・フィルタ特性($f_s = 96\text{kHz}$)

パラメータ	Min	Typ	Max	単位
カットオフ周波数		4		Hz

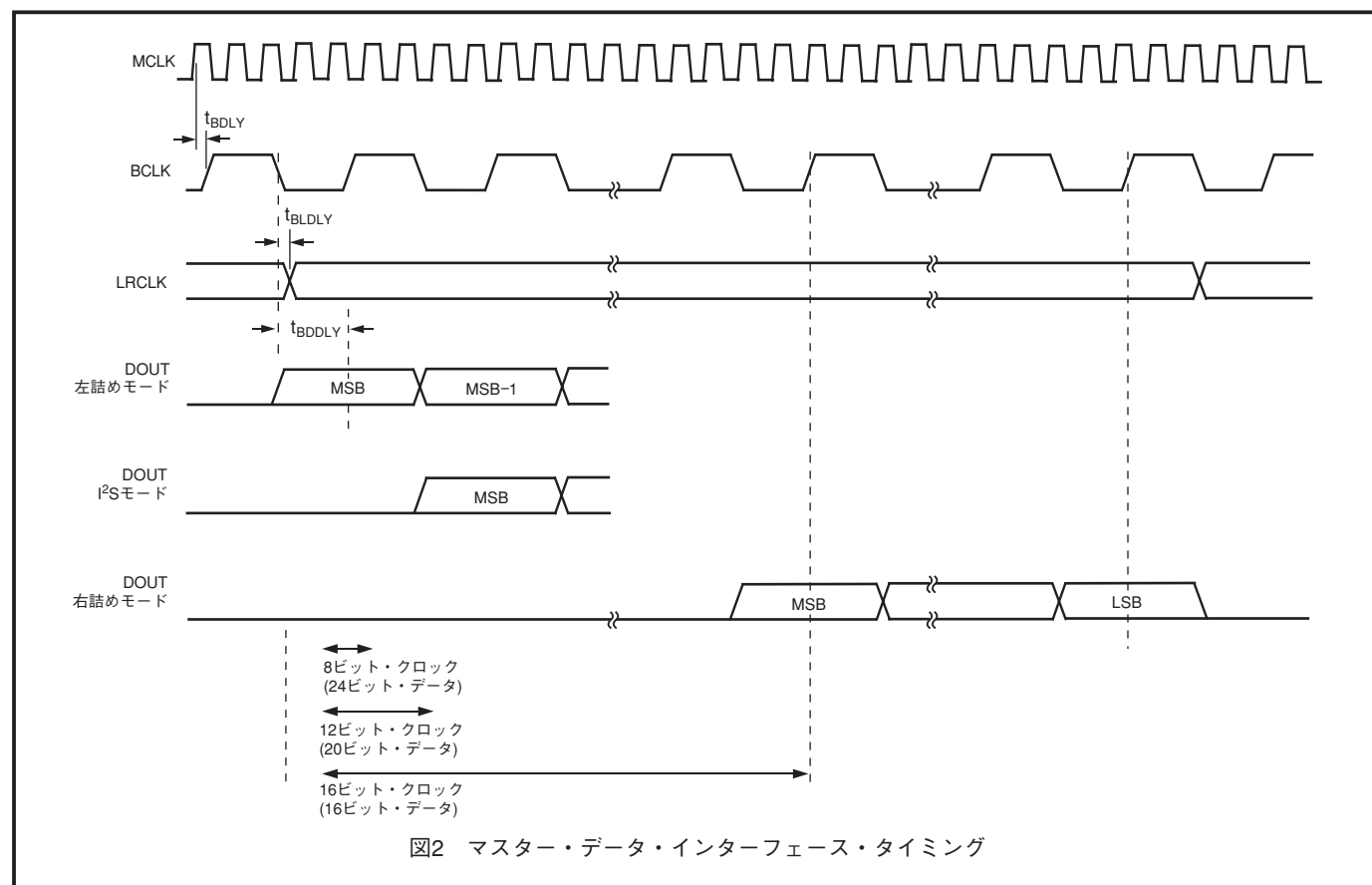
マスター・クロック(MCLK)およびリセット・タイミング

記号	説明	Min	Typ	Max	単位	備考
t_{MCH}	MCLKハイ幅	20			ns	
t_{MCL}	MCLKロー幅	20			ns	
t_{PDR}	RESETロー・パルス幅	20			ns	



データ・インターフェース・タイミング(スタンダローン・モード・マスター)

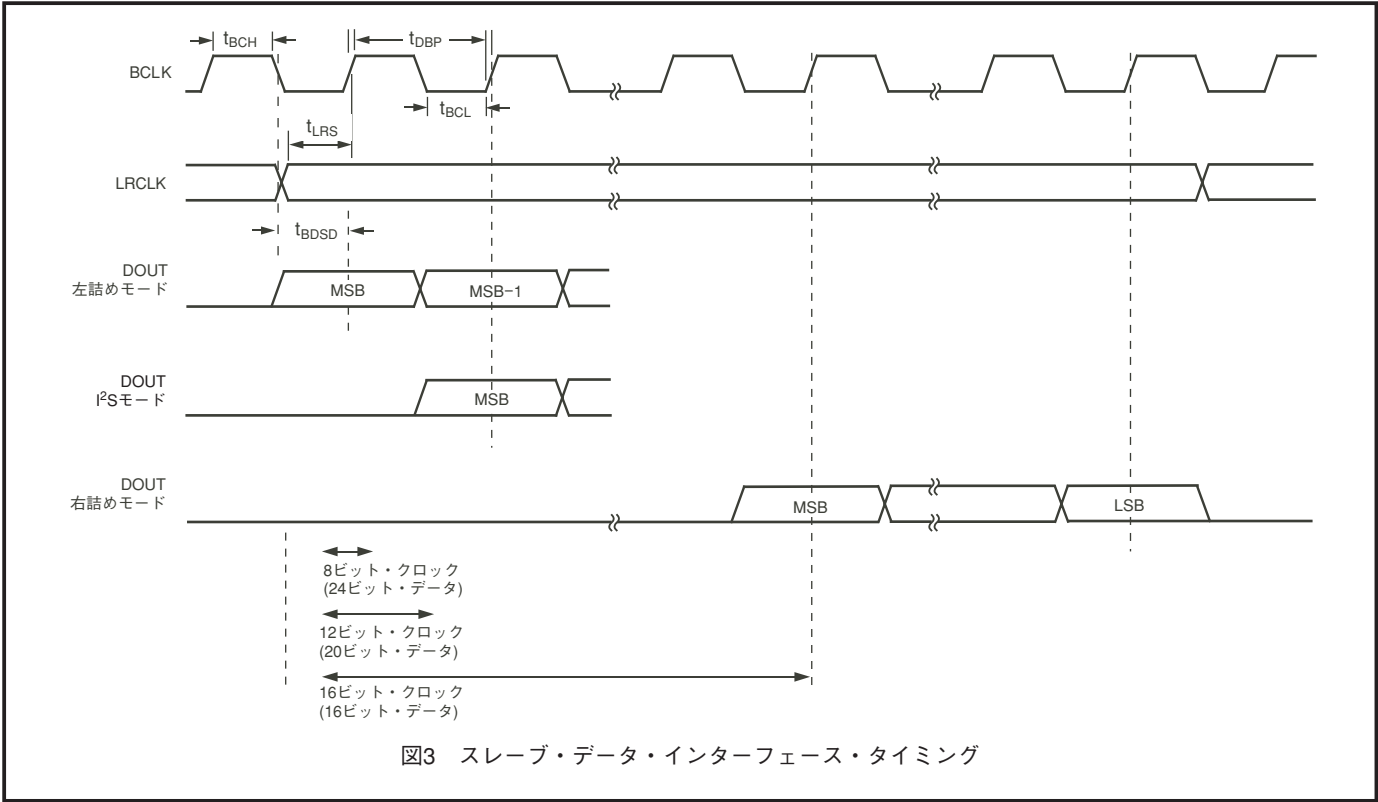
記号	説明	Min	Typ	Max	単位	備考
t_{BDLY}	BCLK遅延	20			ns	MCLKの立ち上がりから
t_{BLDLY}	LRCLKローまでの遅延	10			ns	BCLKの立ち下がりから
t_{BDDLY}	DOUT遅延	10			ns	BCLKの立ち下がりから



AD1871

データ・インターフェース・タイミング(スタンドアロン・モード・スレーブ)

記号	説明	Min	Typ	Max	単位	備考
t_{BCH}	BCLKハイ幅		30		ns	
t_{BCL}	BCLKロー幅		30		ns	
t_{BDSD}	DOUT遅延	20			ns	BCLKの立ち下がりから
t_{LRS}	LRCLKセットアップ	10			ns	BCLKの立ち上がりまで
t_{LRH}	LRCLKホールド	5			ns	BCLKの立ち上がりから



データ・インターフェース・タイミング(カスケード・モード・マスター)

記号	説明	Min	Typ	Max	単位	備考
t_{BCHDC}	BCLKハイ遅延	20			ns	MCLKの立ち上がりから
t_{BCLDC}	BCLKロー遅延	20			ns	MCLKの立ち下がりから
t_{BLRDC}	LRCLK遅延	10			ns	BCLKの立ち上がりから
t_{BDDC}	DOUT遅延	10			ns	BCLKの立ち上がりから
t_{BDIS}	DINセットアップ	10			ns	BCLKの立ち上がりまで
t_{BDIH}	DINホールド	10			ns	BCLKの立ち上がりから

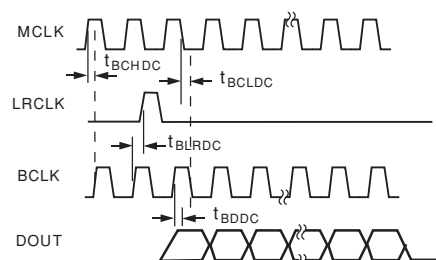


図4 マスター・カスケード・インターフェース・タイミング

データ・インターフェース・タイミング(カスケード・モード・スレーブ)

記号	説明	Min	Typ	Max	単位	備考
t_{BCHC}	BCLKハイ幅		30		ns	
t_{BCLC}	BCLKロー幅		30		ns	
t_{BDSDC}	DOUT遅延	20			ns	BCLKの立ち上がりから
t_{LRSC}	LRCLKセットアップ	10			ns	BCLKの立ち上がりまで
t_{LRHC}	LRCLKホールド	5			ns	BCLKの立ち上がりから
t_{BDIS}	DINセットアップ	10			ns	BCLKの立ち上がりまで
t_{BDIH}	DINホールド	10			ns	BCLKの立ち上がりから

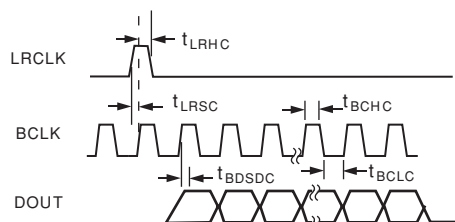


図5 スレーブ・カスケード・インターフェース・タイミング

データ・インターフェース・タイミング(変調器モード)

記号	説明	Min	Typ	Max	単位	備考
t_{MOCH}	MODCLKハイ幅		MCLK		ns	
t_{MOCL}	MODCLKロー幅		MCLK		ns	
t_{MHDD}	MOD DATAハイ遅延	30			ns	MCLKの立ち上がりから
t_{MLDD}	MOD DATAロー遅延	20			ns	MCLKの立ち下がりから
t_{MMDR}	MODCLK立ち上がり遅延	30			ns	MCLKの立ち下がりからMODCLKの立ち上がりまで
t_{MMDF}	MODCLK立ち下がり遅延	20			ns	MCLKの立ち下がりからMODCLKの立ち下がりまで

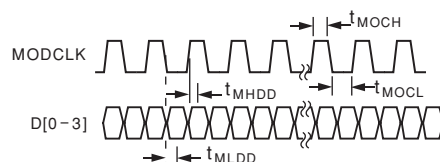


図6 変調器モード・タイミング

AD1871

制御インターフェース(SPI)タイミング

記号	説明	Min	Typ	Max	単位	備考
t _{CCH}	CCLKハイ幅	40			ns	
t _{CCL}	CCLKロー幅	40			ns	
t _{CCP}	CCLKサイクル	80			ns	
t _{CDS}	CDATAセットアップ時間	10			ns	CCLKの立ち上がりまで
t _{CDH}	CDATAホールド時間	10			ns	CCLKの立ち上がりから
t _{CLS}	CLATCHセットアップ時間	10			ns	CCLKの立ち上がりまで
t _{CLH}	CLATCHホールド時間	10			ns	CCLKの立ち上がりから
t _{COE}	COUTイネーブル	15			ns	CLATCHの立ち下がりから
t _{COD}	COUT遅延	20			ns	CCLKの立ち下がりから
t _{COTS}	COUTスリーステート	25			ns	CLATCHの立ち上がりから

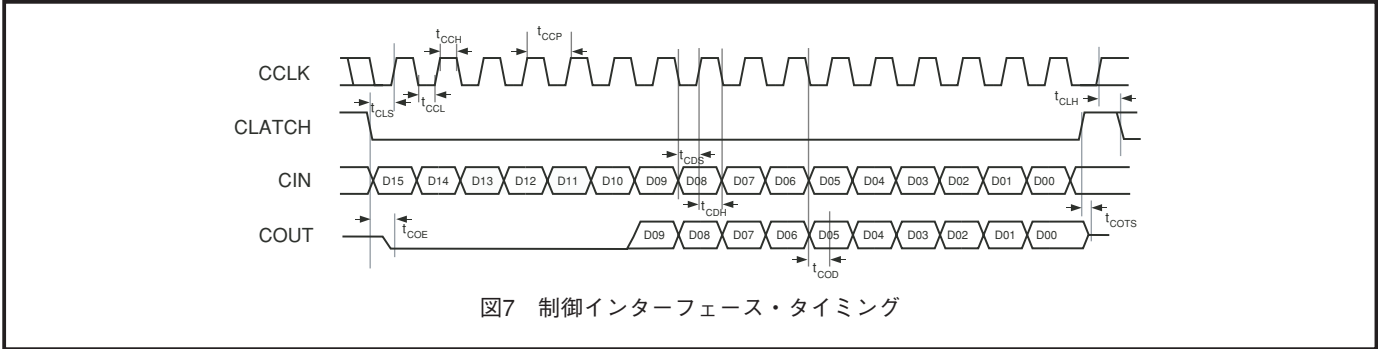


図7 制御インターフェース・タイミング

デジタルI/O

パラメータ	Min	Typ	Max	単位
入力ハイ電圧(V _{IH})	2.4			V
入力ロー電圧(V _{IL})			0.8	V
入力漏れ電流(I _{IH} @ V _{IH} = 5V)			10	μA
入力漏れ電流(I _{IL} @ V _{IL} = 0V)			10	μA
出力ハイ電圧(V _{OH} @ I _{OH} = -2mA)	ODVDD - 0.4V			V
出力ロー電圧(V _{OL} @ I _{OL} = +2mA)			0.4	V
入力容量			15	pF

電源

パラメータ	Min	Typ	Max	単位
電源				
電圧、AVDDおよびDVDD	4.5	5	5.5	V
電圧、ODVDD	2.7		5.5	V
アナログ電流		40	45	mA
アナログ電流－パワーダウン(MCLK動作時)		4.0	6.0	μA
デジタル電流、DVDD		18	22	mA
デジタル電流、ODVDD		0.5	1.0	mA
デジタル電流－パワーダウン(MCLK動作時) DVDD*		0.8	2.0	μA
デジタル電流－パワーダウン(MCLK動作時) ODVDD*		1.0	15.0	μA
電源変動除去				
アナログ電源ピンの1kHz 300mVp-p信号		-86		dB
アナログ電源ピンの20kHz 300mVp-p信号		-77		dB

* RESETをローに保持。

温度レンジ

パラメータ	Min	Typ	Max	単位
仕様保証温度		25		℃
機能性保証温度	-40		+105	℃
保管温度	-65		+150	℃

仕様は予告なく変更されることがあります。

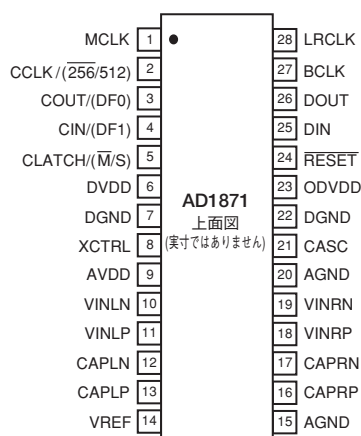
絶対最大定格

	Min	Typ	Max	単位
DGND基準のDVDDおよびDGND基準のODVDD	0		6	V
AGND基準のAVDD	0		6	V
デジタル入力	DGND−0.3		DVDD + 0.3	V
アナログ入力	AGND−0.3		AVDD + 0.3	V
DGND基準のAGND	−0.3		+0.3	V
リファレンス電圧			グラウンドに無制限に短絡	
ハンダ付け温度(10秒間)			300	℃

オーダー・ガイド

モデル	温度レンジ	パッケージの説明	パッケージ・オプション
AD1871YRS	−40℃〜+105℃	SSOP	RS-28
AD1871YRS-REEL	−40℃〜+105℃	SSOP	13インチ・リール(1500個)のRS-28
EVAL-AD1871EB		評価用ボード	

ピン配置



注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお勧めします。



AD1871

ピン機能の説明

ピン番号	入力／出力	記号	説明
1	入力	MCLK	マスター・クロック。マスター・クロック入力はAD1871のサンプル・レートを決定します。MCLKはサンプリング周波数の256倍、512倍、または768倍が可能です。
2	入力	CCLK ¹	制御ポート・ビット・クロック。制御ポート(SPI)インターフェース用のクロック信号です。このピンは、外部制御モード(XCTRLピンがハイのとき)に再設定されます。脚注参照。
3	入力／出力	COUT ^{1, 2}	制御ポート・データ出力。制御ポート(SPI)インターフェースからのシリアル・データ出力です(リードバック動作時)。このピンは、外部制御モード(XCTRLピンがハイのとき)、または変調器モード(制御レジスタIIのMMEビットを設定)に再設定されます。脚注参照。
4	入力	CIN ¹	制御ポート・データ入力。制御ポート(SPI)インターフェース用のシリアル・データ入力です。このピンは、外部制御モード(XCTRLピンがハイのとき)に再設定されます。脚注参照。
5	入力	CLATCH ¹	制御ポート・フレーム同期。制御ポート(SPI)インターフェース用のフレーム同期入力(フレーミング信号)です。このピンは、外部制御モード(XCTRLピンがハイのとき)に再設定されます。脚注参照。
6	入力	DVDD	5Vのデジタル・コア電源
7	入力	DGND	デジタル・グラウンド
8	入力	XCTRL	外部制御イネーブル。AD1871の制御モードの選択に使用します。XCTRLがローのときには、SPI互換制御ポート(CCLK、CLATCH、CIN、COUTの各ピンを使用)を通して制御されます。XCTRLがイネーブル(ハイ)のときには、ハードウェアによってピンの接続を変更することで、複数のデバイス機能(256/512、 $\overline{M}/S$ 、DF1、DF0の各ピンを使用)を制御することが可能です。外部制御モード時には、他のすべての機能がデフォルト状態に設定されます(制御レジスタの説明と「外部制御」を参照してください)。
9	入力	AVDD	5Vのアナログ電源
10	入力	VINLN	左チャンネルの負入力(MUX/PGAを経由)
11	入力	VINLP	左チャンネルの正入力(MUX/PGAを経由)
12	入力／出力	CAPLN	左チャンネルの外部フィルタ・コンデンサ(変調器の負入力)
13	入力／出力	CAPLP	左チャンネルの外部フィルタ・コンデンサ(変調器の正入力)
14	出力	VREF	リファレンス電圧出力。VREFピンとAGND (15番ピン)の間に、 $10\mu F$ と $0.1\mu F$ のコンデンサを並列に接続することを推奨します。(「レイアウトに関する留意事項」を参照してください)
15	入力	AGND	アナログ・グラウンド
16	入力／出力	CAPRP	右チャンネルの外部フィルタ・コンデンサ(変調器の正入力)
17	入力／出力	CAPRN	右チャンネルの外部フィルタ・コンデンサ(変調器の負入力)
18	入力	VINRP	右チャンネルの正入力(MUX/PGAを経由)
19	入力	VINRN	右チャンネルの負入力(MUX/PGAを経由)
20	入力	AGND	アナログ・グラウンド
21	入力	CASC	カスケード・イネーブル。このピンは、最大4個までのAD1871デバイスを単一のDSPシリアル・ポートにカスケード接続する設定をイネーブルにします(「カスケード・モード」を参照してください)。
22	入力	DGND	デジタル・グラウンド
23	入力	ODVDD	デジタル・インターフェース電源。デジタル・インターフェースは、3.3Vから5.0V (nominal)までで動作が可能です。
24	入力	$\overline{RESET}$	リセット
25	入力／出力	DIN ²	シリアル・データ入力。AD1871をカスケード・モード(CASCピンがハイのとき)に設定しているときに限り有効なシリアル・データ入力ピンです。このピンは、変調器モード(制御レジスタIIのMMEビットを設定)に再設定されます。脚注参照。
26	出力	DOUT ²	オーディオ・シリアル・データ出力。このピンは、変調器モード(制御レジスタIIのMMEビットを設定)に再設定されます。脚注参照。
27	入力／出力	BCLK ²	オーディオ・シリアル・ビット・クロック。このビット・クロックはオーディオ・データのシリアル・クロックで、オーディオ・データの転送速度を決定します。このピンは、変調器モード(制御レジスタIIのMMEビットを設定)に再設定されます。脚注参照。
28	入力／出力	LRCLK ²	左／右チャンネル・クロック。ワード・クロックとも呼ばれ、サンプリング・レートを決定します。 $\overline{Master/Slave}$ のステータスに応じて出力または入力になります。このピンは、変調器モード(制御レジスタIIのMMEビットを設定)に再設定されます。脚注参照。

注

1. 外部制御モード(11ページを参照)

2. 変調器モード(11ページを参照)

外部制御モード時のピン機能の定義変更

ピン番号	入力／出力	記号	説明
2	入力	$\overline{256}/512$	クロック・レート選択。MCLKを $256 \times f_s$ (ローのとき)または $512 \times f_s$ (ハイのとき)に選択します。
3	入力	DF0	データ・フォーマット選択0。データ・フォーマット選択の下位ビット(DF0)として使用されます(「外部制御」を参照)。
4	入力	DF1	データ・フォーマット選択1。データ・フォーマット選択の上位ビット(DF1)として使用されます(「外部制御」を参照)。
5	入力	$\overline{M}/S$	Master/Slave選択。マスター(ローのとき)またはスレーブ(ハイのとき)のモードを選択します。

変調器モード時のピン機能の定義変更

ピン番号	入力／出力	記号	説明
3	出力	MODCLK	左右チャンネルの変調器出力の復号化を可能にするクロック出力が、このピンから供給されます。これは左／右チャンネル・クロックと同様なものですが、5.6448MHz (nominal)で動作し、各動作段階で4ビットの変調器出力ワードをゲートします(「変調器モード」を参照)。
25	出力	D3	変調器出力ワードのビット3
26	出力	D2	変調器出力ワードのビット2
27	出力	D1	変調器出力ワードのビット1
28	出力	D0	変調器出力ワードのビット0

AD1871

用語の説明

ダイナミックレンジ

フルスケール入力信号と通過帯域(20Hz～20kHz)で積分された入力ノイズとの比として、dB単位で表します。ダイナミックレンジは -60dB の入力信号を使用して測定し、 $(S/[THD + N]) + 60\text{dB}$ に等しい値になります。 -60dB 入力時にはスプリアス高調波がノイズよりも小さくなるので、ノイズ・レベルによってダイナミックレンジが確立される点に留意してください。ダイナミックレンジは、Aウェイトフィルタを適用する場合と適用しない場合で規定されます。

信号対(全高調波歪み + ノイズ) (S/[THD + N])

基本入力信号の実効(rms)値と通過帯域におけるその他すべてのスペクトル周波数成分のrms和の比です。dB単位で表します。

通過帯域

デジタル・デシメーション・フィルタの減衰による影響を受けない周波数スペクトルの領域です。

通過帯域リップル

通過帯域内において振幅の等しい入力信号周波数からの振幅応答で見られる、ピーク・ツー・ピークの振幅変動量です。dB単位で表します。

阻止帯域

デジタル・デシメーション・フィルタにより、阻止帯域減衰で規定されるレベルまで減衰される周波数スペクトルの領域です。

ゲイン誤差

フルスケールに近い入力における、実際の出力と期待出力との比です。%単位で表します。

チャンネル間ゲイン・ミスマッチ

2つの全く同等なフルスケールに近い入力における2つのステレオ・チャンネルの出力比です。dB単位で表します。

ゲイン・ドリフト

温度の変動に伴う、フルスケールに近い入力に対する応答の変動です。百万分率(ppm)/ $^{\circ}\text{C}$ 単位で表します。

クロストーク(EIAJ方式)

入力がグラウンドに接続されたチャンネルと、入力が1kHzのフルスケール正弦波信号であるもう一方のチャンネルとの応答性の比です。dB単位で表します。

電源変動除去

アナログ入力を印加しない条件下で、電源ピンに300mVp-p信号が印加されるときに出力に表れる信号成分です。フルスケールのdB単位で表します。

群遅延

直感的な定義としては、入力信号パルスがコンバータの出力に表れるまでに必要な時間インターバルを指し、ミリ秒(ms)単位で表します。もっと正確に定義すると、所与の周波数においてラジアン周波数を基準にして派生するラジアンフェーズです。

略語の説明

ADC — A/Dコンバータ

DSP — デジタル・シグナル・プロセッサ

IMCLK — デシメーション・フィルタ部のクロックとして使用される内部マスター・クロック信号です。(周波数は、必ず $256 \times f_s$ にします)

MCLK — AD1871に入力する外部マスター・クロック信号です。周波数は256、512、または $768 \times f_s$ が可能です。MCLKを内部で分周して、 $256 \times f_s$ であるIMCLK周波数を設定することができます。

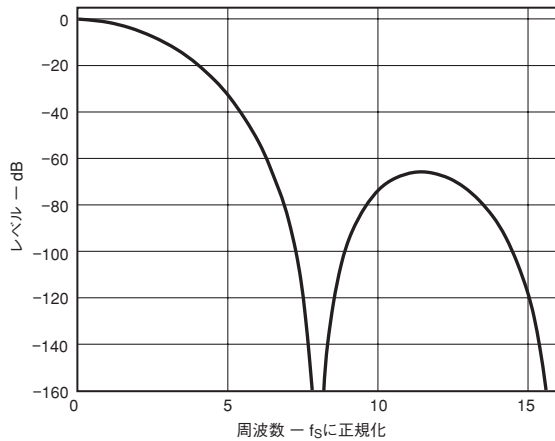
MODCLK — これは、 Σ - Δ 変調器のサンプル・レートを決定するためのクロックです。理想的には、6.144MHzまたは $128 \times f_s$ のいずれか低い方を超えることがあってはいけません。MODCLKは、2分周または4分周を選択できる分周器によって、IMCLKから生成されます。

MUX — マルチプレクサ

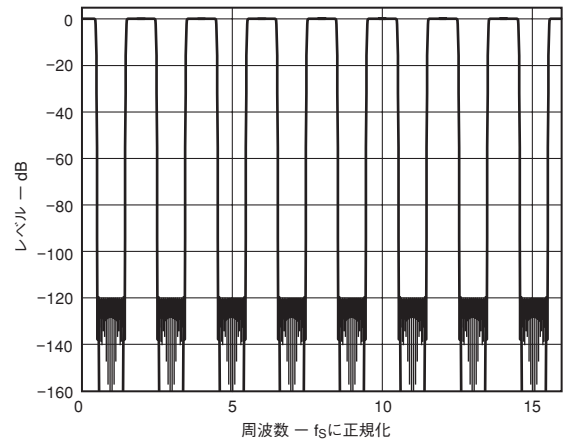
PGA — プログラマブル・ゲイン・アンプ

AD1871－代表的な性能特性

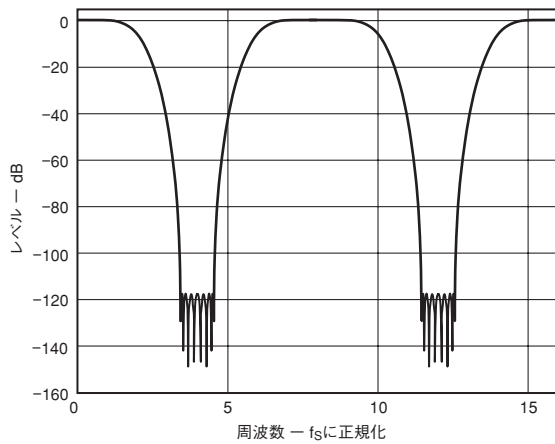
フィルタの応答



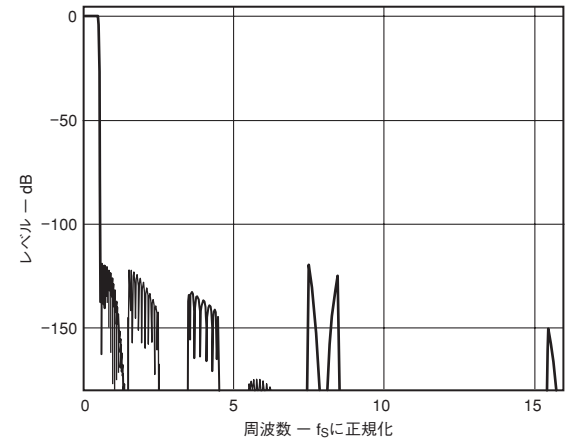
TPC 1 Sincフィルタの応答(AMC = 0)



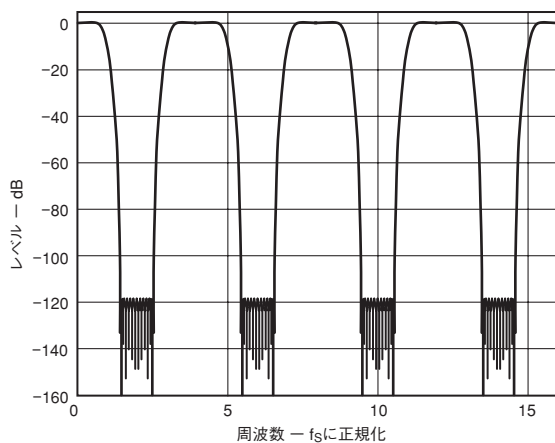
TPC 4 2次ハーフバンド・フィルタの応答



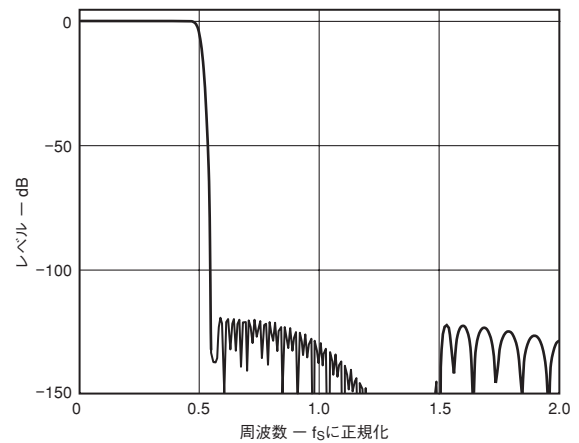
TPC 2 1次ハーフバンド・フィルタの応答



TPC 5 フィルタの総合応答(AMC = 0)



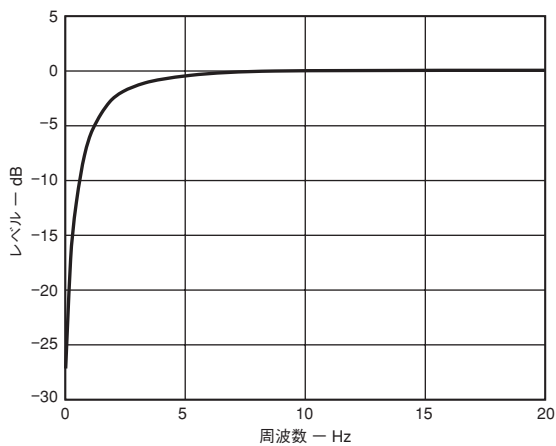
TPC 3 コム補償フィルタの応答



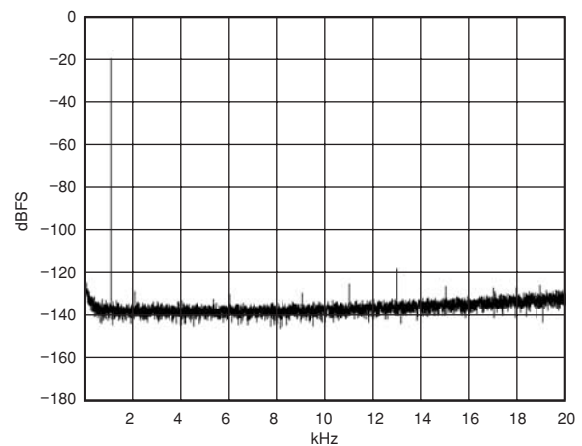
TPC 6 フィルタの総合応答(通過帯域部)(AMC = 0)

AD1871

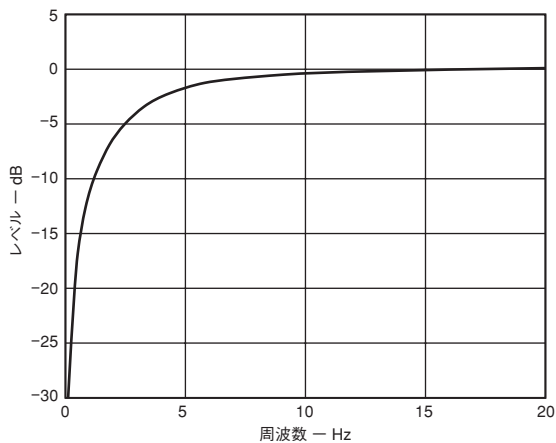
デバイスの性能特性図



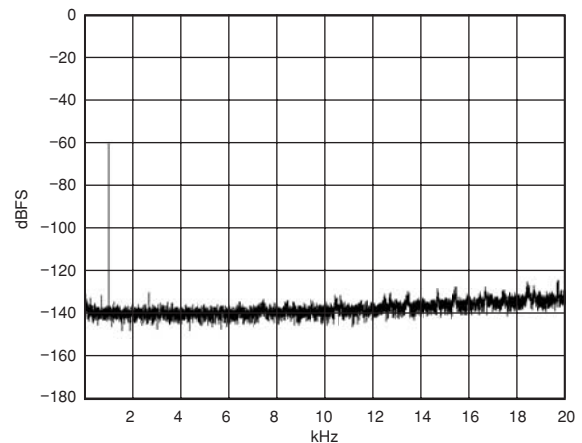
TPC 7 ハイパス・フィルタの応答、 $f_s = 48\text{kHz}$



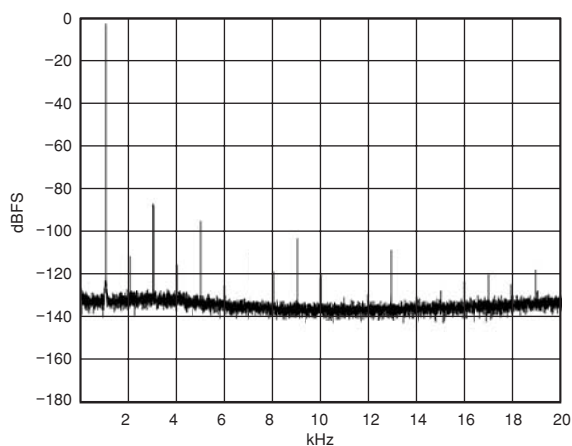
TPC 10 -20dBFS 、(32kポイントFFT)、 $f_s = 48\text{kHz}$ 時の1kHzトーン



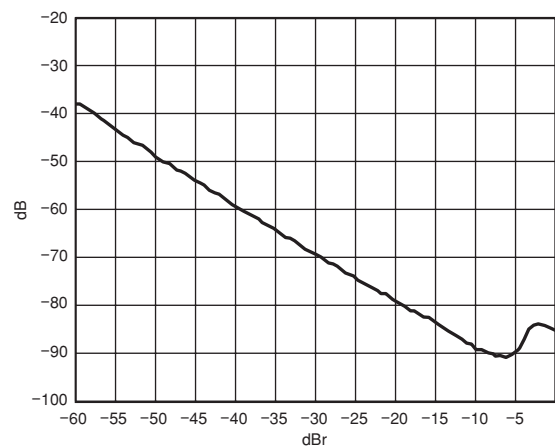
TPC 8 ハイパス・フィルタの応答、 $f_s = 96\text{kHz}$



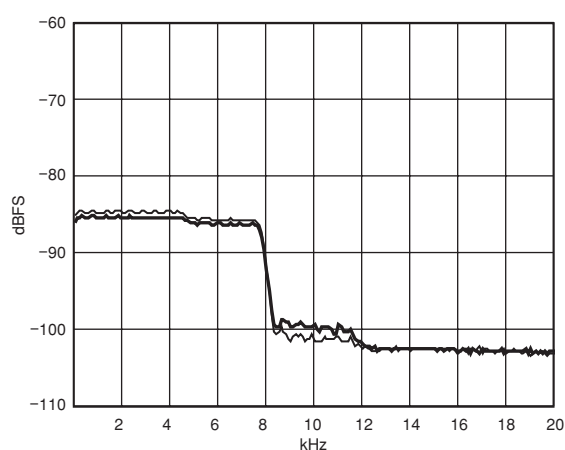
TPC 11 -60dBFS 、(32kポイントFFT)、 $f_s = 48\text{kHz}$ 時の1kHzトーン



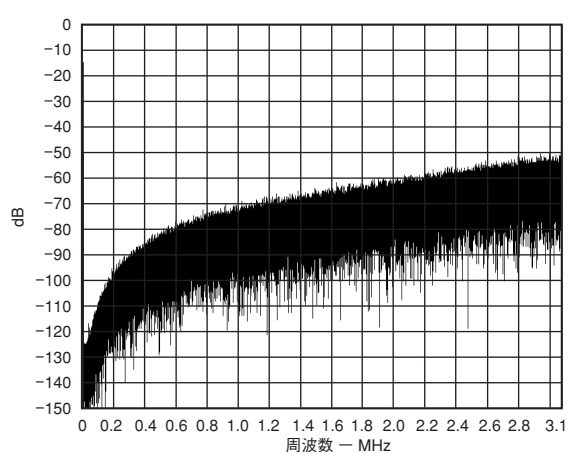
TPC 9 -0.5dBFS 、(32kポイントFFT)、 $f_s = 48\text{kHz}$ 時の1kHzトーン



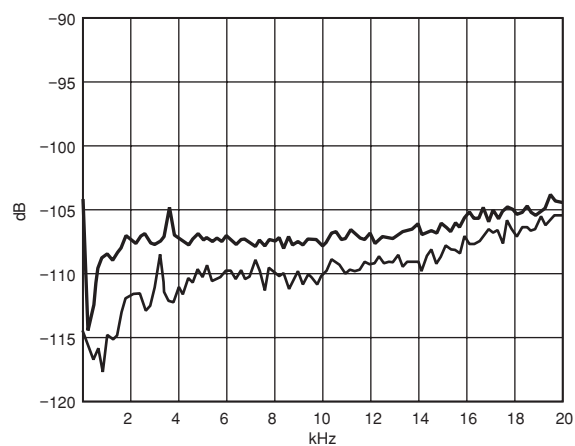
TPC 12 1kHz、 $f_s = 48\text{kHz}$ 時のTHD + N対入力振幅特性



TPC 13 -0.5dBFS、 $f_s = 48\text{kHz}$ 時のTHD + N対入力周波数特性



TPC 15 -0.5dBFS、 $f_s = 6.144\text{MHz}$ 時の変調器出力のFFT



TPC 14. -0.5dBFS、 $f_s = 48\text{kHz}$ 時のチャンネル・セパレーション対周波数特性

AD1871

機能説明

クロック入力方式

MCLKピンが、AD1871のマスター・クロック周波数入力端子です。AD1871の正常動作のためのMCLK周波数の公称値は、 $256 \times f_s$ です。ただし、ユーザーのMCLKが $256 \times f_s$ の整数倍($512 \times f_s$ または $768 \times f_s$)である場合には、図8に示すMCLK分周回路ブロックを使用して、MCLK周波数を適切な内部マスター・クロック周波数(IMCLK)に分周することが可能です。 $256 \times f_s$ 、 $512 \times f_s$ 、または $768 \times f_s$ のMCLKに対

応して、分周オプションはパス・スルー(/1)、/2、または/3から選択できます。MCLK分周器の制御は、制御レジスタIIIのMCD1-MCD0ビットを使用して実行できます(表XIIIを参照)。

結果として生成される内部MCLK (IMCLK)を使用して、デシメーティングおよびフィルタリング・エンジンを動作させますが、 $256 \times f_s$ の比となるように選択することが必要です。

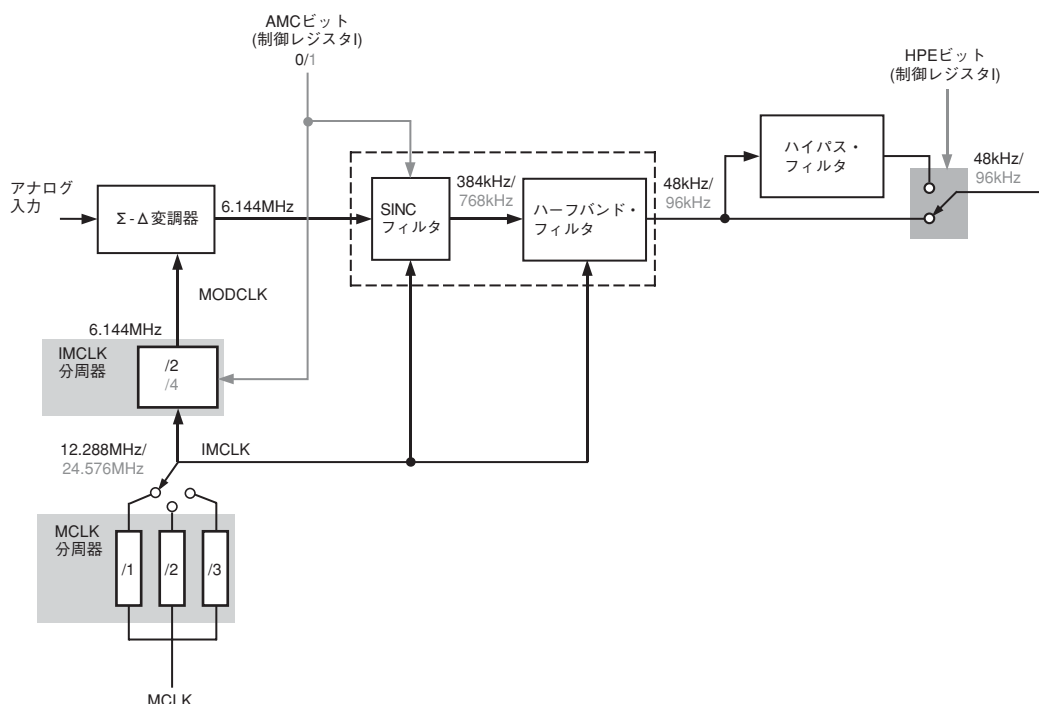


図8 変調器とフィルタ・エンジンのクロック入力方式

変調器

AD1871のアナログ Σ - Δ 変調器部は、最高性能を実現するためにアナログ・デバイス社が独自に開発した技術を採用した2次マルチビット方式の回路で構成されています。図9に示すように、2個のアナログ積分器ブロックの後段に、マルチビット・サンプルを生成するフラッシュ型ADC部が配置されています。サーモメータによって符号化されるフラッシュ型ADCの出力は、バイナリに復号化されてフィルタ部に出力され、また2個の積分器回路段にフィードバックするためにスクランブルされます。

変調器は、6.144MHzのサンプリング・レート(48kHzサンプリング時で $128 \times f_s$ 、96kHzサンプリング時で $64 \times f_s$)での動作に最適化されています。変調器クロック制御(制御レジ

スタIのAMCビット)を使用して、変調器クロック(MODCLK)をIMCLKの比として選択します。変調器クロックの分周オプションは、48kHz動作時で/2 (デフォルト)、96kHz動作時で/4となっています。12.288MHzのIMCLKでの動作時にデフォルトの分周設定(/2)を選択すると、変調器クロックは6.144MHzになります。24.576MHzのIMCLKでの動作時に、もう1つの分周設定(/4)を選択すると、変調器クロックは6.144MHzになります(図8を参照)。

上に詳述したものと異なる出力サンプル・レート(44.1kHzまたは88.2kHzが考えられる)でデバイスを動作させる必要がある場合には、TPC 6に示す正規化された周波数応答プロットからデシメーション・フィルタのカットオフ特性を決定することができます。

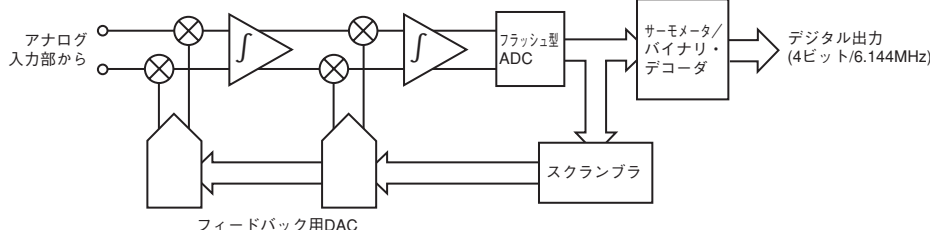


図9 変調器のブロック図

デジタル・デシメーティング・フィルタ

AD1871の変調器のデータ・ストリームのフィルタリングとデシメーションは、埋め込み型DSPエンジンで実行されます。フィルタリングの初段は、変調器クロック制御ビットAMC(「変調器」のセクションを参照)によってデシメーションを選択できるsincフィルタ回路です。sinc段でサンプル・レートが16分の1にデシメーション(初期値)されますが、これは $128 \times f_s$ のMODCLKレートに相当します。AMCビットをもう1つの設定に変更すると、sinc段のデシメーション値が8に設定されますが、これは $64 \times f_s$ のMODCLKレートに相当します。sincデシメータ段の出力は、 $8 \times f_s$ のレートになります。

フィルタ・エンジンは、2つのハーフバンドFIRフィルタ部と1つのsinc補償回路段で構成されており、この組み合わせにより、8分の1デシメーション以上が得られます。sincおよびFIRフィルタ部の応答の詳細は、TPC 1~4の特性図を参照してください。TPC 5には、sincおよびFIRフィルタの総合応答を図示しています。

ハイパス・フィルタ

AD1871は、出力データ・ストリームからDC成分を除去する能力を備えたオプションのハイパス・フィルタ部を特長としています。ハイパス・フィルタは、制御レジスタIのビット8 (HPE)を1に設定することでイネーブルにします。ハイパス・フィルタの特性の詳細は、TPC 7とTPC 8を参照してください。

ADCのコーディング

ADCの出力データ・ストリームは、2の補数符号化フォーマットです。ワード幅は16ビット、20ビット、または24ビットから選択できます(表VIと表VIIを参照)。コーディング方式の詳細を表Iに記載しています。

表I. ADCのコーディング

コード	レベル
011111.....1111	正のフルスケール
000000.....0000	0 (基準レベル)
100000.....0001	負のフルスケール

アナログ入力部

アナログ入力部は、差動PGA段で構成されています。シングルエンド入力用に構成して、2つの入力をマルチプレクサ・スイッチで選択できるように設定することも可能です。PGAでは、0dB~12dBのレンジ内で3dBステップで5つのゲイン設定が可能です(表Vを参照)。

差動モードでは、VINxPとVINxNの入力ピンが反転アンプ・ペアに接続され、その出力はそれぞれCAPxNピンとCAPxPピンに接続されます(図10を参照)。

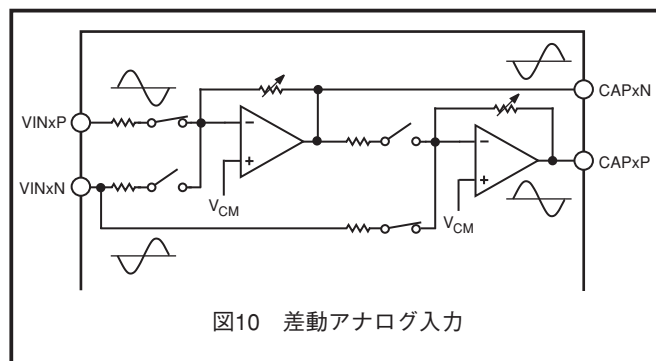


図10 差動アナログ入力

シングルエンド・モードでは、VINxPまたはVINxNのいずれかを入力として選択できます。入力反転アンプのペアは、シングルエンド/差動変換段として再設定されます。この場合、差動回路部の出力はCAPxPピンとCAPxNピンに接続されます(図11を参照)。

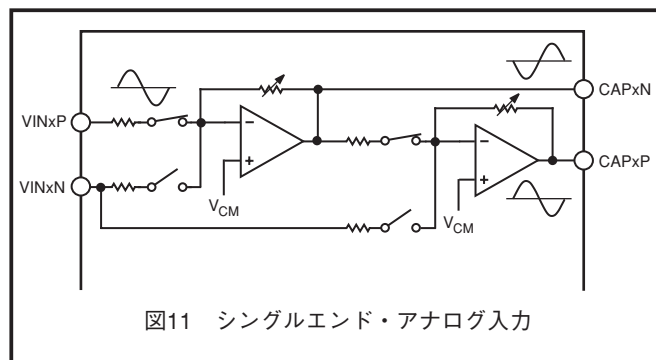


図11 シングルエンド・アナログ入力

アナログ入力部は、リセット時にデフォルトでイネーブル(パワーON)に設定されます。変調器入力ピン(CAPxPとCAPxN)を直接使用してアナログ入力部をバイパスする必要がある場合は、制御レジスタIIIのMERとMELのビットを設定して、アナログ入力部をパワーダウンしなければなりません。

シリアル・データ・インターフェース

AD1871のシリアル・データ・インターフェースは、3本のピン(LRCLK、BCLK、SDATA)で構成されます。LRCLKは左右チャンネル・サンプル用のフレーミング信号で、その周波数はサンプリング周波数(f_s)と同じです。BCLKはAD1871からのデータ・サンプルのクロック動作に使用されるシリアル・クロックで、その周波数は $64 \times f_s$ と同じです(左右の各チャンネルごとに32のBCLKサイクルが与えられます)。SDATAからは、BCLKの立ち下がりエッジと一致した左右チャンネルのサンプル・データが出力されます。

シリアル・データ・インターフェースは、I²S、左詰め(LJ)、右詰め(RJ)に加えて、最新型DSPのシリアル・インターフェースなど、一般的なオーディオ・インターフェースのすべてをサポートします。インターフェース・モードは、制御レジスタIIのビットDF1-DF0のプログラミングによって選択します(表VIとVIIIを参照)。

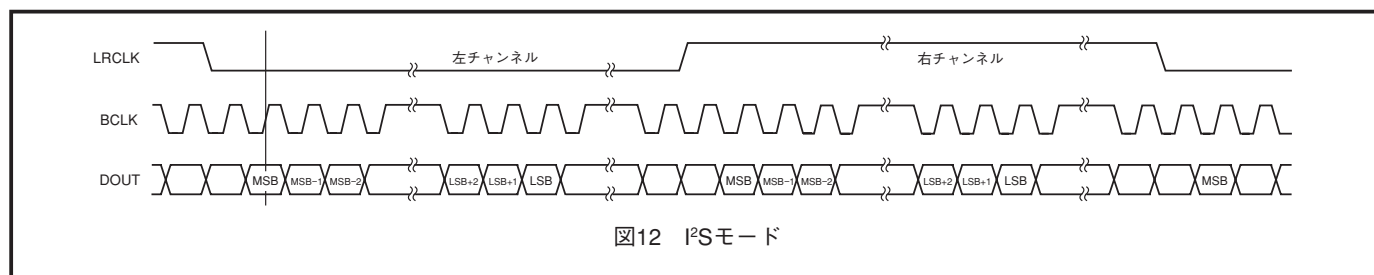
制御レジスタIIのビットWW1-WW0のプログラミングによって、データ・サンプル幅を16ビット、20ビット、または24ビットから選択できます(表VIとVIIを参照)。

AD1871

I²Sモード

I²Sモードのときには、データはMSBファーストの左詰めになり、LRCLKの遷移に続く2番目のBCLKサイクルでMSBが転送されます。LRCLKがハイからローに遷移すると、左

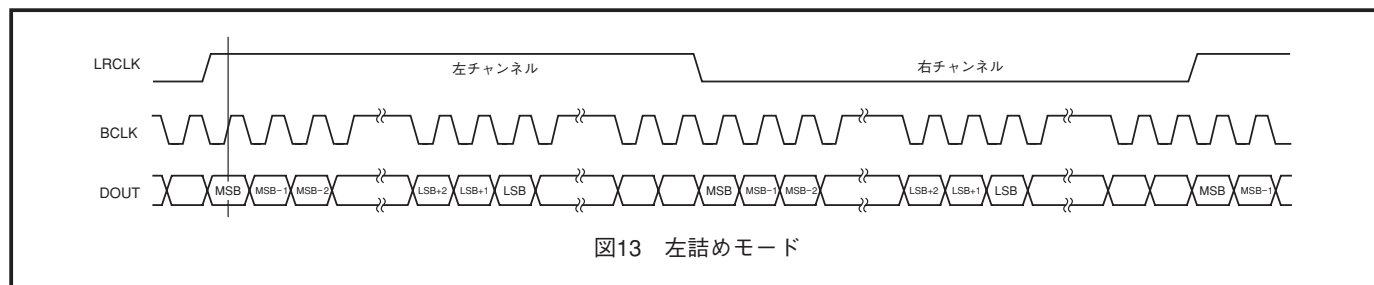
チャンネルのデータ転送が開始されます。LRCLKがローからハイに遷移すると、右チャンネルのデータ転送が開始されます(図12を参照)。



LJモード

LJモードのときには、データはMSBファーストの左詰めになり、LRCLKの遷移に続く最初のBCLKサイクルでMSBが転送されます。LRCLKがハイからローに遷移すると、右

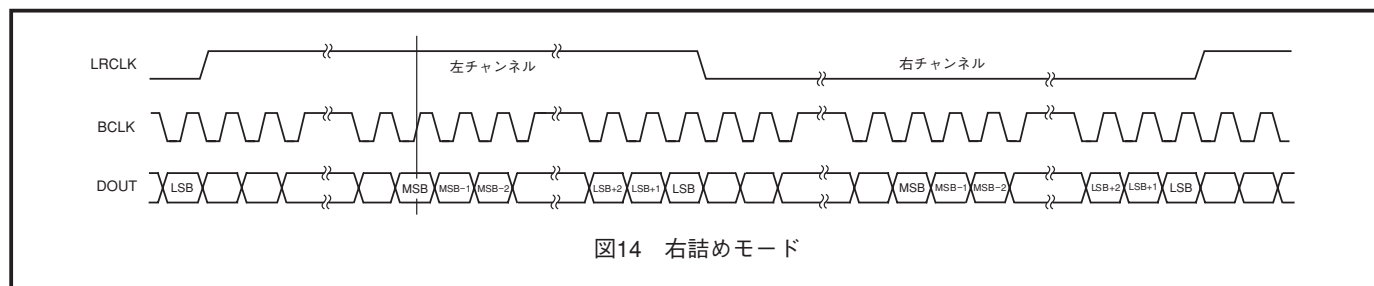
チャンネルのデータ転送が開始されます。LRCLKがローからハイに遷移すると、左チャンネルのデータ転送が開始されます(図13を参照)。



RJモード

RJモードのときには、データはLSBラストの右詰めになり、LRCLKの遷移の直前の最後のBCLKサイクルでLSBが転送されます。LRCLKがハイからローに遷移すると、右チ

ャンネルのデータ転送が開始されます。LRCLKがローからハイに遷移すると、左チャンネルのデータ転送が開始されます(図14を参照)。

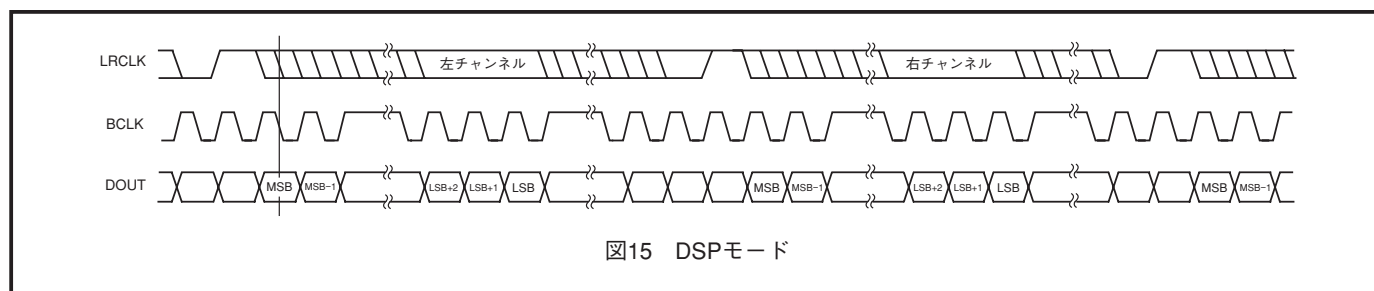


DSPモード

DSPモードのときには、LRCLK信号がフレーム同期信号になり、MSBの前のBCLKサイクル(または先行するLSB-32ビットのBCLKサイクル)中はハイに設定されます。データはMSBファーストの左詰めになり、LRCLKパルスに続くBCLKサイクルでMSBが転送されます(図15を参照)。

の転送が保証されるため、AD1871とコントローラの間でデータ・ワード幅が異なっても、大きな問題は起こりません。ただし、ミスマッチのスケールによっては、性能が多少劣化する場合があります。しかし、RJモードのときには、AD1871とコントローラの間でワード幅が異なっていると、各サンプルのMSBがミスマッチによって失われる可能性があるため、信号性能に大きな悪影響が及ぶことになります。

I²SおよびLJモードのときには、データは左詰め、MSB



カスケード・モード

AD1871では、1個のDSPのシリアル・ポートに、デジizer・チェーン構成にした最大4個までのデバイスをカスケード接続することが可能です。カスケード・モードのときには、各デバイスは内蔵の64ビット・シフト・レジスタに左右チャンネルの変換結果をロードします。64ビット・シフト・レジスタは、左チャンネル・データ用と右チャンネル・データ用として使用される、各32ビットのサブフレーム2つに分割されます。変換結果はサブフレーム内にMSBファーストで左詰めになり、制御レジスタIIのワード幅設定が適用されます。サブフレーム内の残りのビット、つまり変換ワード幅を越えるビットは、ゼロに設定されます。図16を参照してください。

図17に示すように、最大で4個までのAD1871をデジizer・チェーン接続できます。その際には、各デバイスのCASCピンをロジック・ハイに設定して、すべてのデバイスをカスケード・モードに設定する必要があります。チェーンの最初のデバイス(デバイス4)はDINピンをロジック・ローに設定します。デバイス4のDOUTピンをデバイス3のDINピンに接続し、デバイス3のDOUTピンをデバイス2のDINピンに接続します。デバイス1のDOUTピンをDSPのシリアル・ポートRXデータ・ライン(DR0)に接続するまで、デジizer・チェーン接続を続けます。DSPのRXシリアル・クロック(RXCLK0)をすべてのAD1871のBCLKピンに接続し、さらにDSPのRXフレーム同期(RFS0)ピンをすべてのAD1871のLRCLKピンに接続します。



図16 DSPモード

DSPをマスターに設定して、フレーム同期およびシリアル・クロック信号を複数のAD1871に供給するように設定するか、または複数のAD1871のうち1個をマスターとし、DSPと他のすべてのAD1871をスレーブとするように設定することができます。Master/Slaveの選択に応じて、DSPまたは複数のAD1871のうち1個のいずれかによってフレーム同期パルスが生成されるときに、各サンプリング・サイクルが開始されます。フレーム同期パルスにより、各デバイスの64ビット・データI/Oレジスタに左右チャンネルのADC変換結果がロードされます。結果は続いてDSPにクロック出力され、DSPは次の順番で受信します。つまり、デバイス1の左チャンネル、デバイス1の右チャンネル、デバイス2の左チャンネル、デバイス2の右チャンネル、デバイス3の左チャンネル、デバイス3の右チャンネル、デバイス4の左チャンネル、デバイス4の右チャンネルの順になります。

AD1871のワード長とは無関係に32ビットのワード長を受け入れるため、DSPのシリアル・ポートをプログラミング設定することが必要です。各サンプル・インターバルごとに受け入れられるサンプル・ワードの数は、カスケード接続されるAD1871の個数によって決まり、最大4個のデバイスに対して最大8ワードになります。

図17には、個別のDSPシリアル・ポート・インターフェースとカスケード接続されたAD1871の制御ポート(SPI)インターフェースとの接続も図示しています。再び説明しますが、このカスケードはデジizer・チェーンとして構成されているので、4個のデバイスの制御ワードは(例に示す1、2、3、4の接続方法に応じて)順に出力され、共通のCLATCH入力によって各デバイスで同時にラッチされます。このモードでは、制御ホストのSPIポートから各デバイス用に制御ワード(16ビット×デバイスの個数)を送信することが必要です。CLATCH信号は、個別のプログラマブル出力ラインから制御することが可能です。各デバイスごとに個別にCLATCH制御を行って、複数のAD1871の読み出し／書き込み動作を別々に実行することも可能です。

カスケード・モードを使用するときには、インターフェース・モード選択(SPIまたは外部制御による)の状態に関係なく、データ・インターフェースはMSBファーストの左詰にデフォルト設定されます。

カスケード・モードのタイミングの関係を図18に示します。

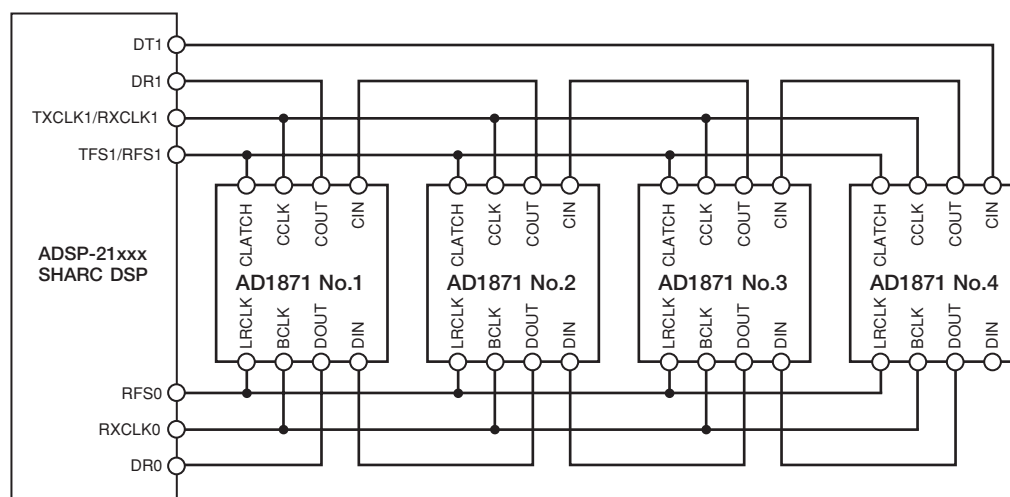


図17 DSPモード

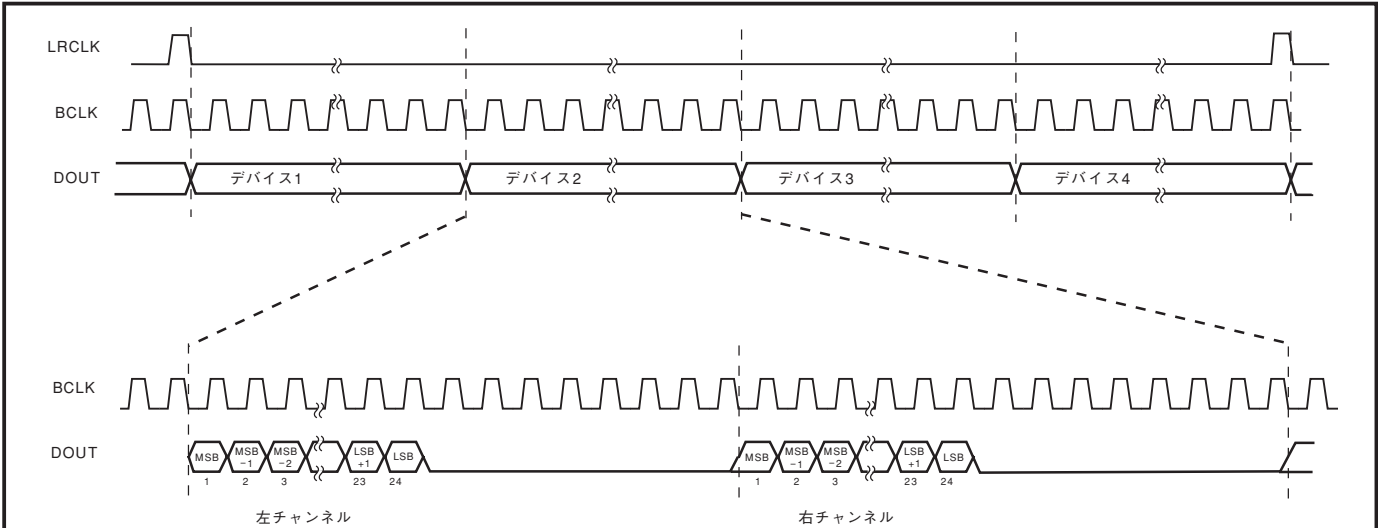


図18 カスケード・モードのデータ・インターフェース・タイミング

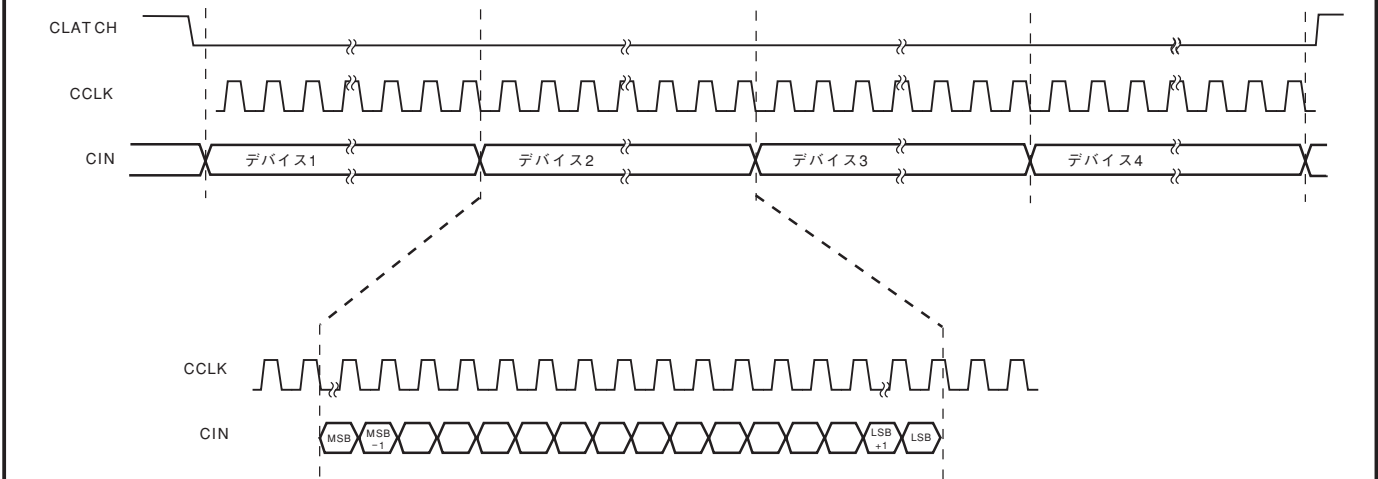


図19 カスケード・モードの制御ポート・タイミング

制御／ステータス・レジスタ

AD1871の動作モードの設定は、SPI互換ポートを通じて3個の10ビット制御レジスタのプログラミングによって行います。表IIIにはAD1871制御ワードのフォーマットの詳細を記載していますが、制御ワードは16ビット幅になっており、4ビットのアドレス・フィールドがビット15～12に、Read/Writeビットがビット11に、予約ビットがビット10に、そして10ビットのレジスタ・データ(制御レジスタの幅に対応)がビット9～0に割り当てられています。3つの制御ワードが、レジスタ・マップのアドレス0000b～0010bを占有します(表IIを参照)。

AD1871は、左右の各チャンネルのピーク読み出しをトラッキングするようにイネーブルすることが可能な2個のリードバック(ステータス)レジスタも特長としています。この6ビット結果は、制御ワードと同様に16ビット・フレームでSPI互換ポートを通してリードバックされます。

SPI互換の制御ポートは、4つの信号(CCLK、CLATCH、CDATA、COUT)を使用するのが特長です。CLATCH信号は、制御ポートとの通信を可能にするためローに設定しなければならないイネーブル・ライン入力です。CCLKは、CDATAピンからシリアル・データをクロック入力し、COUTピンからシリアル・データをクロック出力するために使用するシリアル・クロック信号です。制御ポートのタイミングの詳細を図20および21に示しています。

表II. レジスタのアドレス・マッピング

アドレス	制御レジスタ
0000	制御レジスタI
0001	制御レジスタII
0010	制御レジスタIII
0011	ピーク読み出しレジスタI
0100	ピーク読み出しレジスタII

表III. 制御/ステータス・レジスタのワード・フォーマット

15-12	11	10	9	6	5	4	3	2	1	0
アドレス	R/ $\overline{W}$	予約済み	制御/ステータス・データ・ビット(9-0)							

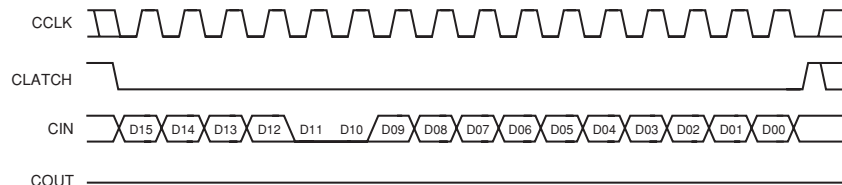


図20 制御ポートを用いたレジスタへの書き込み

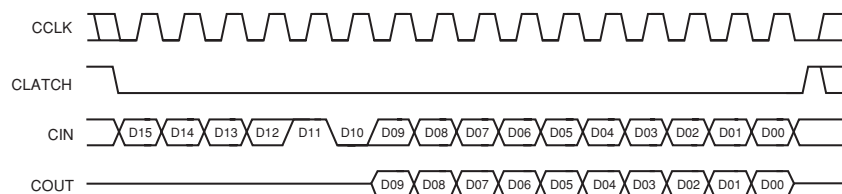


図21 制御ポートを用いたレジスタからの読み出し

表IV. 制御レジスタI (アドレス0000b、書き込み専用)

15-12	11	10	9	8	7	6	5	4	3	2	1	0
0000	0	0	PRE	HPE	PD	AMC	AGL2	AGL1	AGL0	AGR2	AGR1	AGR0
			9	PRE		ピーク読み出しイネーブル(0 = ディスエーブル(デフォルト)、1 = イネーブル)						
			8	HPE		ハイパス・フィルタ・イネーブル(0 = ディスエーブル(デフォルト)、1 = イネーブル)						
			7	PD		パワーダウン制御(1 = パワーダウン、0 = 通常の動作(デフォルト))						
			6	AMC		ADC変調器クロック(1 = 64×fs、0 = 128×fs (デフォルト))						
			5-3	AGL2-AGL0		入力ゲイン(左チャンネル、表Vを参照)						
			2-0	AGR2-AGR0		入力ゲイン(右チャンネル、表Vを参照)						

制御レジスタI

制御レジスタIには、アナログ・フロントエンドのゲイン制御、変調器クロックの選択、パワーダウン制御、ハイパス・フィルタリング、およびピーク・ホールドのためのビット設定が含まれています。

アナログ・ゲインの制御

AD1871は、ゲインの選択が可能なオプションのアナログ・フロントエンドを内蔵しています。ゲインは各チャンネルごとに3つの制御ビットを使用して選択するので、各チャンネルごとに5つの異なる独立したゲイン設定が可能です。ビット2~0 (AGR2-AGR0)で右チャンネルのアナログ・ゲインを設定し、ビット5~3 (AGL2-AGL0)で左チャンネルのアナログ・ゲインを設定します。表Vには、AGx2-AGx0のビット設定に対応するアナログ・ゲインをまとめています。

表V. アナログ・ゲインの設定

AGx2	AGx1	AGx0	ゲイン(dB)
0	0	0	0 (デフォルト)
0	0	1	3
0	1	0	6
0	1	1	9
1	0	0	12
1	0	1	0
1	1	0	0
1	1	1	0

AD1871

変調器クロック

128×f_sまたは64×f_sのいずれかの変調器クロックを選択できます。変調器のクロック・レートの選択には、AMCビット(ビット6)を使用します。AMCビットを0 (デフォルト)に設定すると、変調器クロックは128×f_sになります。AMCビットを1に設定すると、変調器クロックは64×f_sになります。ビットの設定は通常、必要なサンプリング周波数が48kHzか96kHzかに依存し、さらに選択したMCLK周波数も考慮に入れて行います。MCLKの選択とサンプリング・レートの詳細は、「機能説明」を参照してください。

パワーダウン

AD1871内部でのアクティブなクロック信号のパワーダウンは、ビット7 (PD)にロジック1を書き込むことによって設定します。パワーダウン・モードに入ると、デジタル回路の動作が停止され、電圧リファレンスを除くアナログ回路部がパワーダウン状態になります。

表VI. 制御レジスタII (アドレス0001b)

15-12	11	10	9	8	7	6	5	4	3	2	1	0
0001	0	0			MME	DF1	DF0	WW1	WW0	$\overline{M}/S$	MUR	MUL
			9-8				予約済み					
			7	MME			変調器モード・イネーブル(0 = ノーマル・モード(デフォルト)、1 = 変調器モード)					
			6-5	DF1-DF0			データ・フォーマット(表VIIIを参照)					
			4-3	WW1-WW0			ワード幅(表VIIを参照)					
			2	$\overline{M}/S$			Master/Slave選択(0=マスター・モード(デフォルト)、1=スレーブ・モード)					
			1	MUR			ミュート・コントロール、右チャンネル(0=ディセーブル(デフォルト)、1=イネーブル)					
			0	MUL			ミュート・コントロール、左チャンネル(0=ディセーブル(デフォルト)、1=イネーブル)					

制御レジスタII

制御レジスタIIには、左右チャンネルのミューティングの制御、データ・サンプルのワード幅、データ・インターフェース・フォーマット、および変調器から直接ビットストリームを出力するためのビット設定が含まれています。

ミュート・コントロール

MULおよびMURビット(ビット0および1)の設定によって、左と右のデータ・チャンネルをデジタル・ゼロにミュートすることができます。チャンネルをミュートすると、入力信号の振幅に関係なく、その出力データ・ストリームはデジタル・ゼロに維持されます。ビットを1に設定すると該当チャンネルがミュートされ、0に設定すると通常の動作に復帰します。

Master/Slave選択

AD1871はスレーブ・デバイスまたはマスター・デバイスとして動作させることが可能です。スレーブ・モード時には、コントローラはサンプル・レートとシリアル・ビット・レートを決定するLRCLKとBCLKを供給する必要があります。マスター・モードのときには、コントローラに送信する出力としてAD1871がおよび信号をします。AD1871はリセット時に、マスター・モード($\overline{M}/S$ ビットが0)にデフォルト設定されます。

ワード幅

AD1871では、出力サンプルのワード幅を16ビット、20ビット、または24ビット幅から選択できます。コンパクト・ディスク(CD)との互換性を維持するには16ビットが必要ですが、最新の多くのデジタル・オーディオ・フォーマットに適合するには、24ビットのサンプル分解能が要求されます。ワード幅を選択するには、WW1-WW0の各ビットをプログラミング設定します。各種のワード幅選択に対応する制御レジスタ・ビットの設定に関する詳細を、表VIIに記載しています。

ハイパス・フィルタ

AD1871にはデジタル・フィルタリング・エンジンが内蔵されているので、ハイパス・フィルタ(HPF)の挿入によって、出力のデジタル波形からDC信号を効果的にブロックできます。ビット8 (HPE)を設定すると、ハイパス・フィルタがイネーブルになります。HPFの詳細は「機能説明」を参照してください。

ピーク読み出しのイネーブル

AD1871には、左右チャンネルの変換結果のピーク読み出し値の保存をイネーブルにすることが可能な2個のリードバック・レジスタが用意されています。ピーク読み出し値の取り込みをイネーブルにするには、ピーク読み出しイネーブル・ビット(PRE)、ビット9をロジック1に設定する必要があります。ロジック0に設定すると、ピーク読み出し値の取り込みがディセーブルになります。

表VII. ワード幅の設定

WW1	WW0	ワード幅(ビット数)
0	0	24 (デフォルト)
0	1	20
1	0	16
1	1	予約済み

データ・フォーマット

IFS、左詰め、右詰め、DSPの各モードを含む、一般的なインターフェース・フォーマットの選択により、AD1871のシリアル・データ・インターフェースを設定できます。表VIIIに示すビットDF1-DF0のプログラミング設定によってインターフェース・フォーマット(モード)を選択します。

表VIII. データ・インターフェース・フォーマットの設定*

DF1	DF0	インターフェース・モード
0	0	IFS (デフォルト)
0	1	右詰め
1	0	DSP
1	1	左詰め

* 各種のインターフェース・モードの詳細は、「機能説明」の「シリアル・データ・インターフェース」を参照してください。

変調器モードのイネーブル

AD1871は、アナログ・オーディオ信号をリニアPCMに符号化されたデジタル出力に変換するようにデフォルト設定されています。変調器モードに設定すると、ユーザーはデジタル・デシメーション・フィルタ部をバイパスして、マルチビットΣ-Δ変調器の出力に直接アクセスできます。このモード時には特定のピンの機能定義が変更され(「変調器モード」を参照)、変調器の出力(128×f_sの定格レート)が変調器のデータ・ピン(D[0-3])から供給されます。変調器モードをイネーブルにするには、MMEビットをハイに設定してください。

表IX. 制御レジスタIII (アドレス0010b)

15-12	11	10	9	8	7	6	5	4	3	2	1	0
0010	0	0			MCD1	MCD0	SEL	SER	MEL	MXL	MER	MXR
		9-8	予約済み		(0に設定する必要があります)							
		7-6	MCD1-MCD0		マスター・クロック分周器(表XIIIを参照)							
		5	SEL		シングルエンド・イネーブル、左チャンネル(0=差動(デフォルト)、1=シングルエンド)							
		4	SER		シングルエンド・イネーブル、右チャンネル(0=差動(デフォルト)、1=シングルエンド)							
		3	MEL		Mux/PGAデイスエーブル、左チャンネル(0=イネーブル(デフォルト)、1=デイスエーブル)							
		2	MXL		Mux選択、左チャンネル(0=VINLP選択(デフォルト)、1=VINLN選択)							
		1	MER		Mux/PGAデイスエーブル、右チャンネル(0=イネーブル(デフォルト)、1=デイスエーブル)							
		0	MXR		Mux選択、右チャンネル(0=VINRP選択(デフォルト)、1=VINRN選択)							

制御レジスタIII

制御レジスタIIIには、アナログ入力部(左右両方のチャンネル)を構成するためのビット設定が含まれています。

Muxのイネーブル

Muxイネーブル・レフト(MEL)とMuxイネーブル・ライト(MER)の各ビットを使用して、アナログ・バッファをイネーブルに設定します。ビットを1に設定すると、アナログ入力バッファがパワーダウンし、入力信号をCAPxPとCAPxNの各ピン経由で変調器の入力に直接加えなければなりません(図23を参照)。MELとMERの各ビットを0(リセット後のデフォルト状態)に設定すると、アナログ入力部がイネーブルになります(表Xを参照)。

表X. Muxの制御設定

MEL	MER	入力の設定
0	X	左チャンネルのアナログ・バッファがイネーブル
1	X	左チャンネルのアナログ・バッファがデイスエーブル
X	0	右チャンネルのアナログ・バッファがイネーブル
X	1	右チャンネルのアナログ・バッファがデイスエーブル

Muxの選択

入力がシングルエンド構成の場合、VINxPまたはVINxNピンから入力を選択するために、Mux選択ビット(左チャンネルがMXL、右チャンネルがMXR)を使用します。MXxを0に設定すると、VINxPピンからの入力が選択されます。MXxを1に設定すると、VINxNピンからの入力が選択されます(表XIを参照)。

表XI. Muxの選択設定*

MXL	MXR	入力の設定
0	X	VINLPから左チャンネル入力
1	X	VINLNから左チャンネル入力
X	0	VINRPから右チャンネル入力
X	1	VINRNから右チャンネル入力

*Muxの選択設定が有効なのは、シングルエンド入力動作をイネーブルにしているとき、すなわちSELとSERを1に設定しているときに限られます。

シングルエンド・モードのイネーブル

VINxPとVINxNでシングルエンド入力を構成するには(入力はMXLとMXRのステートによって選択)、シングルエンド・モード・イネーブル・ビット(左チャンネルがSEL、右チャンネルがSER)を1に設定します。このモードのときには、VINxPまたはVINxN(Mux選択ビットのMXLとMXRを使用して選択)から引き出されるシングルエンド入力が内部で差動信号に変換され、変調器部に送られます(表XIIを参照)。

表XII. 差動/シングルエンド入力の選択

SEL	SER	入力の設定
0	X	左チャンネル入力→差動
1	X	左チャンネル入力→シングルエンド
X	0	右チャンネル入力→差動
X	1	右チャンネル入力→シングルエンド

マスター・クロック分周器

マスター・クロック分周器により、外部MCLK周波数をもっと適切な内部マスター・クロック周波数(IMCLK)に分周することが可能です。IMCLKは $256 \times f_s$ にする必要があるため、利用可能なMCLKが $256 \times f_s$ ではなく、この倍数である場合には、MCDビットの設定によって $256 \times f_s$ のIMCLKに変換することができます(表XIIIを参照)。

表XIII. マスター・クロックの分周設定

MCD1	MCD0	MCLKの分周
0	0	IMCLK = MCLK (/1)
0	1	IMCLK = MCLK/2
1	0	IMCLK = MCLK/3
1	1	IMCLK = MCLK (/1)

AD1871

表XIV. ピーク読み出しレジスタI (アドレス0011b、読み出し専用)

15-12	11	10	9	8	7	6	5	4	3	2	1	0
0011	1	0					A0P5	A0P4	A0P3	A0P2	A0P1	A0P0
9-6			予約済み		(常にゼロに設定)							
5-0			A0P5-A0P0		左チャンネル・ピーク読み出し(PRE = 1のときのみ有効)							

表XV. ピーク読み出しレジスタII (アドレス0100b、読み出し専用)

15-12	11	10	9	8	7	6	5	4	3	2	1	0
0100	1	0					A1P5	A1P4	A1P3	A1P2	A1P1	A1P0
9-6			予約済み		(常にゼロに設定)							
5-0			A1P5-A1P0		右チャンネル・ピーク読み出し(PRE = 1のときのみ有効)							

ピーク読み出しレジスタ

ピーク読み出しレジスタは、イネーブルに設定することで各チャンネルからのADCのピーク読み出しをトラック／ホールドすることが可能な読み出し専用レジスタです。ピーク読み出し機能は、制御レジスタIのPREビットの設定によってイネーブルされます。ピーク読み出し値は、10ビット・リードバック・ワードの6個のLSBに割り当てられます。この結果はバイナリに符号化され、各LSBは-1dBFSと同等で、オール0がフルスケール(0dBFS)、オール1が-63dBFSに相当します(表XVIを参照)。PREビットを設定すると、各チャンネルごとのピーク読み出し値が該当するピーク・レジスタに格納されます。レジスタの値の読み出しが完了すると、レジスタ値はゼロに設定され、次の変換によって更新されます。

表XVI. ピーク読み出し結果のフォーマット

AxP	コード						レベル
	5	4	3	2	1	0	
	0	0	0	0	0	0	0 dBFS
	0	0	0	0	0	1	-1 dBFS
	0	0	0	0	1	0	-2 dBFS
	1	1	1	1	1	0	-62 dBFS
	1	1	1	1	1	1	-63 dBFS

ピーク読み出しレジスタの読み出しサイクルの詳細は、図21に示しています。

外部制御

AD1871は、一部のデバイス機能を外部ハードウェアで制御するように設定可能です。このデバイス機能には、Master/Slaveモードの選択、MCLKの選択、シリアル・データ・フォーマットの選択が含まれます。外部制御は、図22に示すようにXCTRLピンをハイに設定することによってイネーブルにします。

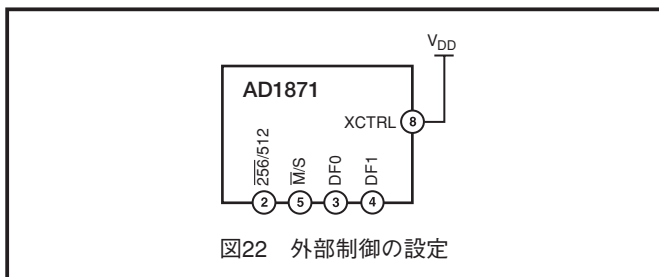


図22 外部制御の設定

Master/Slaveの選択

Master/Slaveのハードウェア選択(5番ピン、CLATCH/[M/S])は、制御レジスタIIのM/Sビットの設定と同等です。ローに設定するとデバイスはマスター・モードに入り、LRCLKとBCLKの信号がAD1871から出力されます。

M/Sビットをハイに設定するとデバイスはスレーブ・モードに入り、LRCLKとBCLKの信号がAD1871に入力されます。

MCLKモードの選択

MCLKモードのハードウェア選択(2番ピン、CCLK/[256/512])は、制御レジスタXのCM1-CM0ビットによって決定されるMCLKモードの選択設定の機能の一部です。このハードウェア・ピンをローに設定すると、AD1871は $256 \times f_s$ のMCLKで動作します。ハイに設定すると、AD1871は $512 \times f_s$ のMCLKで動作します。

シリアル・データ・フォーマットの選択

シリアル・データ・フォーマットのハードウェア選択(3番ピンと4番ピン、DF0/COOUTおよびDF1/CIN)は、制御レジスタIIのDF1-DF0ビットの設定と同等です。表VIIIを参照してください。

外部制御モードのときには、ハードウェア選択ピンによって選択されたもの(Master/Slaveモード選択、MCLK選択、およびシリアル・データ・フォーマット選択)以外のすべての機能は、デフォルト(パワーオン時)の状態に維持されます。

変調器モード

AD1871が変調器モードに入ると(MMEビットを1に設定)、D[0-3]ピンがデータ出力として動作し、COUTピンが高速サンプリング・クロック(定格値 $128 \times f_s$)のMODCLKになります。MODCLK動作によって、左右チャンネルの変調器から連続的にデータが出力されるようになり、左チャンネルの変調器データはMODCLKがローのときに有効となり、また右チャンネルの変調器データはMODCLKがハイのときに有効となります(図6の「変調器モードのタイミング」を参照)。

変調器モードは、ダイレクト・ストリーム・デジタル(DSD)などのアプリケーションで使用するよう設計されています。DSDアプリケーションでは、サンプル・レートを低くするためのデシメーションとフィルタリングが実行されることなく、変調器のデータが録音媒体に直接に保存されます。DSDは $64 \times f_s$ のレートが規定されていますが、AD1871は $128 \times f_s$ で出力動作を行い(そのために、サンプル・レートを $64 \times f_s$ に低減する中間的な再変調器が必要になる)、シングルビットのデータ・ストリームを出力します。

インターフェース動作

アナログ・インターフェース動作

AD1871のアナログ部は、柔軟性と高性能の両方を備えるように設計されています。ユーザーはCAPxPとCAPxNのピンを使用して、ADCのΣ-Δ変調器への直接的な完全差動入力を選択できます。別の方法として、内蔵のPGA部を使用すると、VINxPとVINxNのピンでシングルエンド入力をマルチプレクスするか、またはこのピンを完全差動入力として使用することも可能です。

いずれの入力構成方式を選択する場合でも(直接、またはMux/PGA部使用)、スイッチド・キャパシタ入力部のダイナミックな電荷蓄積用として、コンデンサを変調器入力ピン(CAPxPとCAPxN)に接続することが必要です。入力オーディオ信号はこのコンデンサ上に現れるか、コンデンサを通過して印加されるので、コンデンサの選択が非常に重要です。コンデンサは、高品質の誘電体タイプを推奨します。表面実装バージョンでは積層セラミック、NPOまたは金属被膜、PPSが、スルーホール・バージョンではポリプロピレンが適しています。実際には一般的な推奨事項として、コンデンサが入力オーディオ信号を搬送する場合には、高品質の誘電体が必要です。

変調器のダイレクト入力

図23には、外付けのシングルエンド・差動変換器を経由するシングルエンド信号源をAD1871の変調器入力に接続する回路を示しています。外付けのアンプ/バッファは、スイッチド・キャパシタ負荷である変調器入力部のダイナミック特性に適合する、優れたスループット特性を備えたものとする必要があります。

250Ωの抵抗(金属被膜)を使用して、外付けのアンプ/バッファの出力を入力コンデンサからデカップリングします。

CAPxPとCAPxNのピンを使用してAD1871を差動入力構成に設定するには、制御レジスタIIIのMELおよびMERビットを1に設定して、Mux/PGA部をデイスエーブルにしなければなりません。

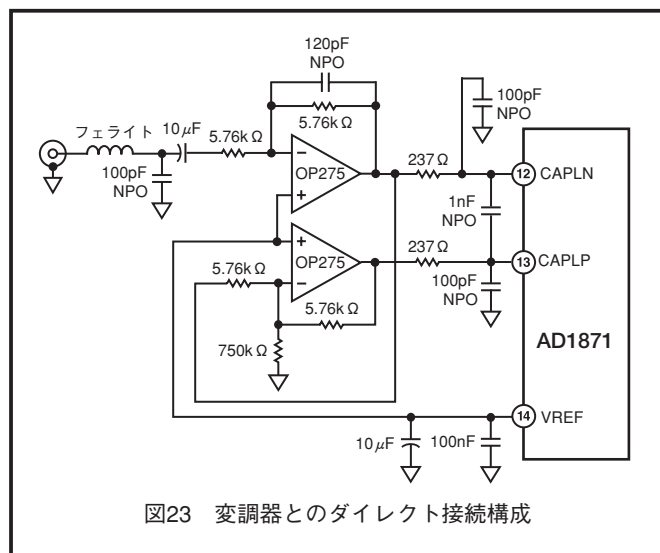


図23 変調器とのダイレクト接続構成

PGA入力、シングルエンド

シングルエンドの信号源をAD1871のPGA部に接続する回路を図24に示します。PGA部は、シングルエンド/差動変換用に設定されています。差動出力は250Ωの直列抵抗を経由して、CAPxxピンに内部接続されます。

AD1871をシングルエンド入力構成に設定するには、制御レジスタを次のように設定することが必要です。

左チャンネル

制御レジスタI = xx0xGGGxxx、ここでGGG = 入力ゲイン(表Vを参照)

制御レジスタIII = 00xx1x0Sxx、ここでS = SEチャンネル選択

右チャンネル

制御レジスタI = xx0xxxxGGG、ここでGGG = 入力ゲイン(表Vを参照)

制御レジスタIII = 00xxx1xx0S、ここでS = SEチャンネル選択

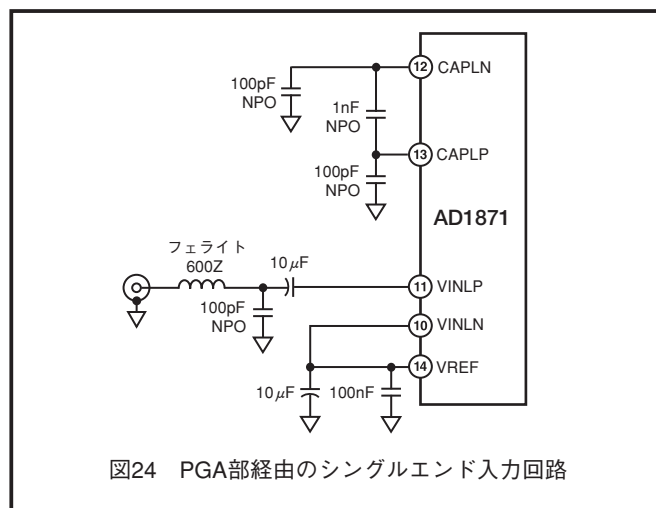


図24 PGA部経由のシングルエンド入力回路

PGA入力、差動

差動の信号源をAD1871のPGA部に接続する回路を図25に示します。PGA部は、差動バッファとして設定されます。バッファされた差動出力は250Ωの直列抵抗を経由して、CAPxxピンに内部接続されます。

AD1871をMux/PGA経由の差動入力構成に設定するには、制御レジスタを次のように設定することが必要です。

左チャンネル

制御レジスタI = xx0xGGGxxx、ここでGGG = 入力ゲイン(表Vを参照)

制御レジスタIII = 00xx0x0xxx

右チャンネル

制御レジスタI = xx0xxxxGGG、ここでGGG = 入力ゲイン(表Vを参照)

制御レジスタIII = 00xxx0xx0x

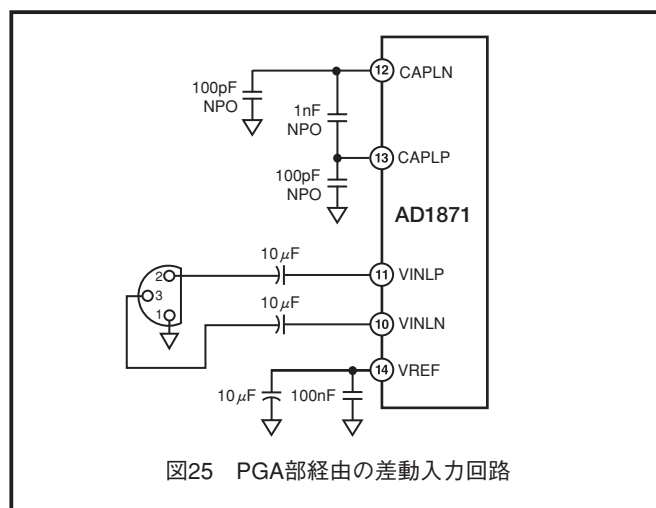


図25 PGA部経由の差動入力回路

AD1871

レイアウトに関する留意事項

AD1871を仕様の性能レベルで動作させるには、AD1871と周辺回路のレイアウトに細心の注意を払うことが必要です。AD1871のアナログ入力には差動なので、アナログ変調器の電圧はコモン・モード電圧になります。AD1871のコモン・モード除去性能は優れているので、この入力上のコモン・モード・ノイズが除去されます。AD1871のアナログ電源とデジタル電源は互いに独立し、別個のピン配置になっているので、デバイスのアナログ部とデジタル部間の結合が最小限に抑えられます。デジタル・フィルタは、変調器のサンプリング周波数の整数倍の周波数以外の、広帯域の電源ノイズを除去します。デジタル・フィルタはさらに、アナログ変調器がノイズ源によって飽和状態にならない限り、アナログ入力からのノイズも除去します。ただし、AD1871のADC分解能は高く、しかもAD1871からのノイズ・レベルが非常に低いので、グラウンド処理とレイアウトに関する注意が必要です。

AD1871を実装するプリント回路基板は、アナログ部とデジタル部を分離し、別個にボードの特定部分に配置するように設計してください。AD1871のピン選択は、アナログとデジタルのインターフェースがパッケージの反対側で接続されるように構成されています。これによって、グラウンド・プレーンを容易に分離でき、使用法が簡単になります。最低限のエッチング技法でもベストなシールド効果が得られるので、一般的にグラウンド・プレーンには最適です。図26はAD1871の周辺部でのグラウンド・プレーン分離(アナログ用とデジタル用に分離)の写真で、AD1871評価用ボード(EVAL-AD1871EB)のレイアウトから引き出したものです。

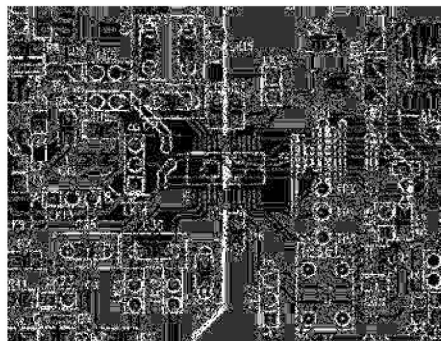


図26 グラウンドのレイアウト

*上の図では、黒色の領域がレイアウトのハンダ面を表しています。図を明瞭にするために、シルクスクリーンを白色で表記しています。

デジタルとアナログのグラウンド・プレーンは、1個所のみで接続することが必要です。この接続ポイントがデバイスに近い場合には、図27に示すようにショート(0Ω抵抗)またはフェライト・ビーズ・インダクタを使用することを推奨します。フェライト用のパッドは、AD1871デバイスの真下のハンダ面に実装されています。

デバイスの下にデジタル信号ラインを走らせると、ダイにノイズが乗る可能性があるため、この方法は回避してください。ノイズの結合を防止するには、アナログ・グラウンド・プレーンをAD1871の下に走らせることが必要です。電源プレーンを使用できない場合には、低インピーダンスの信号経路を確保し、電源ライン上のグリッチの影響を低減するために、AD1871の電源ラインには可能な限り太いパターン配線を使用してください。クロックなどの高速スイッチング信号は、ボードの他の部分に放射ノイズを乗せないようにデジタル・グラウンドでシールドし、またクロッ

ク信号をアナログ入力の近くに走らせないようにしてください。ボードの反対側で向かい合うパターン配線は、互いに直角に交差するように走らせます。これにより、ボードを通過するフィードスルーの影響が低減されます。マイクロストリップ技法が非常に効果的ですが、両面基板に必ず適用できるとは限りません。この手法では、ボードの部品面がグラウンド・プレーン専用となり、信号は反対面に配置されます。

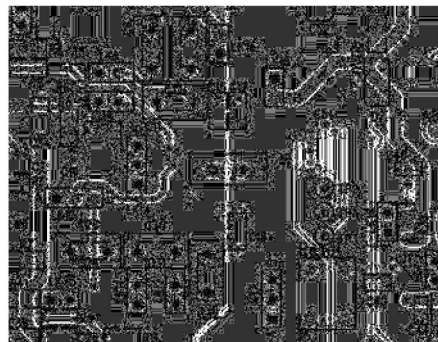


図27 アナログとデジタルのグラウンドの接続

高速デバイスを使用する際には、良好なデカップリングが重要です。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサを並列に接続して、すべてのアナログおよびデジタル電源をAGNDおよびDGNDにデカップリングしてください。デカップリング用コンデンサを使用してベストな効果を得るには、図28に示すようにコンデンサをデバイスに可能な限り近接させて配置することが必要です(理想的な場所はデバイスの真上)。AD1871のAVDDとDVDDの両方の駆動に共通の電源電圧が使用されるシステムでは、システムのAVDD電源を使用する方法を推奨します。この電源については、AD1871のAVDDピンとAGND間で推奨のアナログ電源デカップリングを行い、さらにDVDDピンとDGND間で推奨のデジタル電源デカップリング・コンデンサを持つ必要があります。

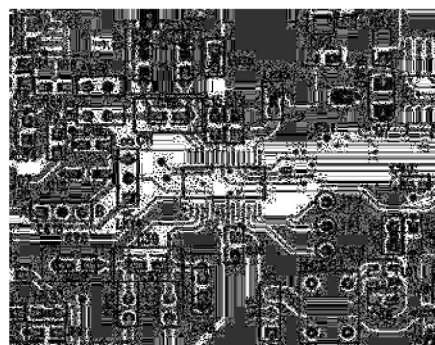


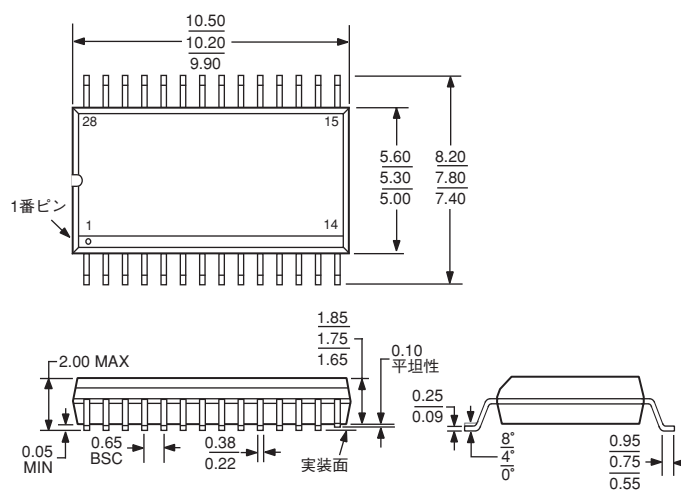
図28 AD1871の電源デカップリング

もう1つの重要な留意事項として、コンデンサ、抵抗、および周辺回路用のオペアンプなどの部品選択が挙げられます。アナログ・オーディオ信号チェーンで使用するコンデンサは、NPO誘電体(セラミックの場合)または金属被膜のタイプとします。図28には、CAPxxピンとの間に接続するコンデンサの配置を示しています。この配置方法では、コンデンサとピン間のトラッキングを可能な限り短く維持し、同時に、CAPxPピンからコンデンサまでのトラック長がCAPxNピンからコンデンサまでのトラック長と等しくなるようにも配慮しています。

外形寸法

28ピン・シュリンク・スモールアウトライン・パッケージ[SSOP]
(RS-28)

寸法はミリメートルの単位で表記しています。



JEDEC標準MO-150AHに準拠

AD1871

TDS04/2003/700

PRINTED IN JAPAN

