

AD5040/AD5060

特長

シングル14/16ビットDAC、1LSB INL
ミッドスケールまたはゼロスケールにパワーオン・リセット
設計により単調増加性を保証
3種のパワーダウン機能
シュミット・トリガ入力内蔵の低消費シリアル・インター
フェース
小型、8ピンSOT-23パッケージ、低消費電力
高速セトリング時間：4μs (typ値)
電源電圧：2.7~5.5V
パワーアップ時に低グリッチ
SYNC割込み機能

アプリケーション

プロセス制御
データ・アキュイジション・システム
バッテリー駆動の携帯型計測器
ゲインとオフセットのデジタル調整
プログラマブル電圧源および電流源
プログラマブル減衰器

概要

*nano*DACファミリーのAD5040 (14ビット) とAD5060 (16ビット) は、低消費電力、バッファ付きの電圧出力シングルD/Aコンバータ (DAC) で、2.7~5.5Vの単電源で動作します。相対精度は±1LSBで、±1LSBのDNL仕様により単調増加性が保証されています。AD5040/AD5060は最高30MHzのクロック・レートで動作する汎用3線式シリアル・インターフェースを使用し、SPI™、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。AD5040/AD5060のリファレンスは、外部V_{REF}ピンから供給されます。リファレンス・バッファも内蔵しています。AD5060はパワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力がミッドスケールまたはゼロスケールにリセットされ、デバイスに有効な書込みが行われるまでこの電圧を維持します。両デバイスはパワーダウン機能を内蔵しているため、デバイスの消費電流を5V動作時に330nAまで低減でき、パワーダウン・モードでの出力負荷をソフトウェアで選択できます。デバイスは、シリアル・インターフェースを介してパワーダウン・モードに移行します。デバイスの総合未調整誤差 (TUE) は2mV未満です。両デバイスはパワーアップ時のグリッチが非常に低くなっています。

機能ブロック図

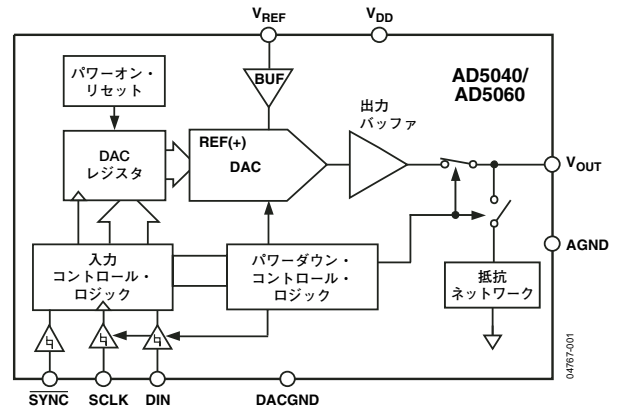


図1

製品のハイライト

1. 小型の8ピンSOT-23パッケージを採用
2. 高精度14/16ビット、1LSB INL
3. パワーアップ時に低グリッチ
4. 最高30MHzのクロック速度による高速シリアル・インターフェース
5. 3種のパワーダウン・モードが使用可能
6. 既知の出力電圧 (ミッドスケールまたはゼロスケール) にリセット

表1. 関連デバイス

部品番号	説明
AD5061	2.7~5.5V、16ビット <i>nano</i> DAC D/A、4LSB INL、SOT-23
AD5062	2.7~5.5V、16ビット <i>nano</i> DAC D/A、1LSB INL、SOT-23
AD5063	2.7~5.5V、16ビット <i>nano</i> DAC D/A、1LSB INL、MSOP

AD5040/AD5060

目次

特長	1	リファレンス・バッファ	15
アプリケーション	1	シリアル・インターフェース	15
概要	1	パワーオン・リセット	16
機能ブロック図	1	ソフトウェア・リセット	16
製品のハイライト	1	パワーダウン・モード	17
改訂履歴	2	マイクロプロセッサとのインターフェース	17
仕様	3	アプリケーション	19
タイミング特性	5	AD5040/AD5060のリファレンスの選択	19
絶対最大定格	6	AD5040/AD5060を使用したバイポーラ動作	19
ESDに関する注意	6	デジタル・アイソレータ (iCoupler) を用いた絶縁インター フェース	20
ピン配置と機能の説明	7	電源のバイパスとグラウンディング	20
代表的な性能特性	8	外形寸法	21
用語の説明	14	オーダー・ガイド	21
動作原理	15		
DACアーキテクチャ	15		

改訂履歴

10/05—Revision 0: Initial Version

仕様

$V_{DD}=5.5V$ 、 $V_{REF}=4.096V$ 、 R_L =無負荷、 C_L =無負荷、特に指定のない限り $T_{MIN} \sim T_{MAX}$ で規定。

表2

パラメータ	A、Bグレード ¹			単位	テスト条件／備考
	Min	Typ	Max		
静的性能					
分解能	16			ビット	AD5060
	14			ビット	AD5040
相対精度 (INL) ²		±0.5	±1	LSB	−40〜+85°C (AD5040/AD5060)
		±0.5	±1.5		−40〜+125°C (AD5060 Yグレード)
総合未調整誤差 (TUE) ²		±0.1	±2.0	mV	−40〜+85°C (AD5040/AD5060)
		±0.1	±2.0		−40〜+125°C (AD5060 Yグレード)
微分非直線性 (DNL) ²		±0.5	±1	LSB	単調増加性保証、 −40〜+85°C (AD5040/AD5060)
		±0.5	±1		単調増加性保証、 −40〜+125°C (Yグレード)
ゲイン誤差		±0.01	±0.02	FSRの%	$T_A = -40 \sim +85^\circ\text{C}$ (AD5040/AD5060)
		±0.01	±0.03		$T_A = -40 \sim +125^\circ\text{C}$ (AD5060 Yグレード)
ゲイン誤差温度係数		1		FSRのppm/°C	
オフセット誤差		±0.02	±1.5	mV	$T_A = -40 \sim +85^\circ\text{C}$ (AD5040/AD5060)
		±0.02	±2.0		$T_A = -40 \sim +125^\circ\text{C}$ (AD5060 Yグレード)
オフセット誤差温度係数		0.5		μV/°C	
フルスケール誤差		±0.05	±2.0	mV	DACレジスタに全ビット「1」をロード、 AD5040 AD5060 ; $T_A = -40 \sim +85^\circ\text{C}$
		±0.05	±2.0		DACレジスタに全ビット「1」をロード、 $T_A = -40 \sim +125^\circ\text{C}$ (AD5060 Yグレード)
出力特性 ³					
出力電圧範囲	0		V_{REF}	V	
出力電圧セトリング時間		4		μs	1/4スケールから3/4スケールへのコード遷移 (±1LSBまで)、 $R_L=5k\Omega$
出力ノイズ・スペクトル密度		64		nV/ $\sqrt{\text{Hz}}$	DACコード=ミッドスケール、1kHz
出力電圧ノイズ		6		μV p-p	DACコード=ミッドスケール、0.1~10Hzの 帯域幅
デジタルからアナログへの グリッチ・インパルス		2		nV-s	コード57386周辺の1LSB変化、 $R_L=5k\Omega$ 、 $C_L=200\text{pF}$
デジタル・フィードスルー		0.003		nV-s	DACコード=フルスケール
DC出力インピーダンス (ノーマル)		0.015		Ω	出力インピーダンス許容誤差：±10%
DC出力インピーダンス (パワーダウン)					
(出力を1kΩネットワークに接続) ⁴		1		kΩ	出力インピーダンス許容誤差：±400Ω
(出力を100kΩネットワークに接続)		100		kΩ	出力インピーダンス許容誤差：±20kΩ
容量性負荷安定性			1	nF	使用負荷： $R_L=5k\Omega$ 、 $R_L=100k\Omega$ 、 $R_L=\infty$
スルーレート		1.2		V/μs	1/4スケールから3/4スケールへのコード遷移 (±1LSBまで)、 $R_L=5k\Omega$ 、 $R_L=5k\Omega$ 、 $C_L=200\text{pF}$
短絡電流		60		ma	DACコード=フルスケール、出力をGNDに短 絡、 $T_A=25^\circ\text{C}$
		45			DACコード=ゼロスケール、出力を V_{DD} に短 絡、 $T_A=25^\circ\text{C}$

AD5040/AD5060

パラメータ	A、Bグレード ¹			単位	テスト条件／備考
	Min	Typ	Max		
DACパワーアップ時間		4.5		μs	パワーダウン・モードからノーマル・モードへの復帰時間、クロックの24番目のエッジからDACの最終値の90%まで、出力無負荷 (AD5060)
DC電源電圧変動除去比		−92.11		db	V_{DD} : ±10%、DACコード=フルスケール 出力周波数=10kHz
ワイドバンド・スプリアスフリー・ダイナミック・レンジ (SFDR)		−67		db	
リファレンス入出力					
V_{REF} 入力範囲 ⁵	2		$V_{DD}-50$	mV	ゼロスケールをロード
入力電流 (パワーダウン)		±0.1		μA	
入力電流 (ノーマル)			±0.5	μA	
DC入力インピーダンス	1			MΩ	
ロジック入力					
入力電流 ⁶		±1	±2	μA	$V_{DD}=4.5\sim5.5V$ $V_{DD}=2.7\sim3.6V$ $V_{DD}=2.7\sim5.5V$ $V_{DD}=2.7\sim3.6V$
ローレベル入力電圧 (V_{IL})			0.8	V	
			0.8		
ハイレベル入力電圧 (V_{IH})	2.0			V	
	1.8				
ピン容量		4		pF	
電源条件					
V_{DD}	2.7		5.5	V	すべてのデジタル入力=0Vまたは V_{DD}
I_{DD} (ノーマル・モード)					DAC動作時 (負荷電流を除く)
$V_{DD}=2.7\sim5.5V$		1.0	1.2	mA	$V_{IN}=V_{DD}$ および $V_{IL}=GND$ 、 $V_{DD}=5.0V$ 、 $V_{REF}=4.096V$ 、コード=ミッドスケール
		0.82	1.0		$V_{IN}=V_{DD}$ および $V_{IL}=GND$ 、 $V_{DD}=3.0V$ 、 $V_{REF}=2.7V$ 、コード=ミッドスケール
I_{DD} (すべてのパワーダウン・モード)					
$V_{DD}=2.5\sim5.5V$		0.33	1	μA	$V_{IH}=V_{DD}$ および $V_{IL}=GND$ 、 $V_{DD}=5.5V$ 、 $V_{REF}=4.096V$ 、コード=ミッドスケール
		0.065			$V_{IH}=V_{DD}$ および $V_{IL}=GND$ 、 $V_{DD}=3.0V$ 、 $V_{REF}=4.096V$ 、コード=ミッドスケール

¹ Bグレードの温度範囲：−40〜+85℃、25℃で測定。Yグレードの温度範囲：−40〜+125℃。
² 直線性はコード範囲を縮小して計算 (AD5060：コード160〜65,535)、(AD5040：コード40〜16,383)。
³ これらの仕様については出荷テストを行っていませんが、設計により保証しています。
⁴ AD5040では、1kΩのパワーダウン・ネットワークを利用できません。
⁵ −40℃時のさまざまなリファレンス電圧に対する代表的な出力電源ヘッドルーム性能を図26に示します。
⁶ すべてのピンに流入する合計電流。

タイミング特性

$V_{DD}=2.7\sim 5.5V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表3

パラメータ	限界値 ¹	単位	テスト条件／備考
t_1^2	33	ns (min)	SCLKサイクル時間
t_2	5	ns (min)	SCLKハイレベル時間
t_3	3	ns (min)	SCLKローレベル時間
t_4	10	ns (min)	$\overline{SYNC}$ からSCLK立下がりエッジまでのセットアップ時間
t_5	3	ns (min)	データのセットアップ時間
t_6	2	ns (min)	データのホールド時間
t_7	0	ns (min)	SCLKの立下がりエッジから $\overline{SYNC}$ の立上がりエッジまで
t_8	12	ns (min)	最小の $\overline{SYNC}$ ハイレベル時間
t_9	9	ns (min)	$\overline{SYNC}$ の立上がりエッジからSCLKの次の立下がりエッジまで

¹ すべての入力信号は $t_r=t_f=1ns/V$ (V_{DD} の10～90%) で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします。

² SCLKの最大周波数は30MHzです。

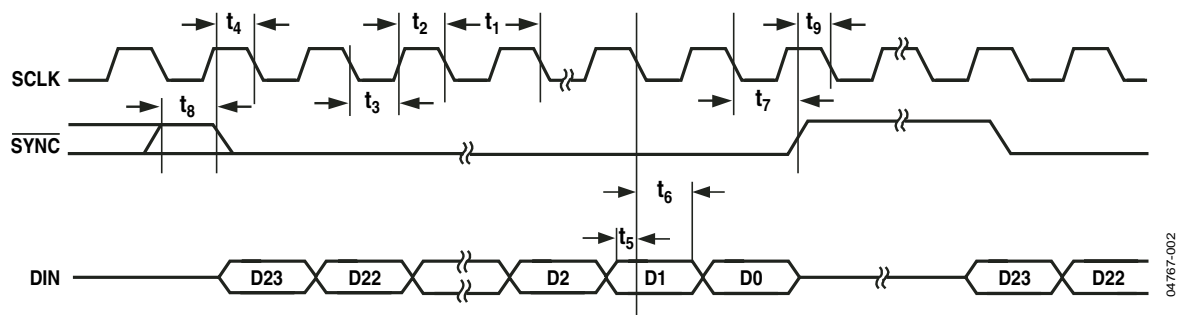


図2. AD5060のタイミング図

04767-002

AD5040/AD5060

絶対最大定格

表4

パラメータ	定格値
GNDに対する V_{DD}	$-0.3 \sim +7.0V$
GNDに対するデジタル入力電圧	$-0.3V \sim V_{DD} + 0.3V$
GNDに対する V_{OUT}	$-0.3V \sim V_{DD} + 0.3V$
GNDに対する V_{REF}	$-0.3V \sim V_{DD} + 0.3V$
動作温度範囲	
工業用 (A、Bグレード)	$-40 \sim +85^{\circ}C$
自動車用拡張温度範囲 (Yグレード)	$-40 \sim +125^{\circ}C$
保存温度範囲	$-65 \sim +150^{\circ}C$
最大ジャンクション温度	$150^{\circ}C$
SOT-23パッケージ	
消費電力	$(T_J \max - T_A) \theta_{JA}$
θ_{JA} 熱抵抗	$206^{\circ}C/W$
θ_{JC} 熱抵抗	$91^{\circ}C/W$
リフロー・ハンダ処理 (鉛フリー)	
ピーク温度	$260^{\circ}C$
ピーク温度時間	10～40秒
ESD (AD5040/AD5060)	1.5kV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

本デバイスは高性能の集積回路です。ESD定格は2kV未満で、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

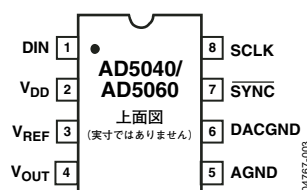


図3. ピン配置

表5. ピン機能の説明

ピン番号	記号	機能
1	DIN	シリアル・データ入力。AD5040/AD5060には、16/24ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
2	V_{DD}	電源入力。これらのデバイスは2.7～5.5Vで動作します。 V_{DD} をGNDにデカップリングしてください。
3	V_{REF}	リファレンス電圧入力
4	V_{OUT}	DACからのアナログ出力電圧
5	AGND	アナログ回路のグラウンド基準ポイント
6	DACGND	DACコアへのグラウンド入力
7	$\overline{SYNC}$	レベル・トリガの制御入力（アクティブ・ロー）。これは、入力データに対するフレーム同期信号です。 $\overline{SYNC}$ がローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで転送されます。DACは、16番目／24番目のクロック・サイクルの後に更新されます。ただし、このエッジより前に $\overline{SYNC}$ がハイレベルになると、 $\overline{SYNC}$ の立上がりエッジは割込みとして機能し、DACは書き込みシーケンスを無視します。
8	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタに入力されます。データは最大30MHzのレートで転送できます。

代表的な性能特性

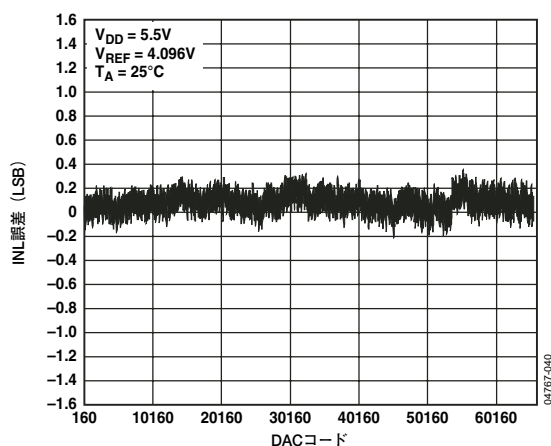


図4. 代表的なINL (AD5060)

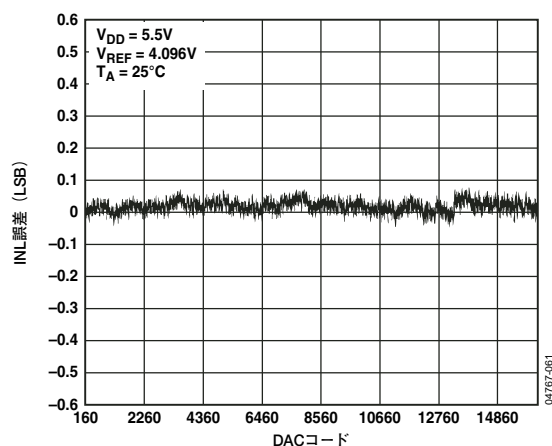


図7. 代表的なINL (AD5040)

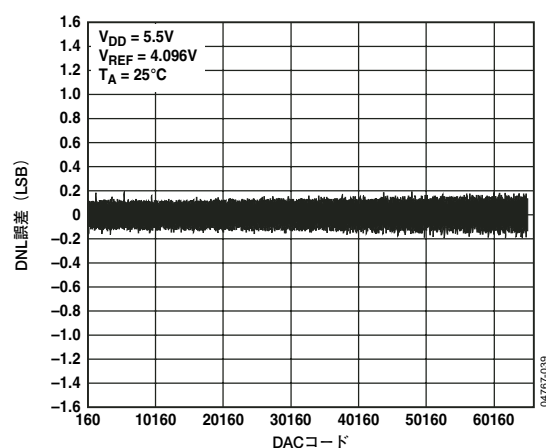


図5. 代表的なDNL (AD5060)

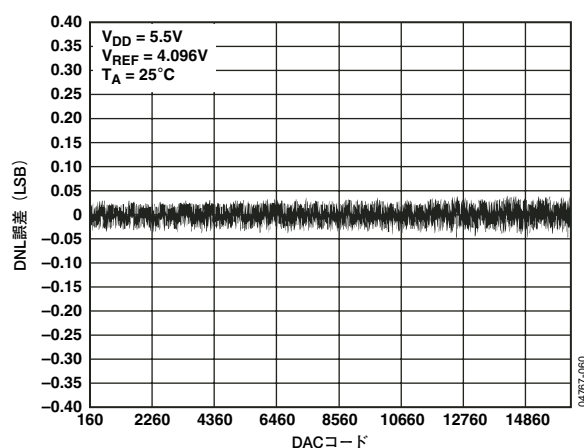


図8. 代表的なDNL (AD5040)

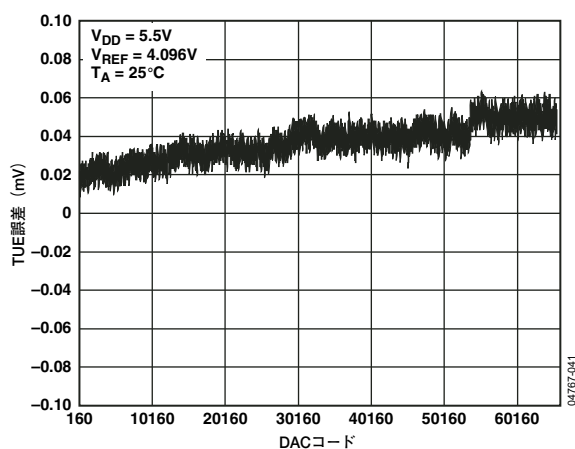


図6. 代表的なTUE (AD5060)

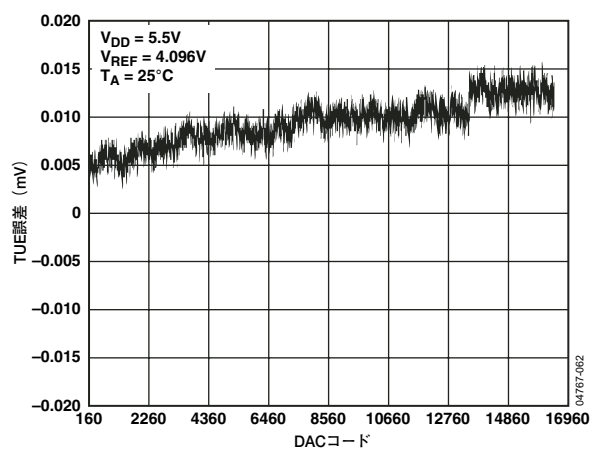
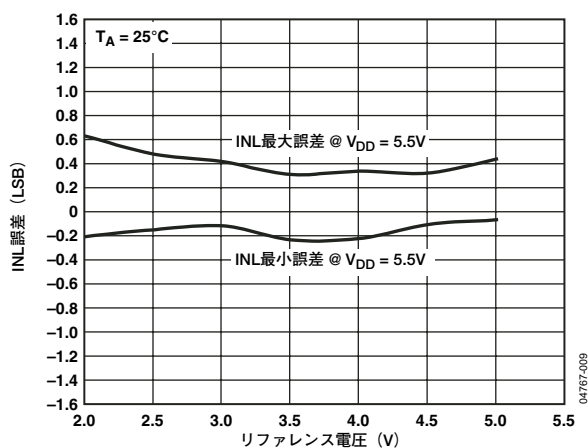
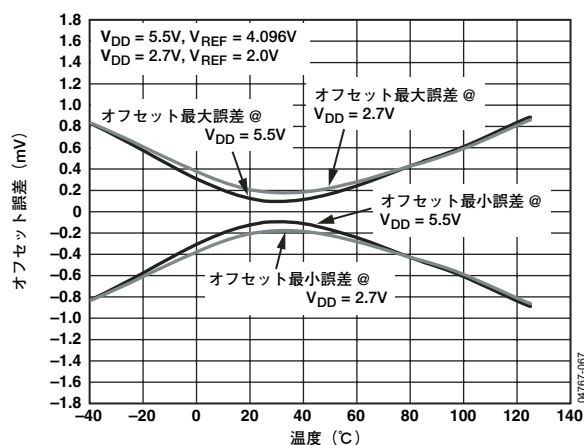
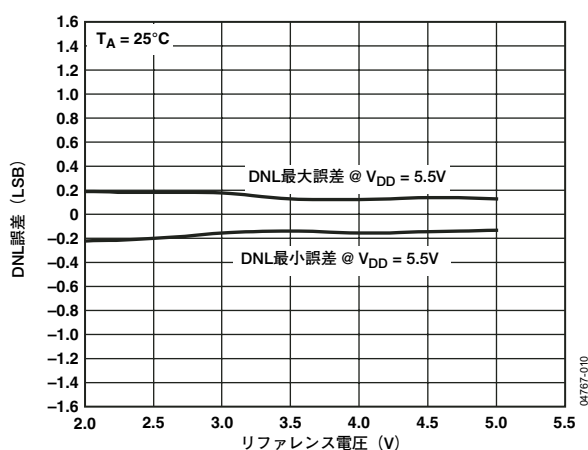
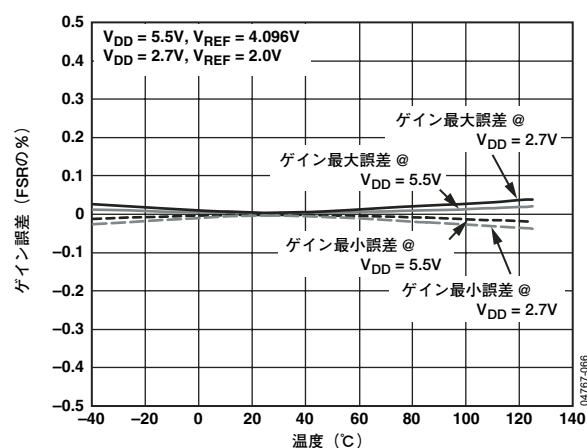
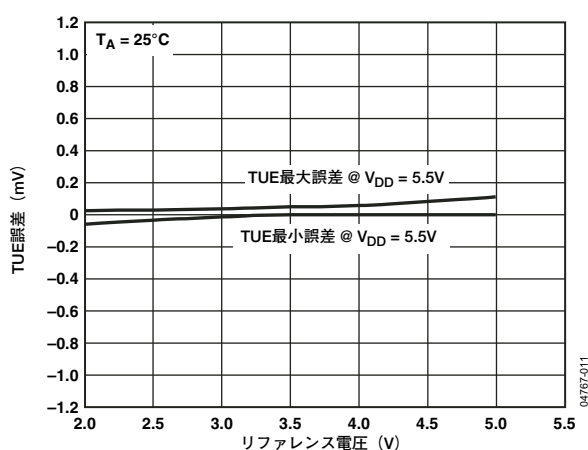
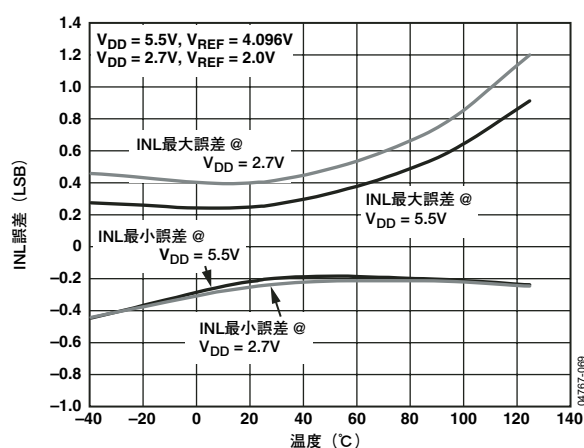


図9. 代表的なTUE (AD5040)

図10. リファレンス入力電圧 対 INL¹図13. 代表的なオフセット誤差の温度特性¹図11. リファレンス入力電圧 対 DNL¹図14. 代表的なゲイン誤差の温度特性¹図12. リファレンス入力電圧 対 TUE¹図15. 代表的なINL誤差の温度特性¹¹ AD5060のみ

AD5040/AD5060

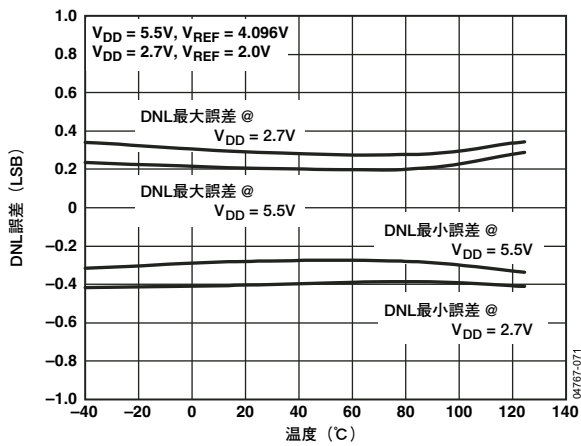


図16. 代表的なDNL誤差の温度特性¹

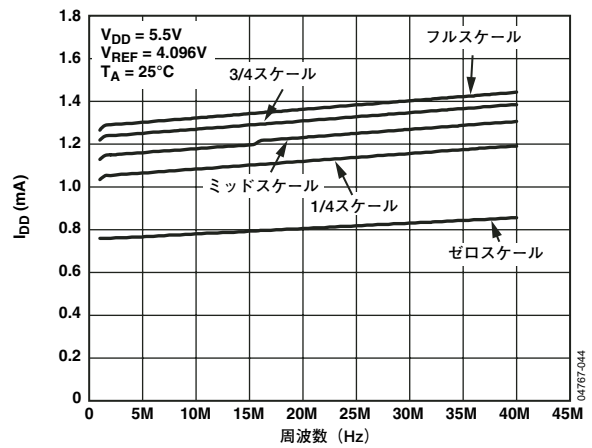


図19. 代表的な電源電流の周波数特性 (5.5V)¹

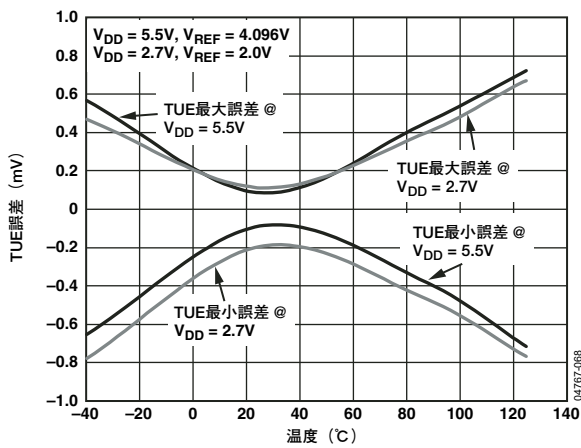


図17. 代表的なTUE誤差の温度特性¹

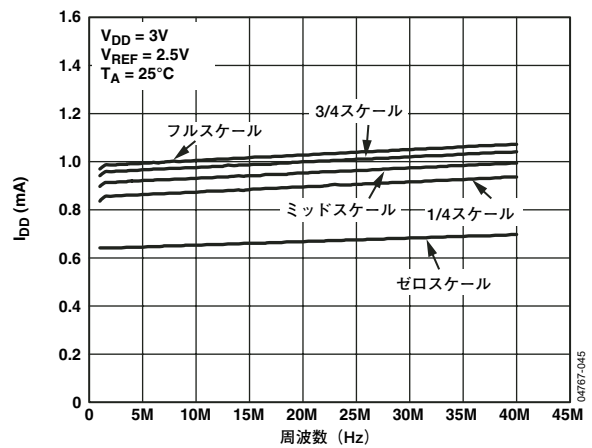


図20. 代表的な電源電流の周波数特性 (3V)¹

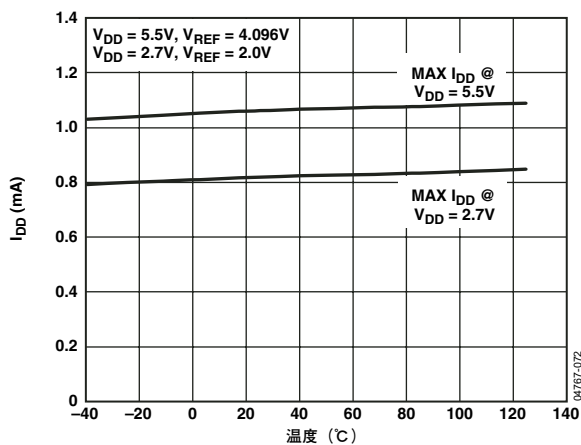


図18. 代表的な電源電流の温度特性¹

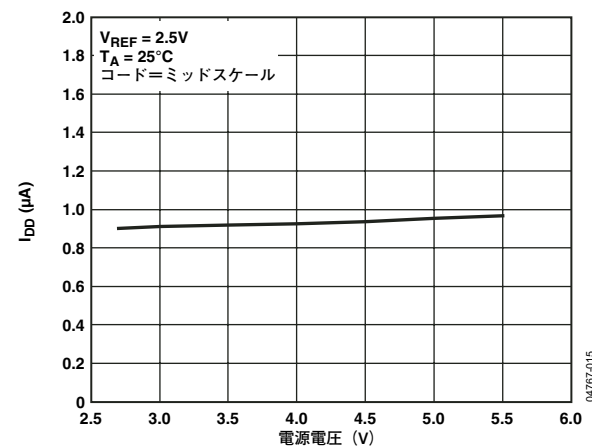


図21. 代表的な電源電圧 対 電源電流¹

¹ AD5060のみ

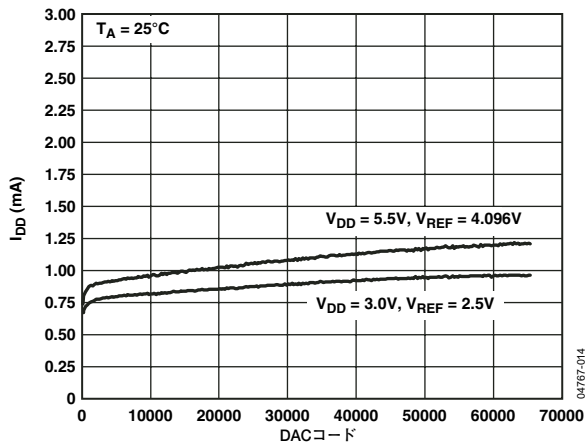


図22. 代表的なデジタル入力コード 対 電源電流¹

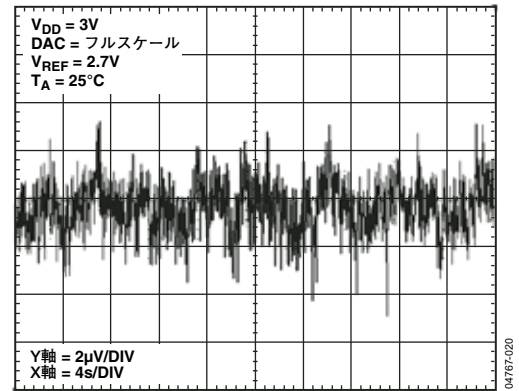


図25. 0.1~10Hzノイズのプロット

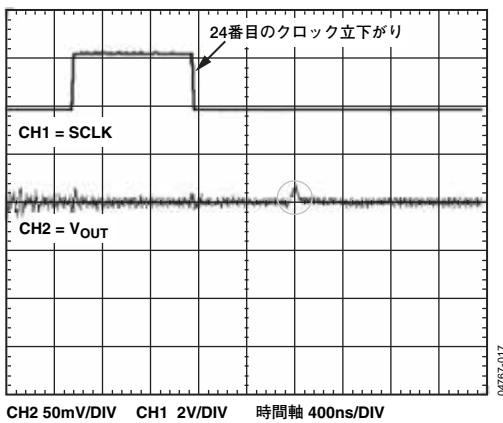


図23. デジタルからアナログへのグリッチ・インパルス (AD5060、図24を参照)

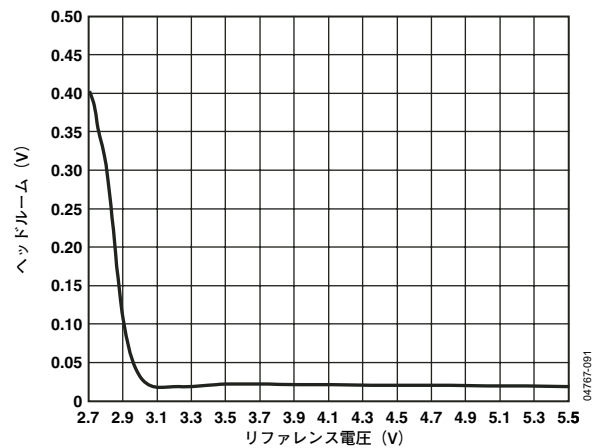


図26. リファレンス電圧 対 V_{DD} ヘッドルーム

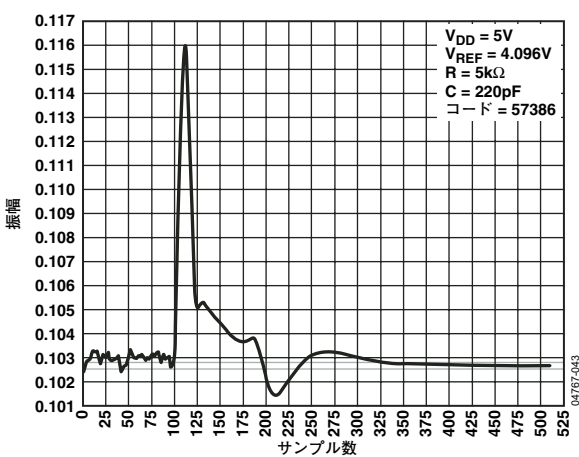


図24. デジタルからアナログへのグリッチ・エネルギー (AD5060)

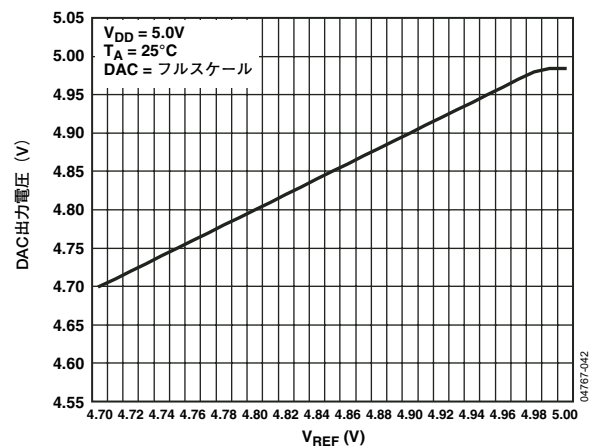


図27. リファレンス電圧 対 出力電圧

AD5040/AD5060

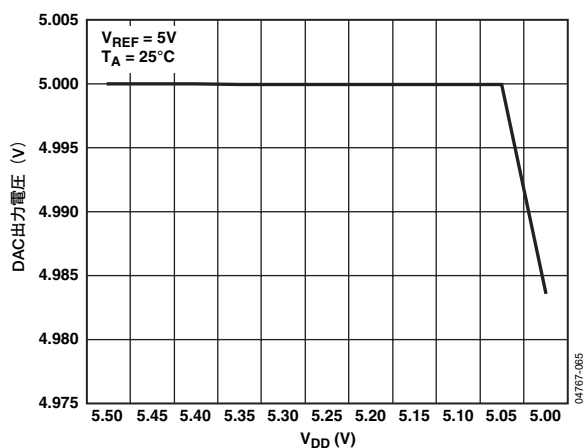


図28. 代表的な電源電圧 対 出力

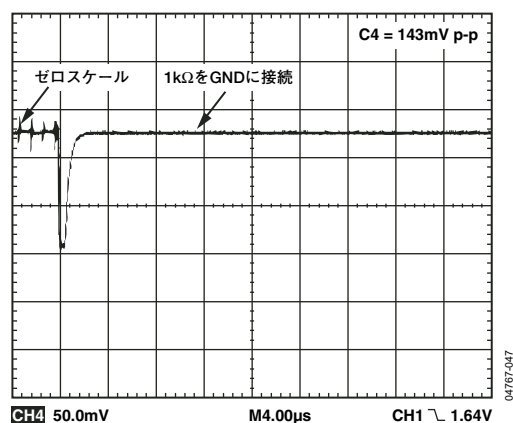


図31. ソフトウェアのパワーダウン開始
(ゼロスケール) 時のグリッチ

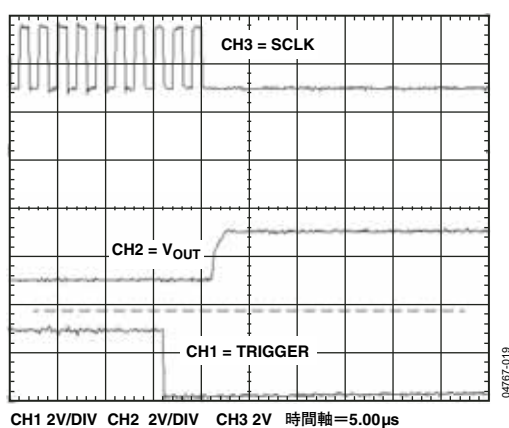


図29. パワーダウンからの復帰時間
(ミッドスケール)

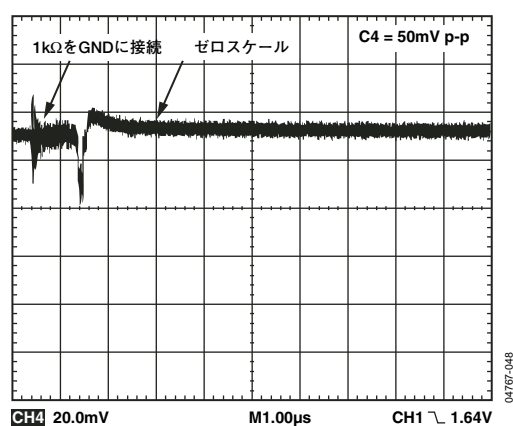


図32. ソフトウェアのパワーダウンからの復帰
(ゼロスケール) 時のグリッチ

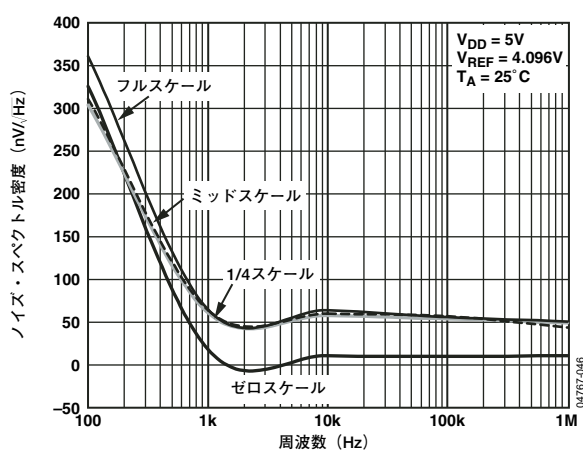


図30. ノイズ・スペクトル密度

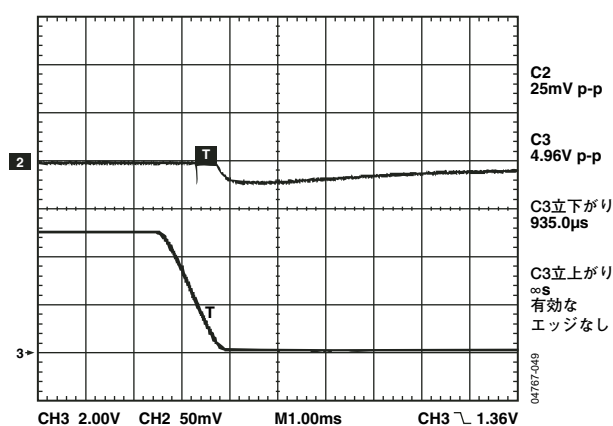


図33. ハードウェアのパワーダウン開始
(スリープ状態) 時のグリッチ

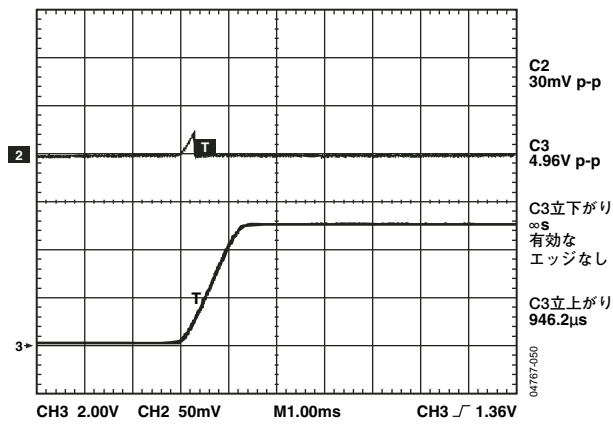


図34. ハードウェアのパワーダウンからの復帰 (ゼロスケール) 時のグリッチ

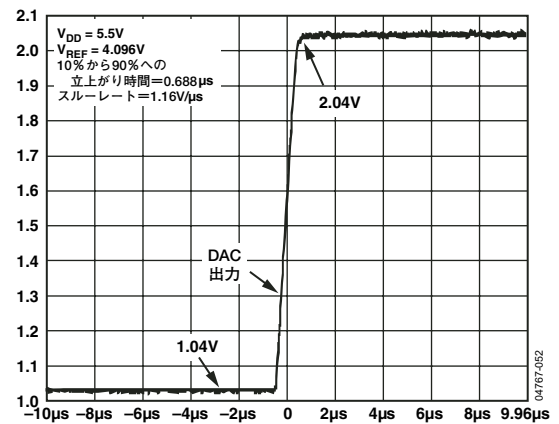


図37. 典型的な出力スルーレート

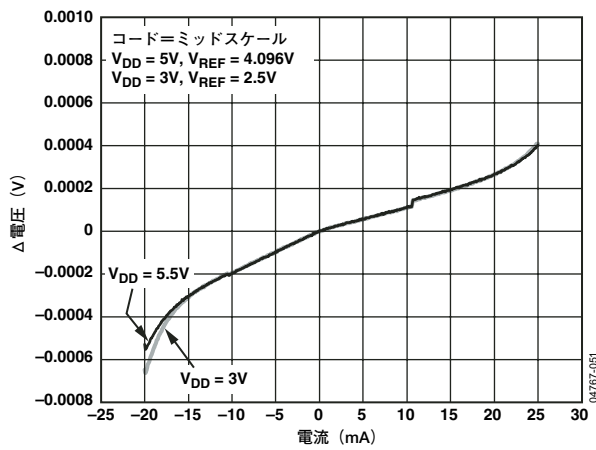


図35. 典型的な出力負荷レギュレーション

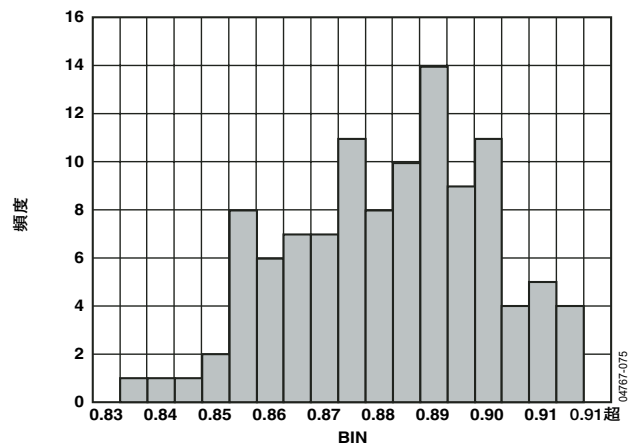


図38. I_{DD} ヒストグラム ($V_{DD}=3.0V$)

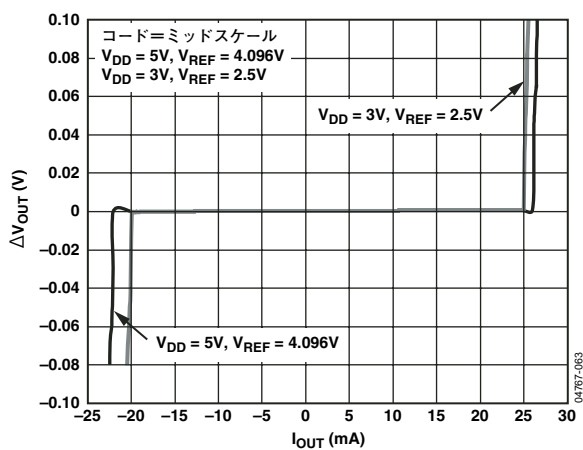


図36. 典型的な電流リミティング

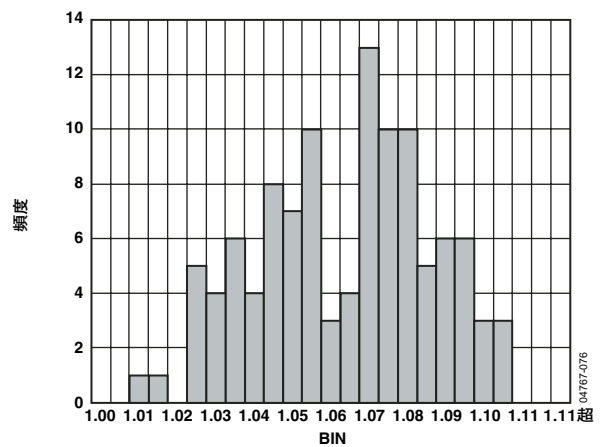


図39. I_{DD} ヒストグラム ($V_{DD}=5.0V$)

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。AD5060の代表的なコードとINLの関係を図4に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。AD5060の代表的なコードとDNLの関係を図5に示します。

オフセット誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5040/AD5060ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。

フルスケール誤差

フルスケール・コード (AD5060で0xFFFF、AD5040で0x3FFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジの%値で表します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

総合未調整誤差 (TUE)

さまざまな誤差を考慮した出力誤差を表します。AD5060のTUEとコードの代表的な関係を図6に示します。

オフセット誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu V/^{\circ}C$ の単位で表します。

ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm) / $^{\circ}C$ の単位で表します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。最悪時のコード53,786でデジタル入力コードが1LSB変化したときの測定値です。図23と図24を参照。図23は、キャリブレーション・ルーチンの完了後に生成されたグリッチを示します。図24は、このグリッチを拡大したものです。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

動作原理

AD5040/AD5060は、シリアル入力のシングル14/16ビット電圧出力DACで、2.7~5.5Vの電源電圧で動作します。データは、3線式シリアル・インターフェースを介して、24ビット・ワード・フォーマット（AD5060）または16ビット・ワード・フォーマット（AD5040）で書き込まれます。

AD5040/AD5060に内蔵のパワーオン・リセット回路により、パワーアップ時にDACの出力は既知の出力状態（ミッドスケールまたはゼロスケール、「オーダー・ガイド」を参照）にリセットされます。また、ソフトウェア・パワーダウン・モード・ピンにより、消費電流は1μA（typ値）未満に減少します。

DACアーキテクチャ

AD5060のDACアーキテクチャは、整合した2つのDAC部から構成されます。簡単な回路図を図40に示します。16ビット・データワードの4つのMSBがデコードされて、15個のスイッチ（E1~E15）を駆動します。これらの各スイッチは、15本の整合抵抗のいずれかをDACGNDまたは V_{REF} バッファ出力に接続します。残りの12ビットのデータワードは、12ビットの電圧モードR-2Rラダー・ネットワークのスイッチ（S0~S11）を駆動します。

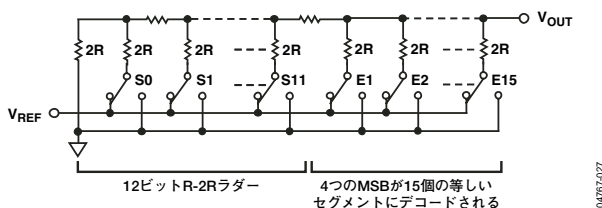


図40. AD5060のDACラダー構造

リファレンス・バッファ

AD5040/AD5060は外部リファレンスで動作します。リファレンス入力（ V_{REF} ）の入力範囲は、 $2V \sim V_{DD} - 50mV$ です。この入力電圧を使用して、バッファされたリファレンス電圧がDACコアに供給されます。

シリアル・インターフェース

AD5040/AD5060は、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース（ $\overline{SYNC}$ 、SCLK、DIN）を備えています。AD5060の代表的な書き込みシーケンスのタイミング図については、図2を参照してください。

$\overline{SYNC}$ ラインをローレベルにすると、書き込みシーケンスを開始します。AD5060の場合、DINラインからのデータは、SCLKの立下がりエッジで24ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大30MHzまで対応しているため、デバイスは高速DSPと互換性があります。クロックの24番目の立下がりエッジで最後のデータビットが入力され、プログラミングされた機能を実行します（DAC出力の変更や動作モードの変更）。

この時点で、 $\overline{SYNC}$ ラインをローレベルに保持するか、ハイレベルにすることができます。いずれの場合でも、次の書き込みシーケンスの前に12ns以上 $\overline{SYNC}$ ラインをハイレベルに保持し、 $\overline{SYNC}$ の立下がりエッジで次の書き込みシーケンスを開始できるようにします。 $\overline{SYNC}$ バッファを流れる電流は $V_{IN} = 0.8V$ の場合より $V_{IN} = 1.8V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには、書き込みシーケンス同士の間も $\overline{SYNC}$ をアイドル・ローレベルに保持してください。ただし、前述のとおり次の書き込みシーケンスの開始前にハイレベルに戻す必要があります。AD5040では、入力シフト・レジスタの更新に16クロック・サイクルが必要です。クロックの16番目の立下がりエッジで最後のデータビットが入力され、プログラミングされた機能を実行します（DAC出力の変更や動作モードの変更）。

入力シフト・レジスタ

AD5060の入力シフト・レジスタは24ビット幅です（図41を参照）。PD1とPD0はコントロール・ビットで、デバイスの動作モード（ノーマル・モード、3種のパワーダウン・モード）を制御します（各モードの詳細については、「パワーダウン・モード」を参照）。次の16ビットはデータビットで、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

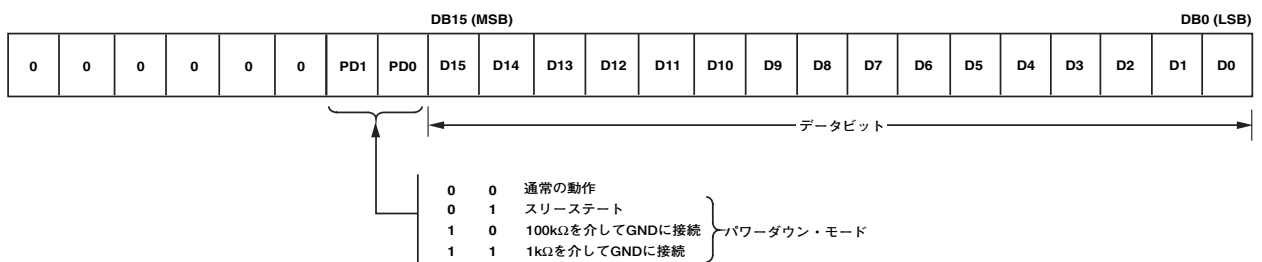


図41. AD5060の入力レジスタのデータ内容

AD5040/AD5060

AD5040の入力シフト・レジスタは16ビット幅です（図42を参照）。PD1とPD0はコントロール・ビットで、デバイスの動作モード（ノーマル・モード、2種のパワーダウン・モード）を制御します（各モードの詳細については、「パワーダウン・モード」を参照）。次の14ビットはデータビットで、SCLKの16番目の立下がりエッジでDACレジスタに転送されます。

SYNC割込み

AD5060の通常の手込みシーケンスでは、SCLKの少なくとも24個の立下がりエッジの間、 $\overline{\text{SYNC}}$ ラインがローレベルに保持され、24番目の立下がりエッジでDACが更新されます。ただし、24番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイレベルに設定すると、手込みシーケンスへの割込みが発生します。このときにシフト・レジスタがリセットされ、手込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません（図43を参照）。AD5040の通常の手込みシーケンスでは、SCLKの少なくとも16個の立下がりエッジの間、 $\overline{\text{SYNC}}$ ラインがローレベルに保持され、16番目の立下がりエッジでDACが更新されます。ただし、16番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイレベルに設定すると、手込みシーケンスへの割込みが発生します。このときにシフト・レジスタがリセットされ、手込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません。

パワーオン・リセット

AD5040/AD5060は、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。DACレジスタにはゼロスケールまたはミッドスケールのコードが設定され、出力電圧はゼロスケールまたはミッドスケールになります（リセット・モデルに関する詳細は、「オーダー・ガイド」を参照）。DACに有効な手込みシーケンスが実行されるまでこの状態が保持されます。この機能はデバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。

ソフトウェア・リセット

AD5060をソフトウェア・リセットするには、DACレジスタの全ビットを「1」に設定します。つまり、ビットD23～ビットD16にも「1」を書き込みます（これは通常の手込みモードではありません）。AD5040では、ビットD15とビットD14にも「1」を書き込みます（これも同様に通常の手込みモードではありません）。なお、AD5040/AD5060でソフトウェア・リセット・コマンドが開始された場合は、 $\overline{\text{SYNC}}$ 割込みコマンドは実行できません。

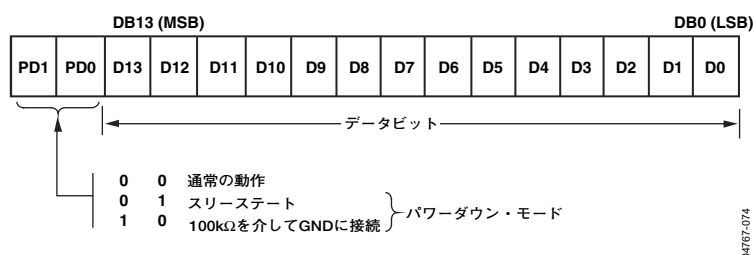


図42. AD5040の入力レジスタの内容

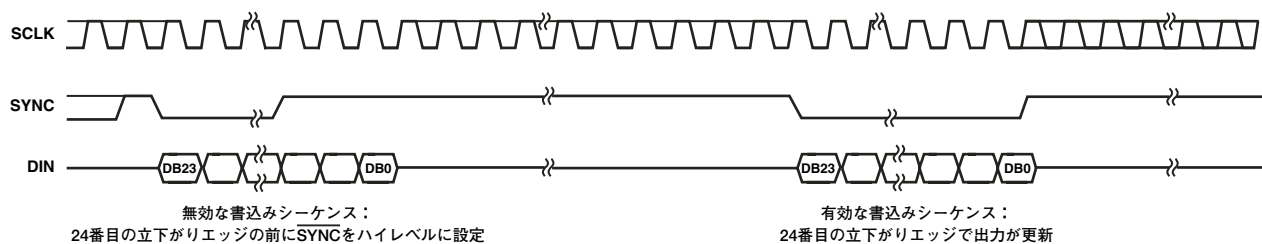


図43. AD5060の $\overline{\text{SYNC}}$ 割込み機能

パワーダウン・モード

AD5060には4種、AD5040には3種の動作モードがあります。動作モードは、コントロール・レジスタの2つのビット（AD5060はDB17とDB16、AD5040はDB15とDB14）の設定によってソフトウェアで選択できます。表6と表7は、ビットの設定と対応するデバイスの動作モードを示します。

表6. AD5060の動作モード

DB17	DB16	動作モード
0	0	通常の動作
0	1	スリーステート
1	0	100k Ω を介してGNDに接続
1	1	1k Ω を介してGNDに接続

表7. AD5040の動作モード

DB15	DB14	動作モード
0	0	通常の動作
0	1	スリーステート
1	0	100k Ω を介してGNDに接続
1	1	「ソフトウェア・リセット」を参照

AD5060/AD5040で、2つの最上位ビットを「0」に設定すると、デバイスは通常の消費電流で通常の動作を実行します。しかし、AD5060の3つのパワーダウン・モード、AD5040の2つのパワーダウン・モードでは、電源電流が5V時に1 μ A未満（3V時には65nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1k Ω の抵抗（AD5060のみ）または100k Ω の抵抗を経由してGNDに接続されるか、またはオープン（スリーステート）になるかのオプションがあります。出力段を図44に示します。

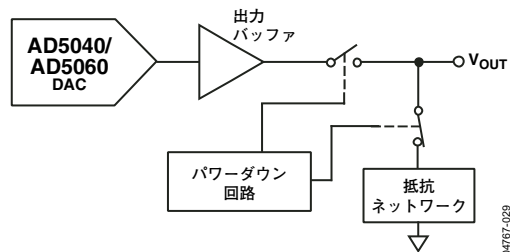


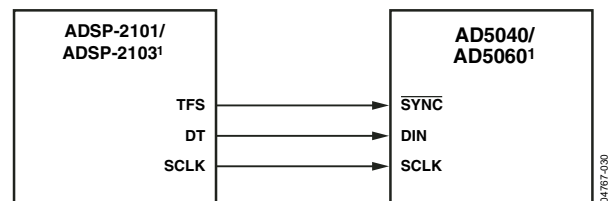
図44. パワーダウン時の出力段

パワーダウン・モードになると、バイアス発生器、DACコア、その他の関係するリニア回路がすべてシャットダウンされます。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{DD}=5V$ の場合に2.5 μ s、 $V_{DD}=3V$ の場合に5 μ sです（いずれもtyp値）。図29を参照してください。

マイクロプロセッサとのインターフェース

AD5040/AD5060とADSP-2101/ADSP-2103とのインターフェース

図45は、AD5040/AD5060とADSP-2101/ADSP-2103とのシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORT送信オルタネート・フレーミング・モードで動作するように設定してください。ADSP-2101/ADSP-2103のSPORTは、SPORTコントロール・レジスでプログラミングし、「内部クロック動作」「アクティブ・ローレベルのフレーミング」「16ビットのワード長」に設定します。SPORTをイネーブルにした後、Txレジスタにワードを書き込むことで送信が開始されます。

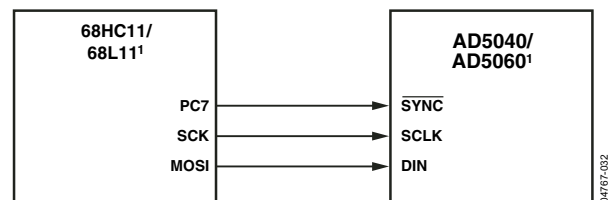


¹わかりやすくするために、他のピンは省略しています。

図45. AD5040/AD5060とADSP-2101/ADSP-2103とのインターフェース

AD5040/AD5060と68HC11/68L11とのインターフェース

図46は、AD5040/AD5060と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKではAD5040/AD5060のSCLKピンを駆動しますが、MOSI出力ではDACのシリアル・データ・ラインを駆動します。SYNC信号は、ポート・ライン（PC7）から生成されます。このインターフェースを正常に動作させるには、68HC11/68L11でCPOLビット=0、かつCPHAビット=1となるように設定してください。データがDACに転送されているときは、SYNCラインがローレベルになります（PC7）。68HC11/68L11が上記のように設定された場合は、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをAD5040/AD5060にロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。



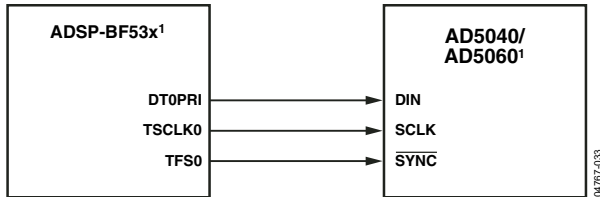
¹わかりやすくするために、他のピンは省略しています。

図46. AD5040/AD5060と68HC11/68L11とのインターフェース

AD5040/AD5060

AD5040/AD5060とBlackfin® ADSP-BF53xとのインターフェース

図47は、AD5040/AD5060とBlackfin ADSP-53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53Xファミリーのプロセッサには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート（SPORT1とSPORT0）が内蔵されています。SPORT0を用いたAD5040/AD5060との接続では、次のようにインターフェースがセットアップされます。DT0PRIがAD5040/AD5060のSDINピンを駆動し、TSCLK0がAD5040/AD5060のSCLKを駆動します。SYNCはTFS0が駆動します。

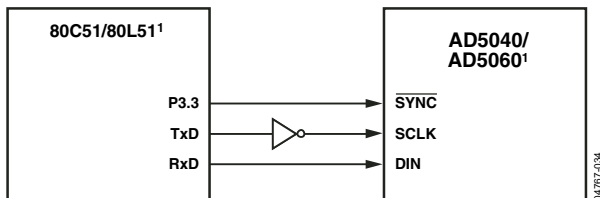


¹わかりやすくするために、他のピンは省略しています。

図47. AD5040/AD5060とBlackfin ADSP-BF53xとのインターフェース

AD5040/AD5060と80C51/80L51とのインターフェース

図48は、AD5040/AD5060と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップでは、80C51/80L51のTxDがAD5040/AD5060のSCLKを駆動し、RxDがAD5040/AD5060のSDINを駆動します。SYNC信号はこの場合も、ポートのビット・プログラマブルなピンから生成されます。この場合はポート・ラインP3.3を使用します。データがAD5040/AD5060に転送されるとき、P3.3はローレベルになります。データは80C51/80L51から8ビットのバイトで転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローレベルのままにして2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51はシリアル・データをLSBファーストで出力しますが、AD5040/AD5060はMSBファーストでデータを受け取る必要があります。80C51/80L51の送信ルーチンは、これを考慮に入れてください。

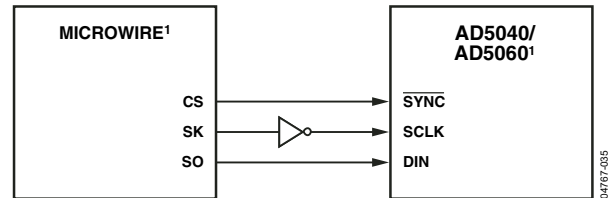


¹わかりやすくするために、他のピンは省略しています。

図48. AD5040/AD5060と80C51/80L51とのインターフェース

AD5040/AD5060とMICROWIREとのインターフェース

図49は、AD5040/AD5060とMICROWIRE互換の任意のデバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立下がりエッジでシフト・アウトされ、SKの立上がりエッジでAD5040/AD5060に入力されます。



¹わかりやすくするために、他のピンは省略しています。

図49. AD5040/AD5060とMICROWIREとのインターフェース

アプリケーション

AD5040/AD5060のリファレンスの選択

AD5040/AD5060から最適な性能を得るためには、高精度の電圧リファレンスを注意して選ぶ必要があります。AD5040/AD5060のリファレンス入力 V_{REF} のみです。このリファレンス入力の電圧を、DACの供給電圧として使用します。したがって、リファレンスに少しでも誤差があると、DACにも影響が出ます。

高精度アプリケーション向けの電圧リファレンスの選択に際しては、誤差源として初期精度、ppmドリフト、長期ドリフト、出力電圧ノイズを考慮します。DACの出力電圧の初期精度は、DACのフルスケール誤差を発生させる要因となります。これらの誤差を最小限に抑えるために、初期精度の高いリファレンスを選んでください。また、ADR43xファミリーなどの出力調整機能付きのリファレンスを選択すれば、リファレンス電圧をその公称値以外の電圧に設定してシステム誤差を抑えられます。この調整機能を動作温度で使用すれば他の誤差も抑えられます。

AD5040/AD5060は、必要とする電源電流が非常に小さいため、低消費電力アプリケーションに最適です。低消費電力アプリケーションに使用する場合、電圧リファレンスとしてADR395の使用を推奨します。静止電流が100 μ A未満と小さく、必要に応じて1つのシステム内で複数のDACを駆動することもできます。またノイズ性能も、0.1~10Hzの範囲で8 μ Vp-pと非常に優れています。

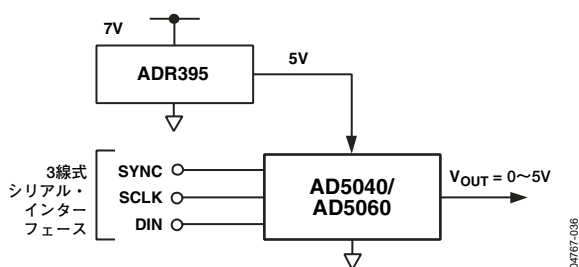


図50. ADR395をAD5040/AD5060のリファレンスとして使用した場合

長期ドリフトは、リファレンスの経時変化を測定した値です。精度の高い長期ドリフト仕様を備えたリファレンスは、製品寿命を通じて比較的安定した状態に精度が維持されています。リファレンスの出力電圧の温度係数は、INL、DNL、TUEに影響を及ぼします。周囲条件に対するDAC出力電圧の温度依存性を低く抑えるために、精度の高い温度係数仕様を備えたリファレンスを選択してください。

比較的低いノイズが求められる高精度のアプリケーションでは、リファレンスの出力電圧ノイズを考慮に入れる必要があります。要求されるシステム・ノイズ分解能に対して、可能な限り出力ノイズ電圧が低いリファレンスを選択することが重要です。ADR435などの高精度リファレンスは、0.1~10Hzの範囲で出力ノイズが低く抑えられています。AD5040/AD5060の電源として推奨する高精度リファレンスの例を表8に示します。

表8. AD5040/AD5060用の高精度リファレンス一覧

製品番号	初期精度 (mV) (max)	温度ドリフト (ppm/°C) (max)	0.1~10Hzの ノイズ (μ V p-p) (typ)
ADR435	± 2	3 (SO-8)	8
ADR425	± 2	3 (SO-8)	3.4
ADR02	± 3	3 (SO-8)	10
ADR02	± 3	3 (SC70)	10
ADR395	± 5	9 (TSOT-23)	8

AD5040/AD5060を使用したバイポーラ動作

AD5040/AD5060は単電源動作用に設計されていますが、図51に示す回路を使用すると、バイポーラ出力電圧範囲を設定することも可能です。この回路では出力電圧範囲が ± 5 Vとなります。AD8675/AD820/AD8032またはOP196/OP295を使用すると、アンプ出力でのレールtoレール動作が可能になります。

任意の入力コードに対する出力電圧は、次のように算出できます。

$$V_O = \left[V_{DD} \times \left(\frac{D}{65536} \right) \times \left(\frac{2R+1R}{1R} \right) - V_{DD} \times \left(\frac{2R}{1R} \right) \right]$$

ここで、Dは入力コードと等価な10進値（AD5060で0~65,535）を表します。

$V_{REF} = 5$ V、 $R1 = R2 = 10$ k Ω のとき、

$$V_O = \left(\frac{10 \times D}{65536} \right) - 5$$

AD5060を使用する場合、出力電圧範囲は ± 5 Vとなり、0x0000が-5V出力、0xFFFFが+5V出力に相当します。

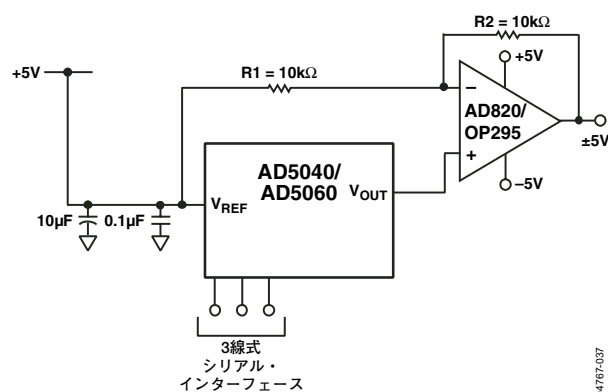


図51. AD5040/AD5060を使用したバイポーラ動作

AD5040/AD5060

デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、絶縁インターフェースが必要となることがよくあります。それは、DACが動作している環境下で望ましくない同相電圧から制御回路を保護したり、絶縁したりする必要があるからです。iCoupler®は2.5kVを超える絶縁が可能です。AD5040/AD5060は3線式のシリアル・ロジック・インターフェースを使用しているため、「ADuM130x」ファミリーはDACインターフェースに理想的なデジタル・ソリューションです。

ADuM130xアイソレータは、さまざまなチャンネル設定とデータレートで、3つの独立した絶縁チャンネルを提供します。これらは、2.7~5.5Vの全範囲で動作し、低電圧システムとの互換性を提供し、絶縁バリアにまたがる電圧変換機能を実現します。

図52は、AD5040/AD5060を使用した代表的な絶縁インターフェース構成を示します。デバイスの電源もトランスを使用して絶縁してください。トランスのDAC側では、AD5040/AD5060に必要な5V電源は、5Vレギュレータから提供されます。

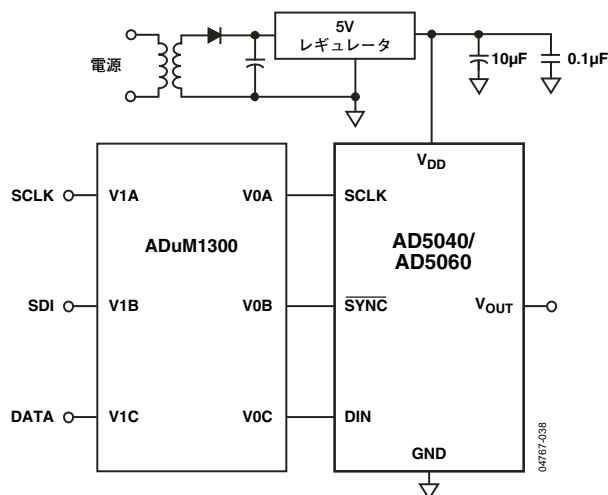


図52. iCouplerを用いた絶縁インターフェース

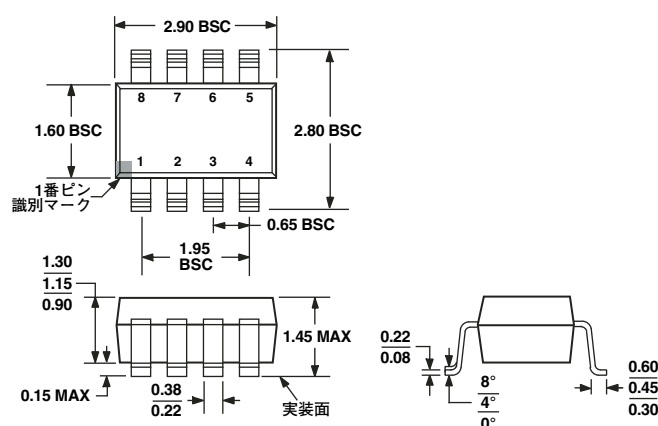
電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5040/AD5060を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5040/AD5060を使用する場合は、必ず1カ所のみでこの接続を行ってください。グラウンド・ポイントはAD5040/AD5060のできるかぎり近くに配置してください。

AD5040/AD5060の電源は、10μFと0.1μFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1μFのコンデンサは理想的にはデバイスの真上に配置してください。10μFのコンデンサはタンタルのビード型を使います。0.1μFのコンデンサは、セラミック型の等価直列抵抗（ESR）が小さく、かつ等価直列インダクタンス（ESL）が小さいものを使うことが重要です。この0.1μFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

外形寸法



JEDEC規格MO-178-BAに準拠

図53. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23]

(RJ-8)

寸法単位: mm

(RJ-8) D04767-0-10/05(0)-J

オーダー・ガイド

モデル	温度範囲	INL	説明	パッケージ	パッケージ・オプション	マーキング
AD5040BRJZ-500RL7 ¹	-40~+85°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D4C
AD5040BRJZ-REEL7 ¹	-40~+85°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D4C
AD5060ARJZ-1500RL7 ¹	-40~+85°C	2LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D3Z
AD5060ARJZ-1REEL7 ¹	-40~+85°C	2LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D3Z
AD5060ARJZ-2REEL7 ¹	-40~+85°C	2LSB	2.7~5.5V、ミッドスケールにリセット	8ピンSOT-23	RJ-8	D41
AD5060ARJZ-2500RL7 ¹	-40~+85°C	2LSB	2.7~5.5V、ミッドスケールにリセット	8ピンSOT-23	RJ-8	D41
AD5060BRJZ-1500RL7 ¹	-40~+85°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D3W
AD5060BRJZ-1REEL7 ¹	-40~+85°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D3W
AD5060BRJZ-2REEL7 ¹	-40~+85°C	1LSB	2.7~5.5V、ミッドスケールにリセット	8ピンSOT-23	RJ-8	D3X
AD5060BRJZ-2500RL7 ¹	-40~+85°C	1LSB	2.7~5.5V、ミッドスケールにリセット	8ピンSOT-23	RJ-8	D3X
AD5060YRJZ-1500RL7 ¹	-40~+125°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D6F
AD5060YRJZ-1REEL7 ¹	-40~+125°C	1LSB	2.7~5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D6F
EVAL-AD5060EB				評価用ボード		
EVAL-AD5040EB				評価用ボード		

¹ Z=鉛フリー製品