

この製品の英語版データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2017 年 9 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2017 年 9 月 12 日

製品名：AD5124 / AD5144 / AD5144A

対象となるデータシートのリビジョン(Rev)：英語版：Rev.B、日本語版：Rev.A

訂正箇所：P.24, Fig 44 Daisy-Chain Configuration 回路図表記の誤り

【誤】 図中 AD512 / 44 の U1 の SCLK と SYNC-SS ラインの回路接続部分 赤色枠内

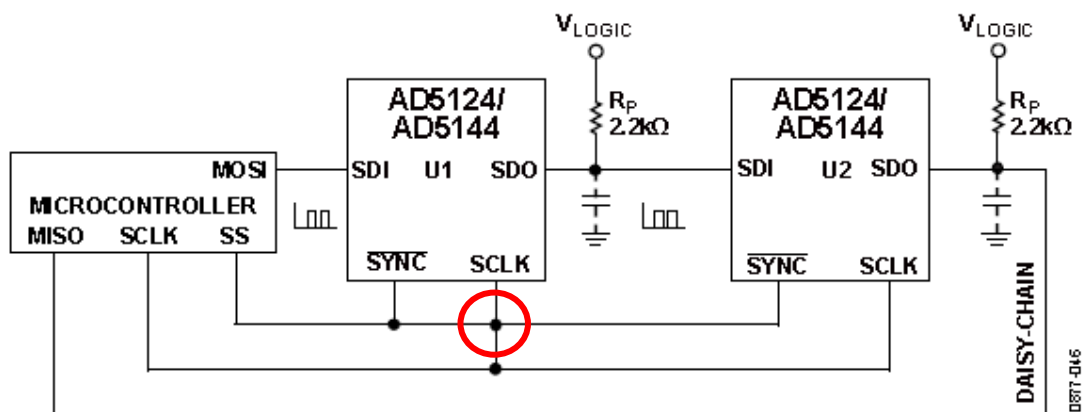


Figure 44. Daisy-Chain Configuration

【正】 正しくは、接続を示すドットは必要ありません。



4チャンネル、128/256ポジション、I²C/SPI 不揮発性デジタル・ポテンショメータ

データシート

AD5124/AD5144/AD5144A

特長

10 kΩ と 100 kΩ の抵抗オプションを提供
抵抗許容誤差: 最大 8%
ワイパー電流: ±6 mA
小さい温度係数: 35 ppm/°C
広い帯域幅: 3 MHz
高速なスタートアップ時間: 75 μs 以下
リニア・ゲイン設定モード
単電源動作と両電源動作が可能
独立したロジック電源: 1.8 V~5.5 V
広い動作温度: -40°C~+125°C
4 mm × 4 mm のパッケージ・オプションを提供
ESD 保護: 4 kV

アプリケーション

ポータブル機器のレベル調整
LCD パネルの輝度とコントラストの制御
プログラマブルなフィルタ、遅延、時定数
プログラマブルな電源

概要

AD5124/AD5144/AD5144A は、128/256 ポジションの調整を必要とするアプリケーションに対する不揮発性ソリューションを提供します。±8%の低い抵抗許容誤差および Ax ピン、Bx ピン、Wx ピンで最大±6 mA の電流密度を保証しています。

抵抗許容誤差と公称温度係数が小さいため、オープン・ループ・アプリケーションおよび許容誤差の一致が必要なアプリケーションが簡素化されます。

リニア・ゲイン設定モードを使うと、デジタル・ポテンショメータ端子間抵抗を R_{AW} と R_{WB} のストリング抵抗を使って独立に設定できるため、非常に正確な抵抗一致を実現することができます。

広い帯域幅と小さい全高調波歪み(THD)により、AC 信号に対する最適性能が得られるため、これらのデバイスはフィルタ・デザインに適しています。

抵抗アレイ両端でのワイパー抵抗は 40 Ω と小さいため、ピン間接続が可能です。

ワイパー値は SPI/I²C 互換デジタル・インターフェースを使って設定することができます。このインターフェースは、ワイパー・レジスタ値と EEPROM 値のリードバックにも使用されます。

AD5124/AD5144/AD5144A は、小型の 24 ピン、4 mm × 4 mm LFCSP パッケージまたは 20 ピン TSSOP を採用しています。こ

機能ブロック図

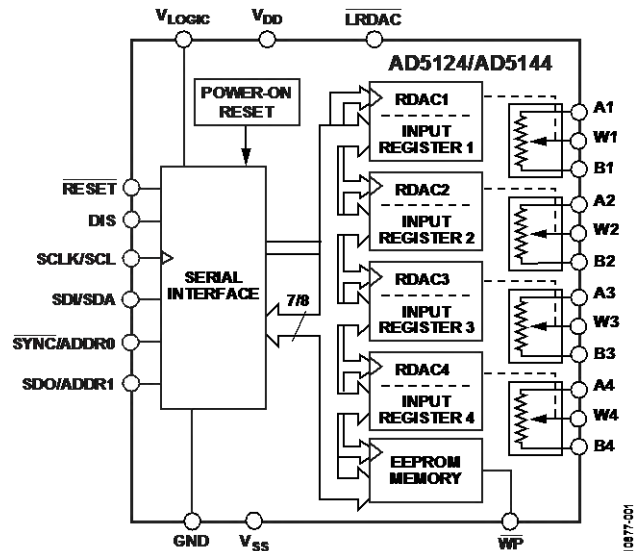


図 1. AD5124/AD5144 24 ピン LFCSP

これらのデバイスの動作は、工業用拡張温度範囲-40°C~+125°C で保証しています。

表 1. ファミリー内のモデル

Model	Channel	Position	Interface	Package
AD5123 ¹	Quad	128	I ² C	LFCSP
AD5124	Quad	128	SPI/I ² C	LFCSP
AD5124	Quad	128	SPI	TSSOP
AD5143 ¹	Quad	256	I ² C	LFCSP
AD5144	Quad	256	SPI/I ² C	LFCSP
AD5144	Quad	256	SPI	TSSOP
AD5144A	Quad	256	I ² C	TSSOP
AD5122A	Dual	128	SPI	LFCSP/TSSOP
AD5122A	Dual	128	I ² C	LFCSP/TSSOP
AD5142	Dual	256	SPI	LFCSP/TSSOP
AD5142A	Dual	256	I ² C	LFCSP/TSSOP
AD5121	Single	128	SPI/I ² C	LFCSP
AD5141	Single	256	SPI/I ² C	LFCSP

¹ ポテンショメータ 2 個および可変抵抗器 2 個。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	RDAC レジスタと EEPROM	23
アプリケーション	1	入力シフトレジスタ	23
機能ブロック図	1	シリアル・データ・デジタル・インターフェース選択、DIS	23
概要	1	SPI シリアル・データ・インターフェース	23
改訂履歴	2	I ² C シリアル・データ・インターフェース	25
機能ブロック図—TSSOP	3	I ² C アドレス	25
仕様	4	高度な制御モード	27
電気的特性—AD5124	4	EEPROM または RDAC レジスタの保護	28
電気的特性—AD5144 および AD5144A	7	ロード RDAC 入力レジスタ(LRDAC)	28
インターフェース・タイミング仕様	10	RDAC アーキテクチャ	31
シフトレジスタとタイミング図	11	可変抵抗の設定	31
絶対最大定格	13	ポテンショメータ分圧器の設定	32
熱抵抗	13	ピン電圧の動作範囲	32
ESD の注意	13	パワーアップ・シーケンス	32
ピン配置およびピン機能説明	14	レイアウトと電源のバイパス	32
代表的な性能特性	17	外形寸法	33
テスト回路	22	オーダー・ガイド	34
動作原理	23		

改訂履歴

12/12—Rev. 0 to Rev. A

Changes to Table 12 and Table 13 25

10/12—Revision 0: Initial Version

機能ブロック図—TSSOP

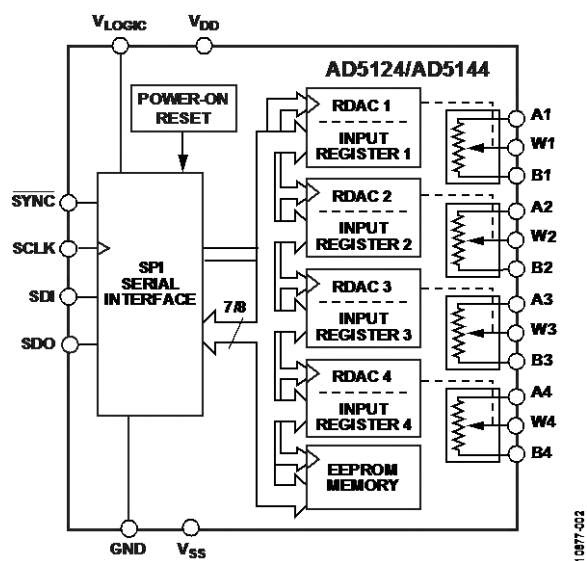


図 2.AD5124/AD5144 20 ピン TSSOP

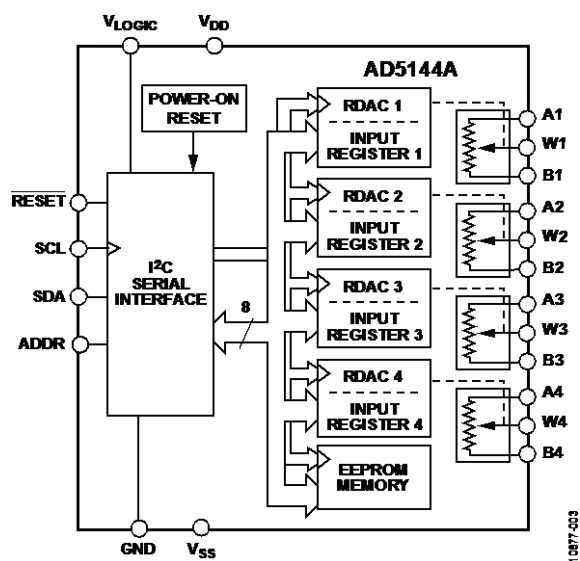


図 3.AD5144A 20 ピン TSSOP

仕様

電気的特性 — AD5124

特に指定がない限り、 $V_{DD} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.25\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.25\text{ V} \sim -2.75\text{ V}$ ； $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE (ALL RDACs)						
Resolution	N		7			Bits
Resistor Integral Nonlinearity ²	R-INL	R _{AB} = 10 kΩ				
		V _{DD} ≥ 2.7 V	−1	±0.1	+1	LSB
		V _{DD} < 2.7 V	−2.5	±1	+2.5	LSB
		R _{AB} = 100 kΩ				
		V _{DD} ≥ 2.7 V	−0.5	±0.1	+0.5	LSB
		V _{DD} < 2.7 V	−1	±0.25	+1	LSB
Resistor Differential Nonlinearity ²	R-DNL		−0.5	±0.1	+0.5	LSB
Nominal Resistor Tolerance	ΔR _{AB} /R _{AB}		−8	±1	+8	%
Resistance Temperature Coefficient ³	(ΔR _{AB} /R _{AB})/ΔT × 10 ⁶	Code = full scale		35		ppm/°C
Wiper Resistance ³	R _W	Code = zero scale				
		R _{AB} = 10 kΩ		55	125	Ω
		R _{AB} = 100 kΩ		130	400	Ω
Bottom Scale or Top Scale	R _{BS} or R _{TS}	R _{AB} = 10 kΩ		40	80	Ω
		R _{AB} = 100 kΩ		60	230	Ω
Nominal Resistance Match	R _{AB1} /R _{AB2}	Code = 0xFF	−1	±0.2	+1	%
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (ALL RDACs)						
Integral Nonlinearity ⁴	INL	R _{AB} = 10 kΩ	−0.5	±0.1	+0.5	LSB
		R _{AB} = 100 kΩ	−0.25	±0.1	+0.25	LSB
Differential Nonlinearity ⁴	DNL		−0.25	±0.1	+0.25	LSB
Full-Scale Error	V _{WFSE}					
		R _{AB} = 10 kΩ	−1.5	−0.1		LSB
		R _{AB} = 100 kΩ	−0.5	±0.1	+0.5	LSB
Zero-Scale Error	V _{WZSE}					
		R _{AB} = 10 kΩ		1	1.5	LSB
		R _{AB} = 100 kΩ		0.25	0.5	LSB
Voltage Divider Temperature Coefficient ³	(ΔV _W /V _W)/ΔT × 10 ⁶	Code = half scale		±5		ppm/°C

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
RESISTOR TERMINALS						
Maximum Continuous Current	I_A , I_B , and I_W	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
Terminal Voltage Range ⁵			V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ³	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		25 12		pF pF
Capacitance W ³	C_W	$f = 1\text{ MHz}$, measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		12 5		pF pF
Common-Mode Leakage Current ³		$V_A = V_W = V_B$	-500	± 15	+500	nA
DIGITAL INPUTS						
Input Logic ³						
High	V_{INH}	$V_{LOGIC} = 1.8\text{ V to }2.3\text{ V}$ $V_{LOGIC} = 2.3\text{ V to }5.5\text{ V}$	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
Low	V_{INL}				$0.2 \times V_{LOGIC}$	V
Input Hysteresis ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
Input Current ³	I_{IN}				± 1	μA
Input Capacitance ³	C_{IN}			5		pF
DIGITAL OUTPUTS						
Output High Voltage ³	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}		V_{LOGIC}		V
Output Low Voltage ³	V_{OL}	$I_{SINK} = 3\text{ mA}$ $I_{SINK} = 6\text{ mA}$, $V_{LOGIC} > 2.3\text{ V}$			0.4 0.6	V V
Three-State Leakage Current			-1		+1	μA
Three-State Output Capacitance				2		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = \text{GND}$	2.3		5.5	V
Dual-Supply Power Range			± 2.25		± 2.75	V
Logic Supply Range		Single supply, $V_{SS} = \text{GND}$ Dual supply, $V_{SS} < \text{GND}$	1.8 2.25		V_{DD} V_{DD}	V V
Positive Supply Current	I_{DD}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$ $V_{DD} = 5.5\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.7 400	5.5	μA nA
Negative Supply Current	I_{SS}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$	-5.5	-0.7		μA
EEPROM Store Current ^{3,6}	$I_{DD_EEPROM_STORE}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		2		mA
EEPROM Read Current ^{3,7}	$I_{DD_EEPROM_READ}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		320		μA
Logic Supply Current	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		1	120	nA
Power Dissipation ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		3.5		μW
Power Supply Rejection Ratio	PSRR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$, code = full scale		-66	-60	dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ⁹						
Bandwidth	BW	−3 dB R _{AB} = 10 kΩ		3		MHz
		R _{AB} = 100 kΩ		0.43		MHz
Total Harmonic Distortion	THD	V _{DD} /V _{SS} = ±2.5 V, V _A = 1 V rms, V _B = 0 V, f = 1 kHz R _{AB} = 10 kΩ		−80		dB
		R _{AB} = 100 kΩ		−90		dB
Resistor Noise Density	e _{N_WB}	Code = half scale, T _A = 25°C, f = 10 kHz R _{AB} = 10 kΩ		7		nV/√Hz
		R _{AB} = 100 kΩ		20		nV/√Hz
V _W Settling Time	t _s	V _A = 5 V, V _B = 0 V, from zero scale to full scale, ±0.5 LSB error band R _{AB} = 10 kΩ		2		μs
		R _{AB} = 100 kΩ		12		μs
Crosstalk (C _{W1} /C _{W2})	C _T	R _{AB} = 10 kΩ		10		nV-sec
		R _{AB} = 100 kΩ		25		nV-sec
Analog Crosstalk	C _{TA}			−90		dB
Endurance ¹⁰		T _A = 25°C		1		Mcycles
			100			kcycles
Data Retention ¹¹				50		Years

¹ Typ 値は、25°C および V_{DD} = 5 V、V_{SS} = 0 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗積分非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。最大ワイパー電流は(0.7 × V_{DD})/R_{AB}に制限されます。

³ 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

⁴ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、V_{WB} で測定。V_A = V_{DD}かつ V_B = 0 V。最大±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁵ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁶ 動作電流とは異なり、EEPROM 書込みの電源電流は約 30 ms 継続します。

⁷ 動作電流とは異なり、EEPROM 読出しの電源電流は約 20 μs 継続します。

⁸ P_{DISS} は(I_{DD} × V_{DD}) + (I_{LOGIC} × V_{LOGIC})で計算されます。

⁹ すべての動特性では、V_{DD}/V_{SS} = ±2.5 V かつ V_{LOGIC} = 2.5 V を使用。

¹⁰ 書込み可能回数は、JEDEC Std.22 メソッド A117 に基づき 100,000 回で評価し、−40°C〜+125°C で測定。

¹¹ JEDEC Std. 22、メソッド A117 に基づくジャンクション温度(T_J) = 125°C と等価。活性エネルギー1eV に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。

電気的特性 — AD5144 および AD5144A

特に指定がない限り、 $V_{DD} = 2.3\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.25\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.25\text{ V} \sim -2.75\text{ V}$ ； $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE (ALL RDACs)						
Resolution	N		8			Bits
Resistor Integral Nonlinearity ²	R-INL	$R_{AB} = 10\text{ k}\Omega$				
		$V_{DD} \geq 2.7\text{ V}$	−2	±0.2	+2	LSB
		$V_{DD} < 2.7\text{ V}$	−5	±1.5	+5	LSB
		$R_{AB} = 100\text{ k}\Omega$				
		$V_{DD} \geq 2.7\text{ V}$	−1	±0.1	+1	LSB
		$V_{DD} < 2.7\text{ V}$	−2	±0.5	+2	LSB
Resistor Differential Nonlinearity ²	R-DNL		−0.5	±0.2	+0.5	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$		−8	±1	+8	%
Resistance Temperature Coefficient ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full scale		35		ppm/°C
Wiper Resistance ³	R_W	Code = zero scale				
		$R_{AB} = 10\text{ k}\Omega$		55	125	Ω
		$R_{AB} = 100\text{ k}\Omega$		130	400	Ω
Bottom Scale or Top Scale	R_{BS} or R_{TS}					
		$R_{AB} = 10\text{ k}\Omega$		40	80	Ω
		$R_{AB} = 100\text{ k}\Omega$		60	230	Ω
Nominal Resistance Match	R_{AB1}/R_{AB2}	Code = 0xFF	−1	±0.2	+1	%
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (ALL RDACs)						
Integral Nonlinearity ⁴	INL					
		$R_{AB} = 10\text{ k}\Omega$	−1	±0.2	+1	LSB
		$R_{AB} = 100\text{ k}\Omega$	−0.5	±0.1	+0.5	LSB
			−0.5	±0.2	+0.5	LSB
Differential Nonlinearity ⁴	DNL		−0.5	±0.2	+0.5	LSB
Full-Scale Error	V_{WFSE}					
		$R_{AB} = 10\text{ k}\Omega$	−2.5	−0.1		LSB
		$R_{AB} = 100\text{ k}\Omega$	−1	±0.2	+1	LSB
Zero-Scale Error	V_{WZSE}					
		$R_{AB} = 10\text{ k}\Omega$		1.2	3	LSB
		$R_{AB} = 100\text{ k}\Omega$		0.5	1	LSB
Voltage Divider Temperature Coefficient ³	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale		±5		ppm/°C

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
RESISTOR TERMINALS						
Maximum Continuous Current	I_A , I_B , and I_W	$R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$	-6 -1.5		+6 +1.5	mA mA
Terminal Voltage Range ⁵			V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ³	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		25 12		pF pF
Capacitance W ³	C_W	$f = 1\text{ MHz}$, measured to GND, code = half scale $R_{AB} = 10\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		12 5		pF pF
Common-Mode Leakage Current ³		$V_A = V_W = V_B$	-500	± 15	+500	nA
DIGITAL INPUTS						
Input Logic ³						
High	V_{INH}	$V_{LOGIC} = 1.8\text{ V to } 2.3\text{ V}$ $V_{LOGIC} = 2.3\text{ V to } 5.5\text{ V}$	$0.8 \times V_{LOGIC}$ $0.7 \times V_{LOGIC}$			V V
Low	V_{INL}				$0.2 \times V_{LOGIC}$	V
Input Hysteresis ³	V_{HYST}		$0.1 \times V_{LOGIC}$			V
Input Current ³	I_{IN}				± 1	μA
Input Capacitance ³	C_{IN}			5		pF
DIGITAL OUTPUTS						
Output High Voltage ³	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}		V_{LOGIC}		V
Output Low Voltage ³	V_{OL}	$I_{SINK} = 3\text{ mA}$ $I_{SINK} = 6\text{ mA}$, $V_{LOGIC} > 2.3\text{ V}$			0.4 0.6	V V
Three-State Leakage Current			-1		+1	μA
Three-State Output Capacitance				2		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = \text{GND}$	2.3		5.5	V
Dual-Supply Power Range			± 2.25		± 2.75	V
Logic Supply Range		Single supply, $V_{SS} = \text{GND}$ Dual supply, $V_{SS} < \text{GND}$	1.8 2.25		V_{DD} V_{DD}	V V
Positive Supply Current	I_{DD}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$ $V_{DD} = 5.5\text{ V}$ $V_{DD} = 2.3\text{ V}$		0.7 400	5.5	μA nA
Negative Supply Current	I_{SS}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$	-5.5	-0.7		μA
EEPROM Store Current ^{3,6}	$I_{DD_EEPROM_STORE}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		2		mA
EEPROM Read Current ^{3,7}	$I_{DD_EEPROM_READ}$	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		320		μA
Logic Supply Current	I_{LOGIC}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		1	120	nA
Power Dissipation ⁸	P_{DISS}	$V_{IH} = V_{LOGIC}$ or $V_{IL} = \text{GND}$		3.5		μW
Power Supply Rejection Ratio	PSRR	$\Delta V_{DD}/\Delta V_{SS} = V_{DD} \pm 10\%$, code = full scale		-66	-60	dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ⁹						
Bandwidth	BW	−3 dB R _{AB} = 10 kΩ		3		MHz
		R _{AB} = 100 kΩ		0.43		MHz
Total Harmonic Distortion	THD	V _{DD} /V _{SS} = ±2.5 V, V _A = 1 V rms, V _B = 0 V, f = 1 kHz				
		R _{AB} = 10 kΩ		−80		dB
		R _{AB} = 100 kΩ		−90		dB
Resistor Noise Density	e _{N_WB}	Code = half scale, T _A = 25°C, f = 10 kHz				
		R _{AB} = 10 kΩ		7		nV/√Hz
		R _{AB} = 100 kΩ		20		nV/√Hz
V _W Settling Time	t _s	V _A = 5 V, V _B = 0 V, from zero scale to full scale, ±0.5 LSB error band				
		R _{AB} = 10 kΩ		2		μs
		R _{AB} = 100 kΩ		12		μs
Crosstalk (C _{W1} /C _{W2})	C _T	R _{AB} = 10 kΩ		10		nV-sec
		R _{AB} = 100 kΩ		25		nV-sec
Analog Crosstalk	C _{TA}			−90		dB
Endurance ¹⁰		T _A = 25°C		1		Mcycles
			100			kcycles
Data Retention ¹¹				50		Years

¹ Typ 値は、25°C および V_{DD} = 5 V、V_{SS} = 0 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗積分非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。最大ワイパー電流は(0.7 × V_{DD})/R_{AB}に制限されます。

³ 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

⁴ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、V_{WB} で測定。V_A = V_{DD}かつ V_B = 0 V。最大±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁵ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁶ 動作電流とは異なり、EEPROM 書込みの電源電流は約 30 ms 継続します。

⁷ 動作電流とは異なり、EEPROM 読出しの電源電流は約 20 μs 継続します。

⁸ P_{DISS} は(I_{DD} × V_{DD}) + (I_{LOGIC} × V_{LOGIC})で計算されます。

⁹ すべての動特性では、V_{DD}/V_{SS} = ±2.5 V かつ V_{LOGIC} = 2.5 V を使用。

¹⁰ 書込み可能回数は、JEDEC Std.22 メソッド A117 に基づき 100,000 回で評価し、−40°C〜+125°C で測定。

¹¹ JEDEC Std. 22、メソッド A117 に基づくジャンクション温度(T_J) = 125°C と等価。活性エネルギー1eV に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。

インターフェース・タイミング仕様

特に指定のない限り、 $V_{\text{LOGIC}} = 1.8\text{ V} \sim 5.5\text{ V}$ 。すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定。

表 4.SPI インターフェース

Parameter ¹	Test Conditions/Comments	Min	Typ	Max	Unit	Description
t_1	$V_{\text{LOGIC}} > 1.8\text{ V}$	20			ns	SCLK cycle time
	$V_{\text{LOGIC}} = 1.8\text{ V}$	30			ns	
t_2	$V_{\text{LOGIC}} > 1.8\text{ V}$	10			ns	SCLK high time
	$V_{\text{LOGIC}} = 1.8\text{ V}$	15			ns	
t_3	$V_{\text{LOGIC}} > 1.8\text{ V}$	10			ns	SCLK low time
	$V_{\text{LOGIC}} = 1.8\text{ V}$	15			ns	
t_4		10			ns	$\overline{\text{SYNC}}$ -to-SCLK falling edge setup time
t_5		5			ns	Data setup time
t_6		5			ns	Data hold time
t_7		10			ns	$\overline{\text{SYNC}}$ rising edge to next SCLK fall ignored
t_8^2		20			ns	Minimum $\overline{\text{SYNC}}$ high time
t_9^3			50		ns	SCLK rising edge to SDO valid
t_{10}				500	ns	$\overline{\text{SYNC}}$ rising edge to SDO pin disable

¹ すべての入力信号は $t_r = t_f = 1\text{ ns}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{\text{IL}} + V_{\text{IH}})/2$ の電圧レベルからの時間とします。

² メモリ・コマンド動作については、 $t_{\text{EEPROM_PROGRAM}}$ と $t_{\text{EEPROM_READBACK}}$ を参照してください(表 6 参照)。

³ $R_{\text{PULL_UP}} = 2.2\text{ k}\Omega$ (V_{DD} へ接続)、容量負荷 = 168 pF。

表 5.I²C インターフェース

Parameter ¹	Test Conditions/Comments	Min	Typ	Max	Unit	Description
f_{SCL}^2	Standard mode			100	kHz	Serial clock frequency
	Fast mode			400	kHz	
t_1	Standard mode	4.0			μs	SCL high time, t_{HIGH}
	Fast mode	0.6			μs	
t_2	Standard mode	4.7			μs	SCL low time, t_{LOW}
	Fast mode	1.3			μs	
t_3	Standard mode	250			ns	Data setup time, $t_{\text{SU; DAT}}$
	Fast mode	100			ns	
t_4	Standard mode	0	3.45		μs	Data hold time, $t_{\text{HD; DAT}}$
	Fast mode	0	0.9		μs	
t_5	Standard mode	4.7			μs	Setup time for a repeated start condition, $t_{\text{SU; STA}}$
	Fast mode	0.6			μs	
t_6	Standard mode	4			μs	Hold time (repeated) for a start condition, $t_{\text{HD; STA}}$
	Fast mode	0.6			μs	
t_7	Standard mode	4.7			μs	Bus free time between a stop and a start condition, t_{BUF}
	Fast mode	1.3			μs	
t_8	Standard mode	4			μs	Setup time for a stop condition, $t_{\text{SU; STO}}$
	Fast mode	0.6			μs	
t_9	Standard mode			1000	ns	Rise time of SDA signal, t_{RDA}
	Fast mode	$20 + 0.1 C_L$		300	ns	
t_{10}	Standard mode			300	ns	Fall time of SDA signal, t_{FDA}
	Fast mode	$20 + 0.1 C_L$		300	ns	
t_{11}	Standard mode			1000	ns	Rise time of SCL signal, t_{RCL}
	Fast mode	$20 + 0.1 C_L$		300	ns	
t_{11A}	Standard mode			1000	ns	Rise time of SCL signal after a repeated start condition and after an acknowledge bit, t_{RCL1} (not shown in Figure 5)
	Fast mode	$20 + 0.1 C_L$		300	ns	
t_{12}	Standard mode			300	ns	Fall time of SCL signal, t_{FCL}
	Fast mode	$20 + 0.1 C_L$		300	ns	
t_{SP}^3	Fast mode	0		50	ns	Pulse width of suppressed spike

¹ 最大バス容量は 400 pF に制限されています。

² SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

³ SCL と SDA の入力フィルタリングにより、高速モードでノイズ・スパイクを 50 ns 以下に抑圧。

表 6. コントロール・ピン

Parameter	Min	Typ	Max	Unit	Description
t_1	1			μs	End command to $\overline{\text{LRDAC}}$ falling edge
t_2	50			ns	Minimum $\overline{\text{LRDAC}}$ low time
t_3	0.1		10	μs	$\overline{\text{RESET}}$ low time
$t_{\text{EEPROM_PROGRAM}}^1$		15	50	ms	Memory program time (not shown in Figure 8)
$t_{\text{EEPROM_READBACK}}$		7	30	μs	Memory readback time (not shown in Figure 8)
$t_{\text{POWER_UP}}^2$			75	μs	Start-up time (not shown in Figure 8)
t_{RESET}		30		μs	Reset EEPROM restore time (not shown in Figure 8)

¹ EEPROM 書込み時間は、温度と EEPROM 書込みサイクルに依存します。低温と長い書込みサイクルではタイミングが長くなると予測されます。

² $V_{\text{DD}} - V_{\text{SS}}$ が 2.3 V に等しくなった後の最大時間。

シフトレジスタとタイミング図

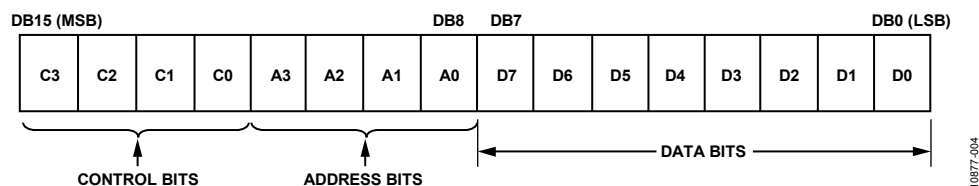


図 4. 入力シフトレジスタ値

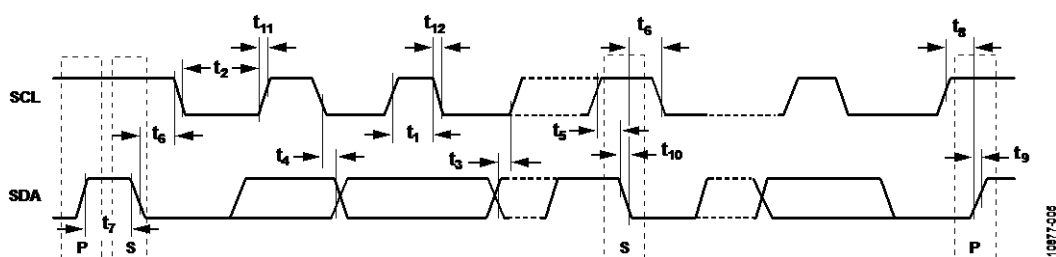


図 5. I²C シリアル・インターフェースのタイミング図 (代表的な書込みシーケンス)

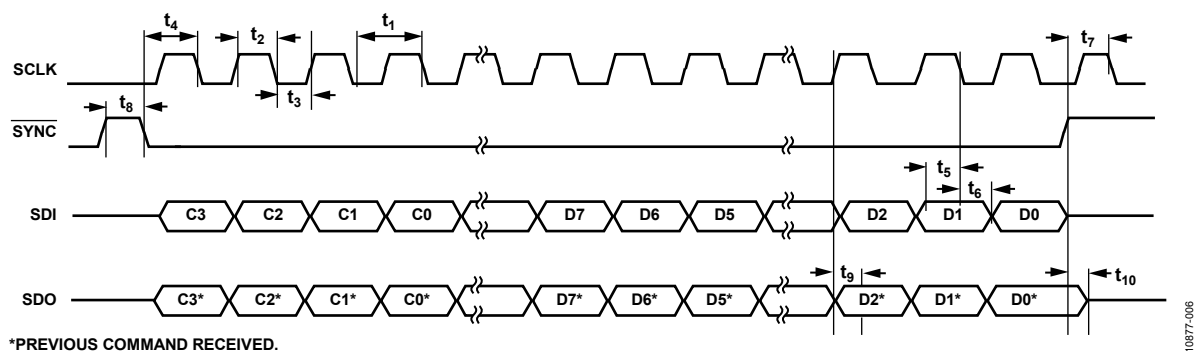


図 6.SPI シリアル・インターフェースのタイミング図、CPOL = 0、CPHA = 1

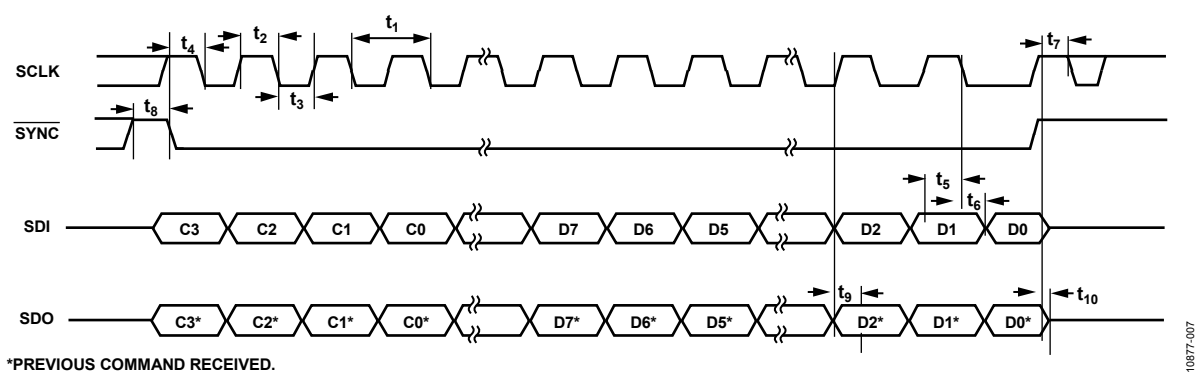


図 7.SPI シリアル・インターフェースのタイミング図、CPOL = 1、CPHA = 0

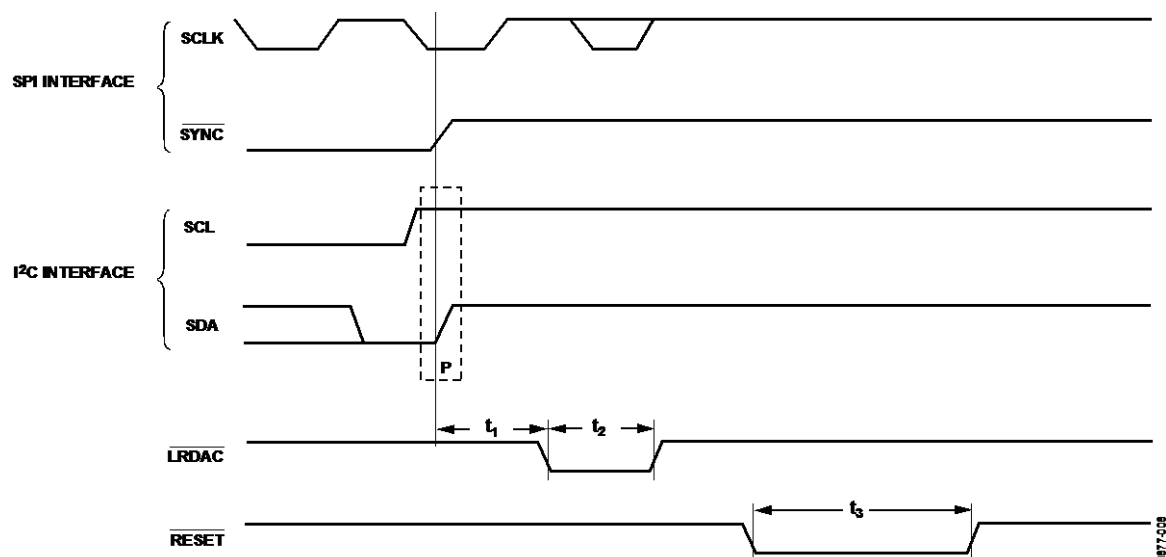


図 8.コントロール・ピンのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to GND	$-0.3\text{ V to }+7.0\text{ V}$
V_{SS} to GND	$+0.3\text{ V to }-7.0\text{ V}$
V_{DD} to V_{SS}	7 V
V_{LOGIC} to GND	$-0.3\text{ V to }V_{DD} + 0.3\text{ V or }+7.0\text{ V (whichever is less)}$
V_A, V_W, V_B to GND	$V_{SS} - 0.3\text{ V}, V_{DD} + 0.3\text{ V}$
I_A, I_W, I_B	
Pulsed ¹	
Frequency > 10 kHz	
$R_{AW} = 10\text{ k}\Omega$	$\pm 6\text{ mA/d}^2$
$R_{AW} = 100\text{ k}\Omega$	$\pm 1.5\text{ mA/d}^2$
Frequency $\leq 10\text{ kHz}$	
$R_{AW} = 10\text{ k}\Omega$	$\pm 6\text{ mA}/\sqrt{d^2}$
$R_{AW} = 100\text{ k}\Omega$	$\pm 1.5\text{ mA}/\sqrt{d^2}$
Digital Inputs	$-0.3\text{ V to }V_{LOGIC} + 0.3\text{ V or }+7\text{ V (whichever is less)}$
Operating Temperature Range, T_A ³	$-40^\circ\text{C to }+125^\circ\text{C}$
Maximum Junction Temperature, T_J Maximum	150°C
Storage Temperature Range	$-65^\circ\text{C to }+150^\circ\text{C}$
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
ESD ⁴	4 kV
FICDM	1.5 kV

¹ 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、A ピン、B ピン、W ピン内の任意の 2 ピン間の、設定された抵抗での最大入力電圧により制約されます。

² d = パルス・デューティ係数。

³ EEPROM メモリの書き込みを含みます。

⁴ 人体モデル (HBM)

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC JESD51 規格により定義され、値はテスト・ボードとテスト環境に依存します。

表 8.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
24-Lead LFCSP	35 ¹	3	$^\circ\text{C/W}$
20-Lead TSSOP	143 ¹	45	$^\circ\text{C/W}$

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

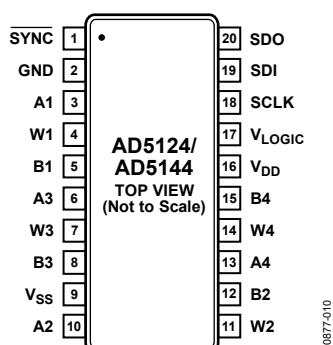
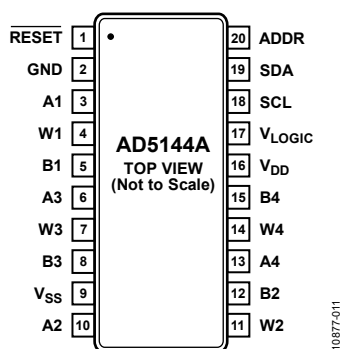


図 9.20 ピン TSSOP、SPI インターフェースのピン配置(AD5124/AD5144)

表 9.20 ピン TSSOP、SPI インターフェースのピン機能説明(AD5124/AD5144)

ピン番号	記号	説明
1	SYNC	同期データ入力、アクティブ・ロー。SYNCがハイ・レベルに戻るとき、データが入力シフトレジスタへロードされます。
2	GND	グラウンド・ピン、ロジック・グラウンド基準。
3	A1	RDAC1 のピン A _o 。 $V_{SS} \leq V_A \leq V_{DD}$ 。
4	W1	RDAC1 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
5	B1	RDAC1 のピン B _o 。 $V_{SS} \leq V_B \leq V_{DD}$ 。
6	A3	RDAC3 のピン A _o 。 $V_{SS} \leq V_A \leq V_{DD}$ 。
7	W3	RDAC3 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
8	B3	RDAC3 のピン B _o 。 $V_{SS} \leq V_B \leq V_{DD}$ 。
9	V _{SS}	負の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
10	A2	RDAC2 のピン A _o 。 $V_{SS} \leq V_A \leq V_{DD}$ 。
11	W2	RDAC2 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
12	B2	RDAC2 のピン B _o 。 $V_{SS} \leq V_B \leq V_{DD}$ 。
13	A4	RDAC4 のピン A _o 。 $V_{SS} \leq V_A \leq V_{DD}$ 。
14	W4	RDAC4 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
15	B4	RDAC4 のピン B _o 。 $V_{SS} \leq V_B \leq V_{DD}$ 。
16	V _{DD}	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
17	V _{LOGIC}	1.8 V ~ V _{DD} のロジック電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
18	SCLK	シリアル・クロック・ライン。データは、ロー・レベルへの変化で入力されます。
19	SDI	シリアル・データ入力。
20	SDO	シリアル・データ出力。これはオープン・ドレイン出力ピンであるため、外付けプルアップ抵抗が必要です。

図 10.20 ピン TSSOP、I²C インターフェースのピン配置(AD5144A)表 10.20 ピン TSSOP、I²C インターフェースのピン機能説明(AD5144A)

ピン番号	記号	説明
1	RESET	ハードウェア・リセット・ピン。EEPROM 値で RDAC レジスタをリフレッシュします。RESET データは、ロー・レベルでアクティブになります。RESET ピンを使用しない場合は、V _{LOGIC} へ接続してください。
2	GND	グラウンド・ピン、ロジック・グラウンド基準。
3	A1	RDAC1 のピン A。V _{SS} ≤ V _A ≤ V _{DD} 。
4	W1	RDAC1 のワイパー・ピン。V _{SS} ≤ V _W ≤ V _{DD} 。
5	B1	RDAC1 のピン B。V _{SS} ≤ V _B ≤ V _{DD} 。
6	A3	RDAC3 のピン A。V _{SS} ≤ V _A ≤ V _{DD} 。
7	W3	RDAC3 のワイパー・ピン。V _{SS} ≤ V _W ≤ V _{DD} 。
8	B3	RDAC3 のピン B。V _{SS} ≤ V _B ≤ V _{DD} 。
9	V _{SS}	負の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
10	A2	RDAC2 のピン A。V _{SS} ≤ V _A ≤ V _{DD} 。
11	W2	RDAC2 のワイパー・ピン。V _{SS} ≤ V _W ≤ V _{DD} 。
12	B2	RDAC2 のピン B。V _{SS} ≤ V _B ≤ V _{DD} 。
13	A4	RDAC4 のピン A。V _{SS} ≤ V _A ≤ V _{DD} 。
14	W4	RDAC4 のワイパー・ピン。V _{SS} ≤ V _W ≤ V _{DD} 。
15	B4	RDAC4 のピン B。V _{SS} ≤ V _B ≤ V _{DD} 。
16	V _{DD}	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
17	V _{LOGIC}	1.8 V ~ V _{DD} のロジック電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
18	SCL	シリアル・クロック・ライン。データは、ロー・レベルへの変化で入力されます。
19	SDA	シリアル・データ入力/出力。
20	ADDR	複数のパッケージをデコードするためのプログラマブルなアドレス。

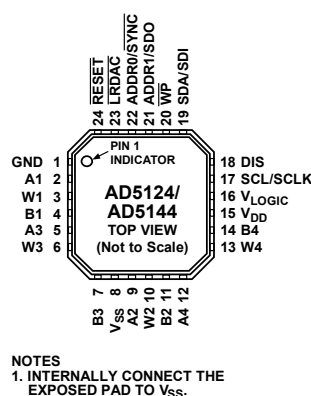


図 11.24 ピン LFCSP のピン配置(AD5124/AD5144)

表 11.24 ピン LFCSP のピン機能説明(AD5124/AD5144)

ピン番号	記号	説明
1	GND	グラウンド・ピン、ロジック・グラウンド基準。
2	A1	RDAC1 のピン A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
3	W1	RDAC1 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
4	B1	RDAC1 のピン B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
5	A3	RDAC3 のピン A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
6	W3	RDAC3 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
7	B3	RDAC3 のピン B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
8	VSS	負の電源。このピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
9	A2	RDAC2 のピン A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
10	W2	RDAC2 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
11	B2	RDAC2 のピン B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
12	A4	RDAC4 のピン A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
13	W4	RDAC4 のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
14	B4	RDAC4 のピン B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
15	VDD	正の電源。このピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
16	V _{LOGIC}	1.8 V ~ V _{DD} のロジック電源。このピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
17	SCL/SCLK	I ² C シリアル・クロック・ライン(SCL)。データは、ロー・レベルへの変化で入力されます。 SPI シリアル・クロック・ライン(SCLK)。データは、ロー・レベルへの変化で入力されます。
18	DIS	デジタル・インターフェースの選択(SPI/I ² C セレクト)。DIS = 0 (GND) のとき SPI を、DIS = 1 (V _{LOGIC}) のとき I ² C を、それぞれ選択します。このピンをフローティングのままにしておくことはできません。
19	SDA/SDI	DIS = 1 のとき、シリアル・データ入力/出力(SDA)。 DIS = 0 のとき、シリアル・データ入力(SDI)。
20	WP	オプションの書き込み保護。このピンは、現在の RDAC と EEPROM の値に対する変更を禁止します。ただし、EEPROM 値を RDAC レジスタへ再ロードするときは除きます。WP はロー・レベルでアクティブです。WP ピンを使用しない場合は、V _{LOGIC} へ接続してください。
21	ADDR1/SDO	DIS = 1 の場合、複数のパッケージをデコードするためのプログラマブルなアドレス(ADDR1)になります。 シリアル・データ出力(SDO)。オープン・ドレイン出力であるため、DIS = 0 の場合外付けプルアップ抵抗が必要です。
22	ADDR0/ SYNC	DIS = 1 の場合、複数のパッケージをデコードするためのプログラマブルなアドレス(ADDR0)になります。 DIS = 0 のとき、同期データ入力になります。このピンはアクティブ・ローです。SYNC がハイ・レベルに戻るとき、データが入力シフトレジスタへロードされます。
23	LRDAC	ロード RDAC。対応する入力レジスタがコマンド 2 を使って予めロードされている場合、入力レジスタ値を対応する RDAC レジスタへ転送します(表 20 参照)。このピンを使うと、全 RDAC レジスタの同時更新が可能になります。LRDAC はハイ・レベルからロー・レベルへの変化でアクティブになります。LRDAC ピンを使用しない場合は、V _{LOGIC} へ接続してください。
24	RESET	ハードウェア・リセット・ピン。EEPROM 値で RDAC レジスタをリフレッシュします。RESET データは、ロー・レベルでアクティブになります。RESET ピンを使用しない場合は、V _{LOGIC} へ接続してください。
	EPAD	エクスポーズド・パッドは内部で V _{SS} に接続されています。

代表的な性能特性

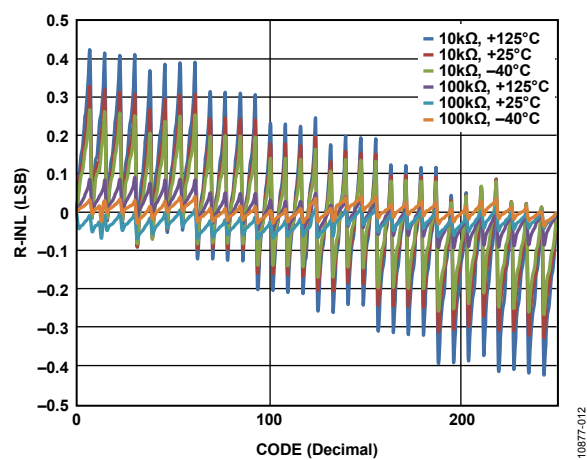


図 12.コード対 R-INL (AD5144/AD5144A)

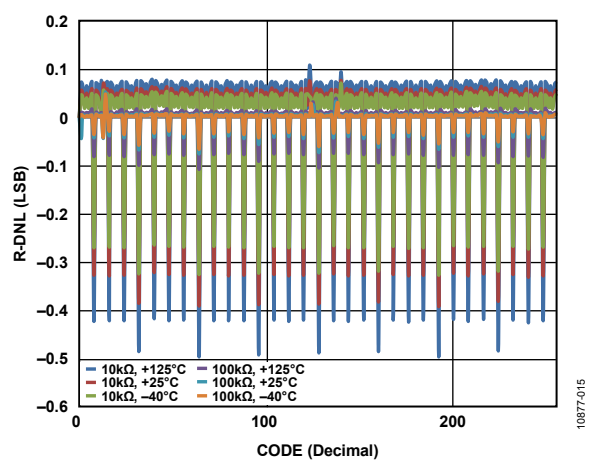


図 15.コード対 R-DNL (AD5144/AD5144A)

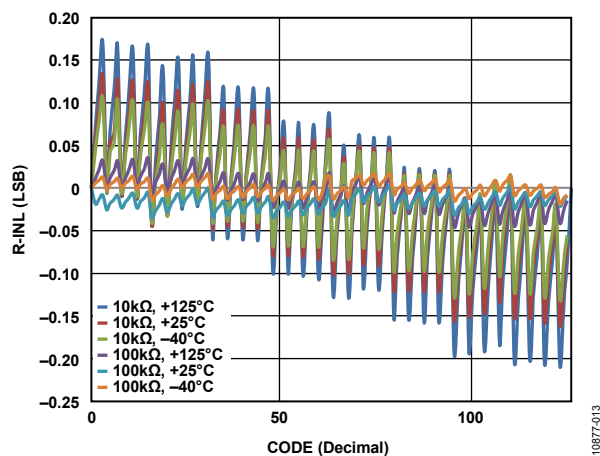


図 13.コード対 R-INL (AD5124)

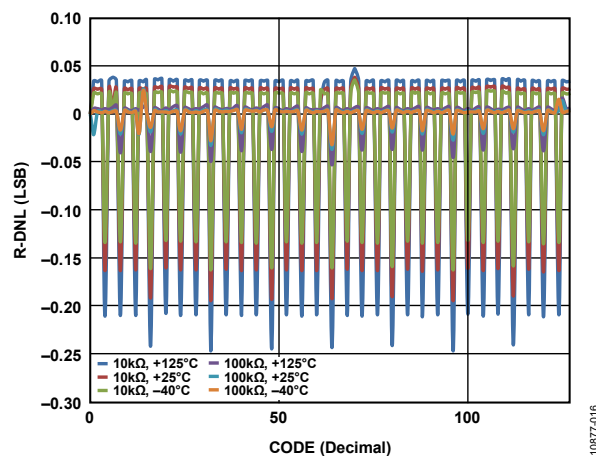


図 16.コード対 R-DNL (AD5124)

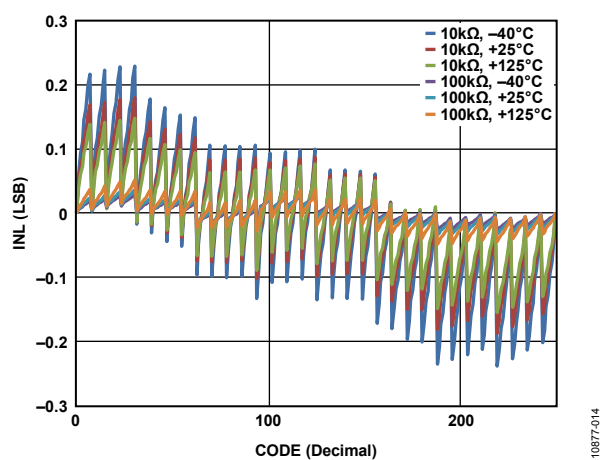


図 14.コード対 INL (AD5144/AD5144A)

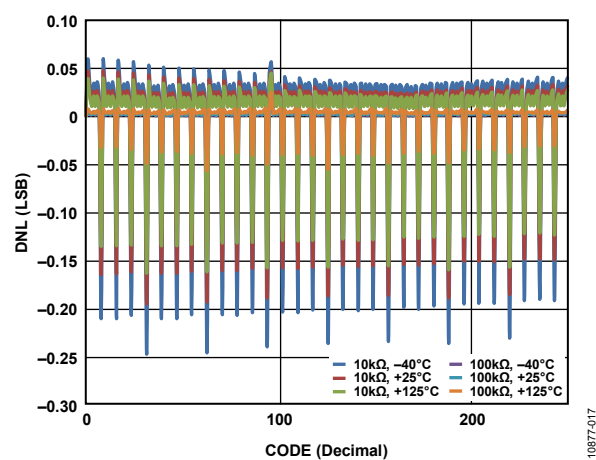


図 17.コード対 DNL (AD5144/AD5144A)

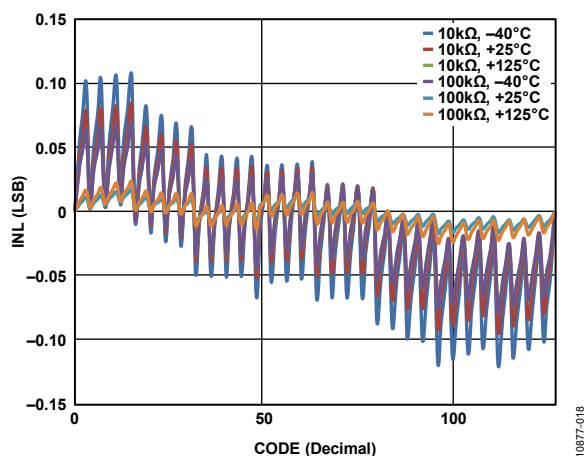


図 18.コード対 INL (AD5124)

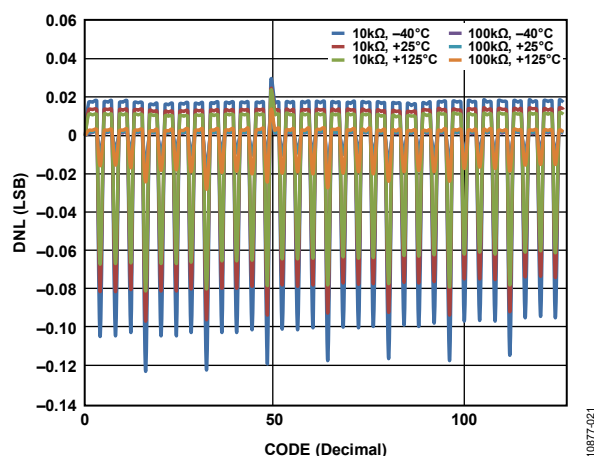


図 21.コード対 DNL (AD5124)

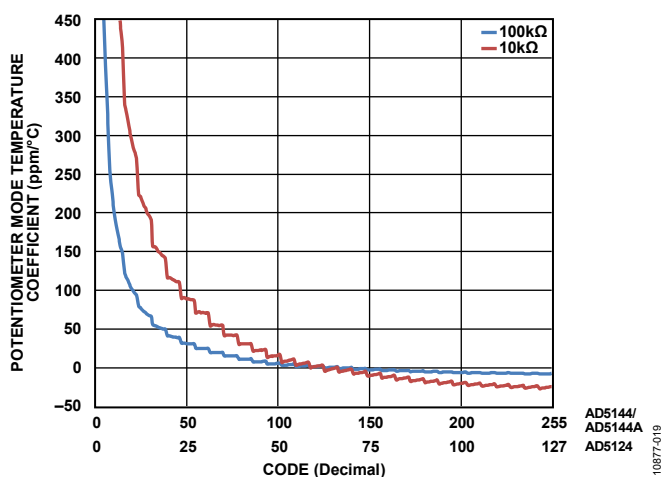


図 19.コード対ポテンショメータ・モード温度係数($(\Delta V_W/V_W)/\Delta T \times 10^6$)

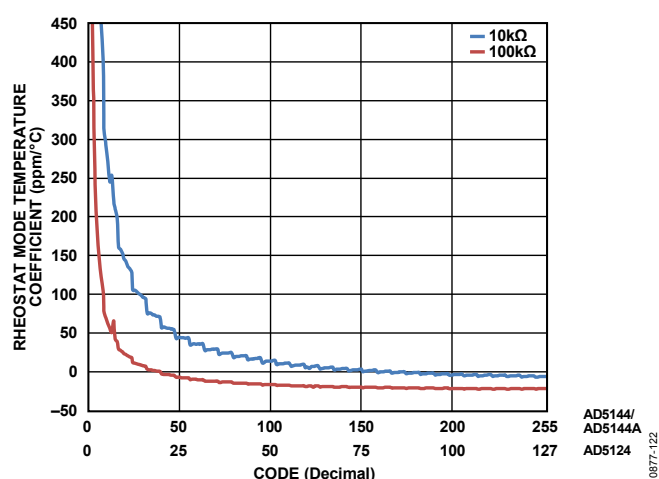


図 22.コード対可変抵抗モード温度係数($(\Delta R_{WB}/R_{WB})/\Delta T \times 10^6$)

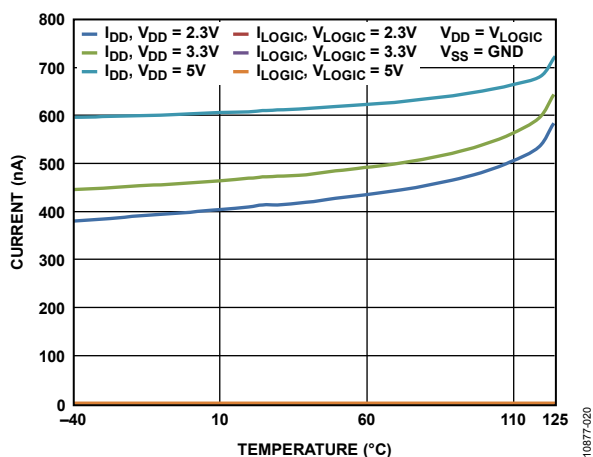


図 20.電源電流の温度特性

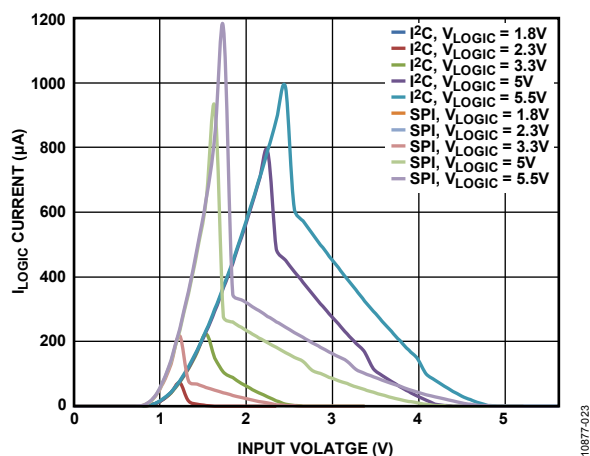


図 23.デジタル入力電圧対 I_{LOGIC} 電流

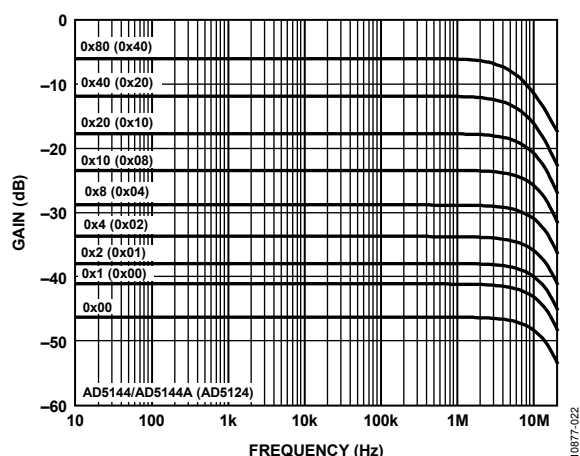


図 24.様々なコードでの 10 kΩ ゲインの周波数特性

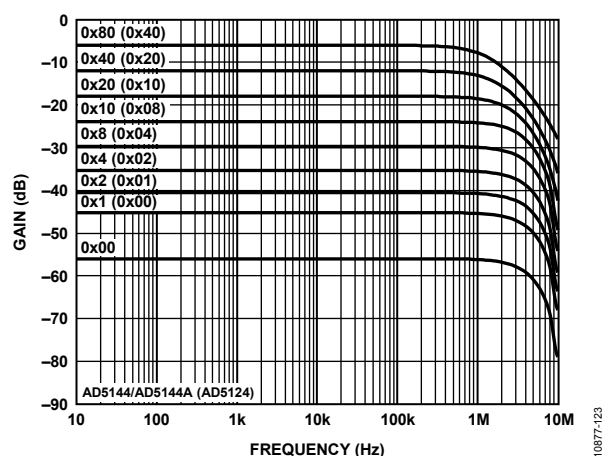


図 27.様々なコードでの 100 kΩ ゲイン周波数特性

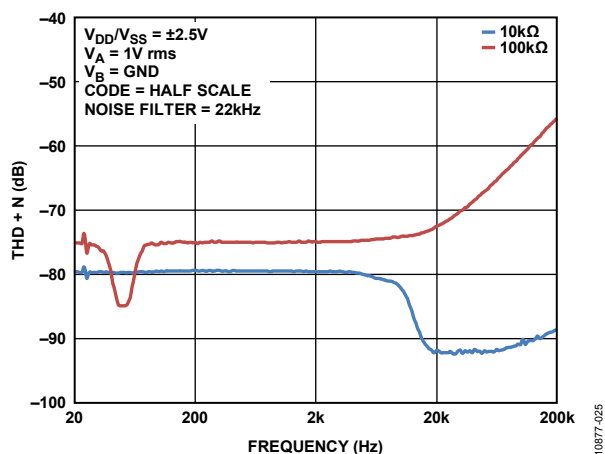


図 25.全高調波歪み + ノイズ(THD + N)の周波数特性

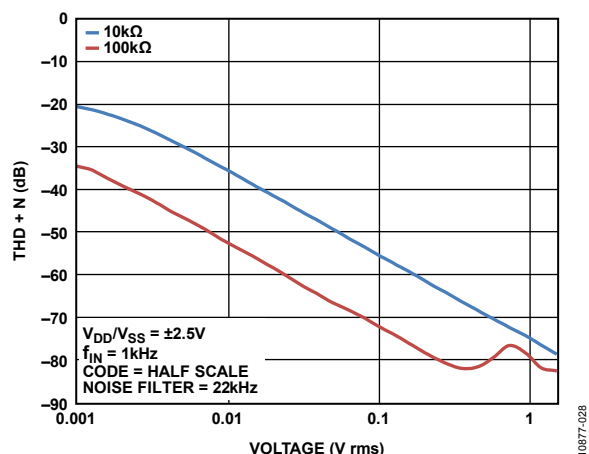


図 28.振幅対全高調波歪み+ノイズ(THD + N)

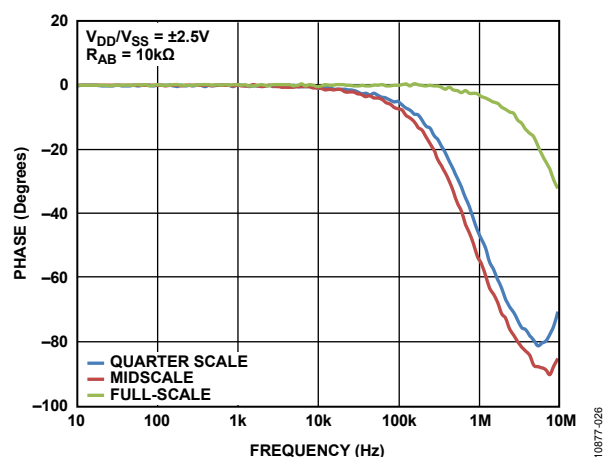


図 26.正規化位相平坦性の周波数特性、 $R_{AB} = 10 \text{ k}\Omega$

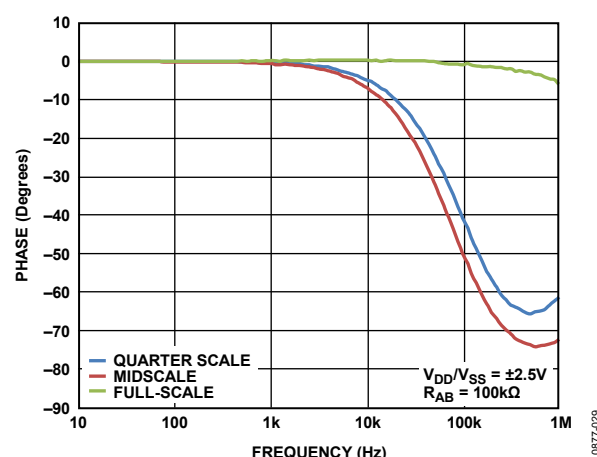


図 29.正規化位相平坦性の周波数特性、 $R_{AB} = 100 \text{ k}\Omega$

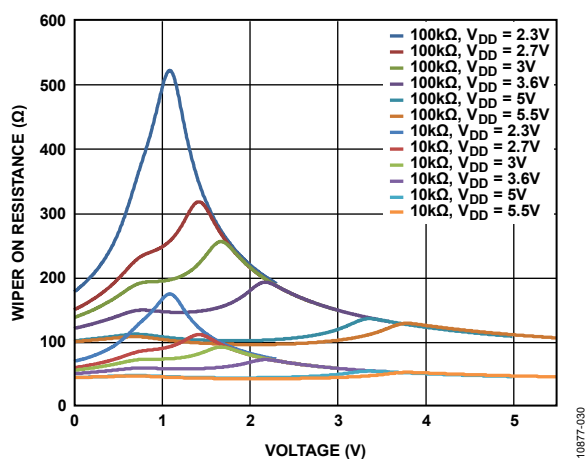


図 30. 正電源(V_{DD})対インクリメンタル・ワイパー・オン抵抗

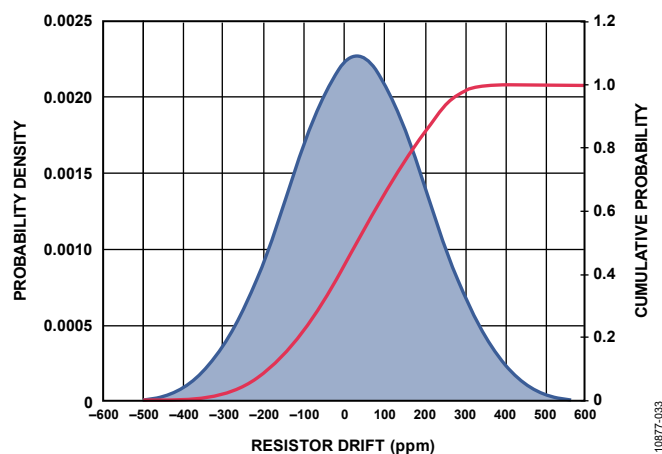


図 33. 抵抗寿命ドリフト

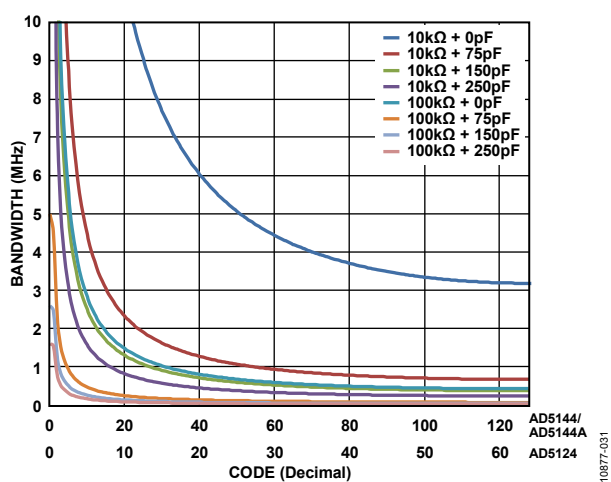


図 31. 様々な容量でのコード対最大帯域幅

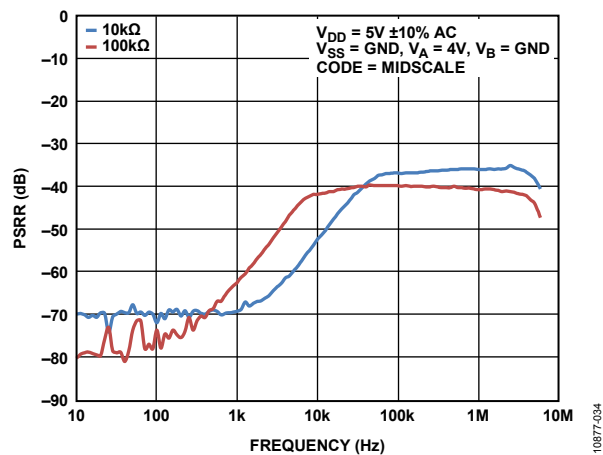


図 34. 電源除去比(PSRR)の周波数特性

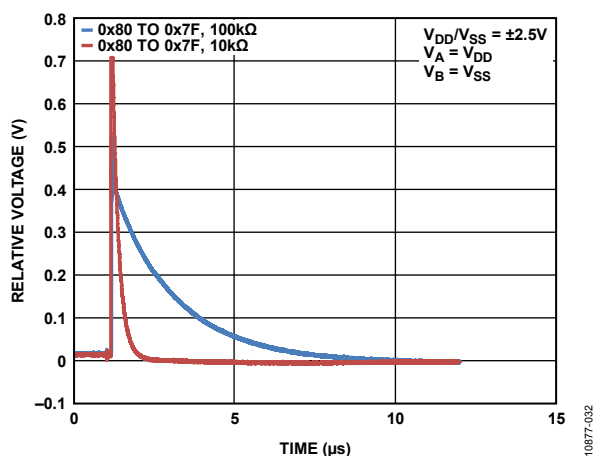


図 32. 変化時最大グリッチ

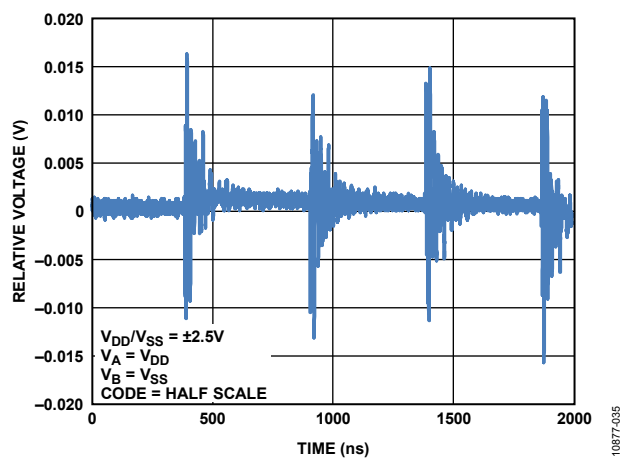


図 35. デジタル・フィードスルー

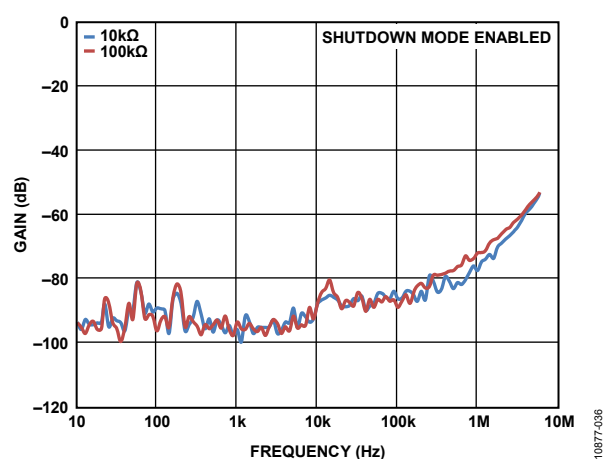


図 36.シャットダウン・アイソレーションの周波数特性

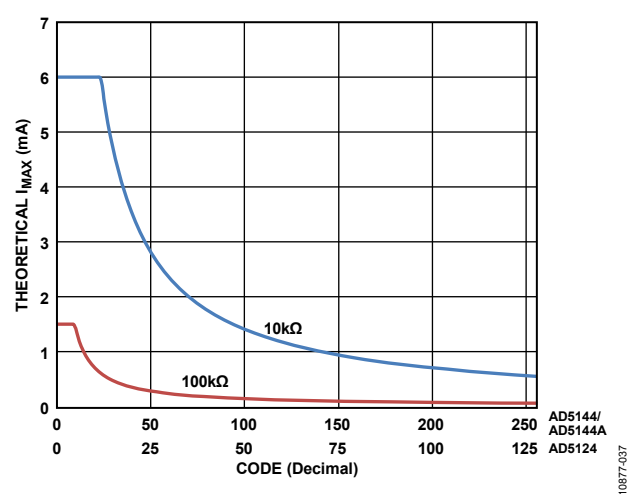


図 37.コード対理論最大電流

テスト回路

図 38 ～ 図 42 に、仕様のセクションで使用したテスト条件を示します。

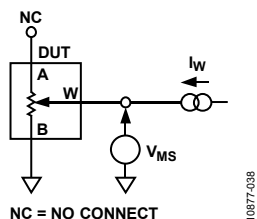


図 38.抵抗積分非直線性誤差(可変抵抗器動作、R-INL、R-DNL)

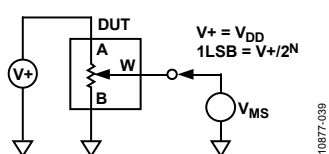


図 39.ポテンショメータ分圧器の非直線性誤差(INL、DNL)

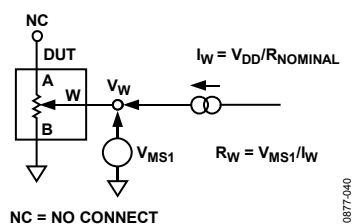


図 40.ワイパー抵抗

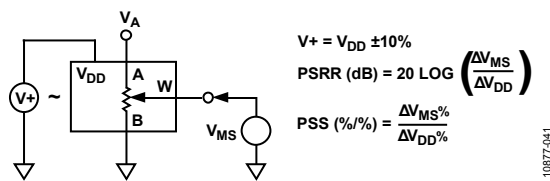


図 41.電源感度と電源除去比 (PSS および PSRR)

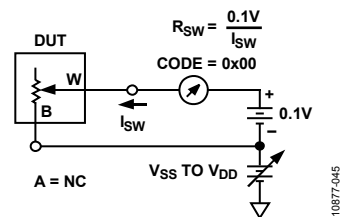


図 42.オン抵抗増分

動作原理

プログラマブルなデジタル・ポテンショメータ AD5124/AD5144/AD5144A は、 $V_{SS} < V_{TERM} < V_{DD}$ のピン電圧範囲内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。抵抗のワイパー・ポジションは、RDAC レジスタの値により決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。セカンダリ・レジスタ(入力レジスタ)を使って RDAC レジスタ・データを予めロードしておくことができます。

RDAC レジスタには、 I^2C または SPI インターフェース (モデルに依存します) を介して任意のポジション設定値を書込むことができます。目的のワイパー・ポジションが見つかった後に、この値を EEPROM メモリに保存することができます。それ以後、ワイパー・ポジションは、後続パワーアップで常にそのポジションに回復されます。EEPROM データの保存には約 15 ms 要し、この間デバイスがロックされて、新しいコマンドをアクノリッジしないため、値の変更が防止されます。

RDAC レジスタと EEPROM

RDAC レジスタは、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。例えば、RDAC レジスタに 0x80 (AD5144/AD5144A で 256 タップ) をロードすると、ワイパーは可変抵抗器の 1/2 スケールに接続されます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。

デジタル・インターフェースを使って RDAC レジスタの書き込みと読出しを行うことができます(表 14 参照)。

RDAC レジスタ値は、コマンド 9 を使って EEPROM へ保存することができます(表 14 参照)。このため、以後の電源のオン→オフ→オンのシーケンスでは RDAC レジスタは常にその位置に設定されます。コマンド 3 を使うと、EEPROM に保存されているデータをリードバックすることができます(表 14 参照)。

あるいは、コマンド 11 を使って EEPROM へ独立に書込を行うことができます(表 20 参照)。

入力シフトレジスタ

AD5124/AD5144/AD5144A のシフトレジスタは、図 4 に示すように 16 ビット幅です。各 16 ビット・ワードは、4 ビットのコントロール・ビットとそれに続く 4 ビットのアドレス・ビットと 8 ビットのデータビットにより構成されます。

AD5124 の RDAC または EEPROM レジスタに対する読み書きでは、最下位データビット(ビット 0)は無視されます。

データは MSB ファースト(ビット 15)でロードされます。4 ビットのコントロール・ビットにより、ソフトウェア・コマンドの機能が指定されます(表 14 と表 20 参照)。

シリアル・データ・デジタル・インターフェース選択、DIS

AD5124/AD5144 LFSCP では、インターフェースを選択できる柔軟性を提供しています。デジタル・インターフェース・セレクト(DIS)ピンをロー・レベルにすると、SPI モードが選択されます。DIS ピンをハイ・レベルにすると、 I^2C モードが選択されます。

SPI シリアル・データ・インターフェース

AD5124/AD5144 は 4 線式の SPI 互換デジタル・インターフェース(SDI、SYNC、SDO、SCLK)を内蔵しています。SYNC ラインをロー・レベルにすると、書き込みシーケンスが開始されます。データ・ワード全体が SDI ピンから入力されるまで、SYNC ピンをロー・レベルに維持する必要があります。データは SCLK の立下がりエッジ変化でロードされます(図 6 参照)。SYNC がハイ・レベルに戻ると、シリアル・データ・ワードが表 20 の命令に従ってデコードされます。

デバイスのイネーブル時には、デジタル入力バッファの消費電力を小さくするため、すべてのシリアル・インターフェース・ピンを V_{LOGIC} 電源レール近くで動作させてください。

SYNC 割込み

AD5124/AD5144 に対するスタンダアロン書き込みシーケンスでは、16 個の SCLK 立下がりエッジ間 SYNC ラインをロー・レベルに維持した後、SYNC がハイ・レベルになったときに、命令がデコードされます。ただし、SYNC ラインをロー・レベルに維持する SCLK 立下がりエッジ数が 16 個未満の場合、入力シフトレジスタ値は無視され、書き込みシーケンスは無効とみなされます。

SDO ピン

シリアル・データ出力ピン(SDO)には 2 つの機能があります。1 つ目は、コマンド 3 を使ってコントロール、EEPROM、RDAC、入力の各レジスタをリードバック(表 14 と表 20 参照)です。2 つ目は AD5124/AD5144 をディジーチェーン・モードで接続することです。

SDO ピンはオープン・ドレイン出力ピンであるため、外付けプルアップ抵抗が必要です。SYNC をロー・レベルにすると SDO ピンがイネーブルされて、データが SCLK の立上がりエッジで SDO へ出力されます(図 6 と図 7 参照)。

デージーチェーン接続

デージーチェーン接続は、最小のポート・ピン数で IC の制御を可能にします。図 43 に示すように、前のパッケージの SDO ピンを次のパッケージの SDI ピンに接続する必要があります。後続デバイス間のラインの伝搬遅延のためにクロック周期を延すことが必要になることがあります。2 個の AD5124/ AD5144 デバイスをデージーチェーン接続すると、32 ビットのデータが必要です。先頭の 16 ビットが U2 に、次の 16 ビットが U1 に行きます(図 44 参照)。32 ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、SYNC ピンをロー・レベルに維持

しておく必要があります。SYNC をハイ・レベルにすると、動作が完了します。

データのスロッキング(たとえばノイズにより発生)を防止するため、このデバイスはカウンタを内蔵しています。SCLK 立下がりのカウントが 8 の倍数でない場合、コマンドは無視されます。有効なクロック・カウントは 16、24、32、40 などです。SYNC がハイ・レベルに戻ると、カウンタはリセットされます。

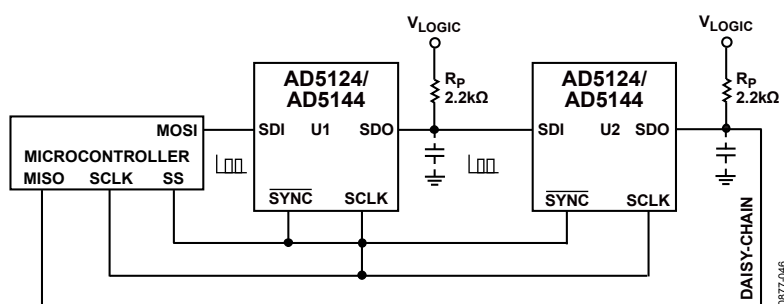


図 43.デージーチェーン構成

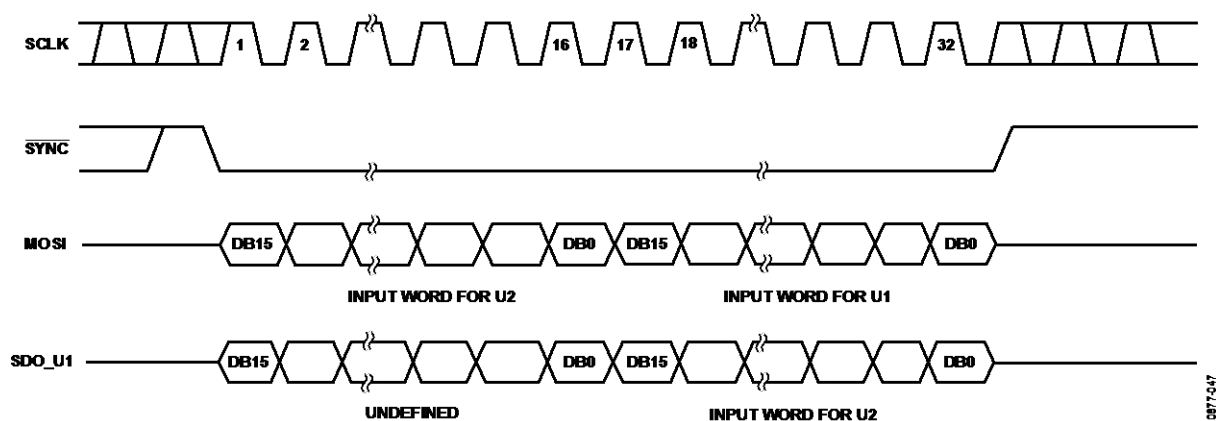


図 44.デージーチェーンのタイミング図

I²C シリアル・データ・インターフェース

AD5144/AD5144A は、I²C 互換の 2 線式シリアル・インターフェースをサポートしています。これらのデバイスは、マスター・デバイスから制御されるスレーブ・デバイスとして I²C バスに接続することができます。図 5 に、代表的な書込みシーケンスのタイミング図を示します。

AD5144/AD5144A は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

2 線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスと R/W ビットから構成されています。送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。
R/W ビットがハイ・レベルの場合は、マスターがスレーブ・デバイスから読出しを行います。R/W ビットがロー・レベルの場合は、マスターがスレーブ・デバイスに対して書込みを行います。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスが再度ハイ・レベルになるときストップ条件を設定します。

I²C アドレス

各 AD5144/AD5144A では 2 つのデバイス・アドレス・オプションを使用することができます(表 12 と表 13 参照)。

表 12.20 ピン TSSOP デバイスのアドレス選択

ADDR	7-Bit I ² C Device Address
V _{LOGIC}	0101000
No connect ¹	0101010
GND	0101011

¹ バイポーラ・モード(V_{SS} < 0 V)または低電圧モード(V_{LOGIC} = 1.8 V)では使用できません。

表 13.24 ピン LFCSP デバイスのアドレス選択

ADDR0 Pin	ADDR1 Pin	7-Bit I ² C Device Address
V _{LOGIC}	V _{LOGIC}	0100000
No connect ¹	V _{LOGIC}	0100010
GND	V _{LOGIC}	0100011
V _{LOGIC}	No connect ¹	0101000
No connect ¹	No connect ¹	0101010
GND	No connect ¹	0101011
V _{LOGIC}	GND	0101100
No connect ¹	GND	0101110
GND	GND	0101111

¹ バイポーラ・モード(V_{SS} < 0 V)または低電圧モード(V_{LOGIC} = 1.8 V)では使用できません。

表 14. 縮小コマンド動作の真理値表

Command Number	Control Bits[DB15: DB12]				Address Bits[DB11: DB8] ¹				Data Bits[DB7: DB0] ¹								Operation		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: do nothing.		
1	0	0	0	1	0	0	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to RDAC		
2	0	0	1	0	0	0	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to input register		
3	0	0	1	1	X	0	A1	A0	X	X	X	X	X	X	D1	D0	Read back contents		
																	D1	D0	Data
																	0	1	EEPROM
																	1	1	RDAC
9	0	1	1	1	0	0	A1	A0	X	X	X	X	X	X	X	1	Copy RDAC register to EEPROM		
10	0	1	1	1	0	0	A1	A0	X	X	X	X	X	X	X	0	Copy EEPROM into RDAC		
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	Software reset		
15	1	1	0	0	A3	0	A1	A0	X	X	X	X	X	X	X	D0	Software shutdown		
																	D0	Condition	
																	0	Normal mode	
																	1	Shutdown mode	

¹ X = don't care

表 15. 縮小アドレス・ビットの表

A3	A2	A1	A0	Channel	Stored Channel Memory
1	0	X ¹	X ¹	All channels	Not applicable
0	0	0	0	RDAC1	RDAC1
0	0	0	1	RDAC2	RDAC2
0	0	1	0	RDAC3	RDAC3
0	0	1	1	RDAC4	RDAC4

¹ X = don't care

高度な制御モード

AD5124/AD5144/AD5144A デジタル・ポテンショメータは、これらの汎用的な調整デバイスで使用可能な広範囲なアプリケーションに対応できるユーザー・プログラミング機能のセットを内蔵しています(表 20 と表 22 参照)。

主要なプログラミング機能としては次の内容が含まれます。

- 入力レジスタ
- リニア・ゲイン設定モード
- 低ワイパー抵抗機能
- リニア・インクリメント命令とリニア・デクリメント命令
- ± 6 dB のインクリメント命令とデクリメント命令
- バースト・モード(I^2C の場合)
- リセット
- シャットダウン・モード

入力レジスタ

AD5124/AD5144/AD5144A は、RDAC レジスタあたり入力レジスタを 1 個内蔵しています。これらのレジスタを使うと、対応する RDAC レジスタ値を予めロードしておくことができます。これらのレジスタはコマンド 2 を使って書込を、コマンド 3 を使ってリードバックを、それぞれ行うことができます(表 20 参照)。

この機能を使うと、すべての RDAC レジスタを同時に同期更新および非同期更新することができます。

入力レジスタから RDAC レジスタへの転送は、 $\overline{LRDAC}$ ピンを使って非同期的に、コマンド 8 を使って同期的に、それぞれ行うことができます(表 20 参照)。

新しいデータが RDAC レジスタにロードされると、この RDAC レジスタは対応する入力レジスタを自動的に上書きします。

リニア・ゲイン設定モード

AD5124/AD5144/AD5144A の特許取得済みアーキテクチャの採用により、各ストリング抵抗 R_{AW} と R_{WB} の独立な制御が可能です。この機能をイネーブルするときは、コマンド 16 を使って(表 20 参照)コントロール・レジスタのビット D2 をセットします(表 22 参照)。

この動作モードでは、1 点(W ピン)で接続された 2 つの独立した可変抵抗器としてポテンショメータを制御することができます。

この機能では、チャンネルあたり 2 つ目の入力と RDAC レジスタが可能になりますが(表 21 参照)、実際の RDAC 値は不変に維持されます。ポテンショメータ・モードとリニア・ゲイン設定モードで同じ動作が有効です。EEPROM コマンドでは R_{WB} 抵抗のみが影響を受けます。リセットまたはパワーアップ後に、デバイスはポテンショメータ・モードに戻ります。

低ワイパー抵抗機能

AD5124/AD5144/AD5144A には、デバイスがフルスケールまたはゼロスケールになるときピン間ワイパー抵抗を小さくするための 2 つのコマンドがあります。これらの追加ポジションは、ボトム・スケール BS およびトップ・スケール TS と呼ばれます。トップ・スケールでのピン A とピン W の間の抵抗は R_{TS} で規定されます。同様に、ピン B とピン W との間のボトム・スケール抵抗は R_{BS} で規定されます。

RDAC レジスタ値は、これらのポジションの入力により変化しません。トップ・スケールとボトム・スケールから抜け出す方法は 3 通りあります。1 つ目はコマンド 12 またはコマンド 13 (表 20 参照)を使う方法で、2 つ目は新しいデータを RDAC レジスタへロードする方法(インクリメント/デクリメント動作を含む)で、3 つ目はシャットダウン・モードのコマンド 15 使う方法です(表 20 参照)。

表 16 と表 17 に、ポテンショメータ・モードまたはリニア・ゲイン設定モードをイネーブルしたときの、それぞれトップ・スケール・ポジションとボトム・スケール・ポジションの真理値表を示します。

表 16. トップ・スケールの真理値表

Linear Gain Setting Mode		Potentiometer Mode	
R_{AW}	R_{WB}	R_{AW}	R_{WB}
R_{AB}	R_{AB}	R_{TS}	R_{AB}

表 17. ボトム・スケールの真理値表

Linear Gain Setting Mode		Potentiometer Mode	
R_{AW}	R_{WB}	R_{AW}	R_{WB}
R_{TS}	R_{BS}	R_{AB}	R_{BS}

インクリメント命令とリニア・デクリメント命令

インクリメント・コマンドとデクリメント・コマンド(表 20 のコマンド 4 とコマンド 5)は、リニア・ステップ調整アプリケーションに便利です。これらのコマンドは、デバイスに対してインクリメントまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングが簡単になります。調整は個々のポテンショメータごとに、または全ワイパー・ポジションを同時に変更するポテンショメータ・グループで行うことができます。

インクリメント・コマンドの場合、コマンド 4 を実行すると、ワイパーが自動的に次の RDAC ポジションに移動します。このコマンドは、1 つのチャンネルまたは複数のチャンネルで実行することができます。

±6 dB のインクリメント命令とデクリメント命令

2種類のこの書込み命令を使うと、ワイパー・ポジション制御の対数傾きインクリメントと対数傾きデクリメントを、個別ポテンショメータごとに行うか、または複数のポテンショメータを含むグループごとに行いグループ内の全RDACポジションを同時に変更することができます。+6 dBインクリメントはコマンド6により、-6 dBデクリメントはコマンド7により、それぞれ実行されます(表20参照)。例えば、ゼロスケール・ポジションから開始してコマンド6を10回実行すると、ワイパーは6 dBステップでフルスケール・ポジションへ移動します。ワイパー・ポジションが最大設定値に近づくと、最後の6 dBインクリメント命令でワイパーがフルスケール・ポジションに移動します(表18参照)。ワイパー・ポジションを+6 dBだけインクリメントすると、RDACレジスタ値が2倍にされます。-6 dBだけデクリメントすると、レジスタ値が1/2倍されます。内部的には、AD5124/AD5144/AD5144Aはシフトレジスタを使って、ビットを左と右にシフトして±6 dBのインクリメントまたはデクリメントを実現します。これらの機能は、様々なオーディオ/ビデオ・レベルの調節や、特に小さな調節より大きな調節に敏感な人の視覚応答での白色LED輝度の設定に便利です。

表 18.±6dB ステップ・インクリメントとデクリメントの詳細な左および右シフト機能

Left Shift (+6 dB/Step)	Right Shift (−6 dB/Step)
0000 0000	1111 1111
0000 0001	0111 1111
0000 0010	0011 1111
0000 0100	0001 1111
0000 1000	0000 1111
0001 0000	0000 0111
0010 0000	0000 0011
0100 0000	0000 0001
1000 0000	0000 0000
1111 1111	0000 0000

バースト・モード(I^2C の場合)

バースト・モードをイネーブルすると、複数のデータバイトを連続してデバイスへ送信することができます。コマンド・バイトの後、デバイスは次の連続バイトをコマンドに続くデータバイトとして解釈します。

新しいコマンドは、繰り返シスタートを発生することにより、またはストップおよびスタート条件を発生することにより、送信することができます。

コントロール・レジスタのビット D3 をセットすると、バースト・モードがアクティブになります(表 22 参照)。

リセット

AD5124/AD5144/AD5144A は、コマンド 14 を実行してソフトウェアから(表 20 参照)、またはRESETピンにロー・パルスを入力してハードウェアからリセットすることができます。リセット・コマンドは、EEPROM メモリ値を RDAC レジスタへロードします。これには約 30 μ s を要します。EEPROM には出荷時にミッドスケールがロードされているため、初期パワーアップはミッドスケールで行われます。使用しない場合は、RESETをV_{DD}に接続してください。

シャットダウン・モード

ソフトウェア・シャットダウン・コマンドのコマンド 15 (表 20 参照)を実行して、LSB (D0)に 1 を設定することにより、AD5124/AD5144/AD5144A をシャットダウンさせることができます。この機能により RDAC はゼロ消費電力状態になり、デバイスはポテンショメータ・モードで動作し、ピン A は開放に、ワイパー・ピン W はピン B に接続されたままになりますが、40 Ω の小さなワイパー抵抗が生じます。デバイスがリニア・ゲイン設定モードに設定されると、アドレス指定された抵抗 R_{AW} または R_{WB} は内部で高インピーダンスになります。表 19 に、デバイス動作モードに依存する真理値表を示します。RDAC レジスタ値は、シャットダウン・モードになっても変化しません。ただし、シャットダウン・モードでは表 20 に示すすべてのコマンドがサポートされています。コマンド 15 (表 20 参照)を実行して LSB (D0)に 0 を設定すると、シャットダウン・モードから抜け出します。

表 19.シャットダウン・モードの真理値表

Linear Gain Setting Mode		Potentiometer Mode	
R _{AW}	R _{WB}	R _{AW}	R _{WB}
High impedance	High impedance	High impedance	R _{BS}

EEPROM または RDAC レジスタの保護

EEPROM と RDAC レジスタは、これらのレジスタに対する更新をディセーブルすることにより保護することができます。これは、ソフトウェアまたはハードウェアを使って実行することができます。これらのレジスタをソフトウェアから保護するときは、ビット D0 および/またはビット D1 をセットします(表 22 参照)。これにより RDAC レジスタと EEPROM レジスタが独立に保護されます。

レジスタをハードウェアから保護するときは、 $\overline{WP}$ ピンをロー・レベルにします(LFCSP パッケージの場合のみ可能)。デバイスのコマンド実行中に $\overline{WP}$ ピンをロー・レベルにすると、コマンドが完了するまで保護がイネーブルされません(LFCSP パッケージの場合に可能)。

RDAC が保護されると、唯一可能な動作は、EEPROM の RDAC レジスタへのコピーだけになります。

ロード RDAC 入力レジスタ(LRDAC)

LRDACソフトウェアまたはハードウェアは、入力レジスタから RDAC レジスタにデータを転送します(したがってワイパー・ポジションが更新されます)。デフォルトで、入力レジスタは RDAC レジスタと同じ値を持っているため、コマンド 2 を使って更新された入力レジスタだけが更新されます。

ソフトウェアLRDAC (コマンド 8)を使うと、1 個の RDAC レジスタまたはすべてのチャンネルを 1 回で更新することができます(表 20 参照)。これは同期更新です。

ハードウェアLRDACは完全な非同期であるため、すべての入力レジスタ値に対応する RDAC レジスタへコピーします。コマンドの実行中は、LRDACピンの変化をデバイスは無視して、データの破壊を防止します。

表 20. 高度なコマンド動作の真理値表

Command Number	Control Bits[DB15: DB12]				Address Bits[DB11: DB8] ¹				Data Bits[DB7: DB0] ¹								Operation		
	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0			
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP: do nothing		
1	0	0	0	1	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to RDAC		
2	0	0	1	0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to input register		
3	0	0	1	1	X	A2	A1	A0	X	X	X	X	X	X	D1	D0	Read back contents		
																	D1	D0	Data
																	0	0	Input register
																	0	1	EEPROM
																	1	0	Control register
1	1	RDAC																	
4	0	1	0	0	A3	A2	A1	A0	X	X	X	X	X	X	X	1	Linear RDAC increment		
5	0	1	0	0	A3	A2	A1	A0	X	X	X	X	X	X	X	0	Linear RDAC decrement		
6	0	1	0	1	A3	A2	A1	A0	X	X	X	X	X	X	X	1	+6 dB RDAC increment		
7	0	1	0	1	A3	A2	A1	A0	X	X	X	X	X	X	X	0	−6 dB RDAC decrement		
8	0	1	1	0	A3	A2	A1	A0	X	X	X	X	X	X	X	X	Copy input register to RDAC (software LRDAC)		
9	0	1	1	1	0	0	A1	A0	X	X	X	X	X	X	X	1	Copy RDAC register to EEPROM		
10	0	1	1	1	0	0	A1	A0	X	X	X	X	X	X	X	0	Copy EEPROM into RDAC		
11	1	0	0	0	0	0	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to EEPROM		
12	1	0	0	1	A3	A2	A1	A0	1	X	X	X	X	X	X	X	D0	Top scale	
																		D0 = 0; normal mode	
13	1	0	0	1	A3	A2	A1	A0	0	X	X	X	X	X	X	X	D0	D0 = 1; shutdown mode	
																		D0 = 1; enter	
																		D0 = 0; exit	
14	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	Software reset		
15	1	1	0	0	A3	A2	A1	A0	X	X	X	X	X	X	X	X	D0	Software shutdown	
																		D0 = 0; normal mode	
16	1	1	0	1	X	X	X	X	X	X	X	D3	D2	D1	D0		D0 = 1; device placed in shutdown mode		
																	Copy serial register data to control register		

¹ X = don't care

表 21. アドレス・ビット

A3	A2	A1	A0	Potentiometer Mode		Linear Gain Setting Mode		Stored RDAC Memory
				Input Register	RDAC Register	Input Register	RDAC Register	
1	X ¹	X ¹	X ¹	All channels	All channels	All channels	All channels	Not applicable
0	0	0	0	RDAC1	RDAC1	R _{WB1}	R _{WB1}	RDAC1
0	1	0	0	Not applicable	Not applicable	R _{AW1}	R _{AW1}	Not applicable
0	0	0	1	RDAC2	RDAC2	R _{WB2}	R _{WB2}	RDAC2
0	1	0	1	Not applicable	Not applicable	R _{AW2}	R _{AW2}	Not applicable
0	0	1	0	RDAC3	RDAC3	R _{WB3}	R _{WB3}	RDAC3
0	1	1	0	Not applicable	Not applicable	R _{AW3}	R _{AW3}	Not applicable
0	0	1	1	RDAC4	RDAC4	R _{WB4}	R _{WB4}	RDAC4
0	1	1	1	Not applicable	Not applicable	R _{AW4}	R _{AW4}	Not applicable

¹ X = don't care

表 22. コントロール・レジスタ・ビットの説明

Bit Name	Description
D0	RDAC register write protect 0 = wiper position frozen to value in EEPROM memory 1 = allows update of wiper position through digital interface (default)
D1	EEPROM program enable 0 = EEPROM program disabled 1 = enables device for EEPROM program (default)
D2	Linear setting mode/potentiometer mode 0 = potentiometer mode (default) 1 = linear gain setting mode
D3	Burst mode (I ² C only) 0 = disabled (default) 1 = enabled (no disable after stop or repeat start condition)

RDAC アーキテクチャ

最適性能を実現するため、アナログ・デバイセズはすべてのデジタル・ポテンショメータに対して特許取得済みの RDAC セグメント化アーキテクチャを持っています。特に、AD5124/AD5144 では 3 ステージ・セグメント化を採用しています(図 45 参照)。AD5124/AD5144/AD5144A のワイパー・スイッチは、送信ゲート CMOS 回路および V_{DD} と V_{SS} からのゲート電圧発生を採用してデザインされています。

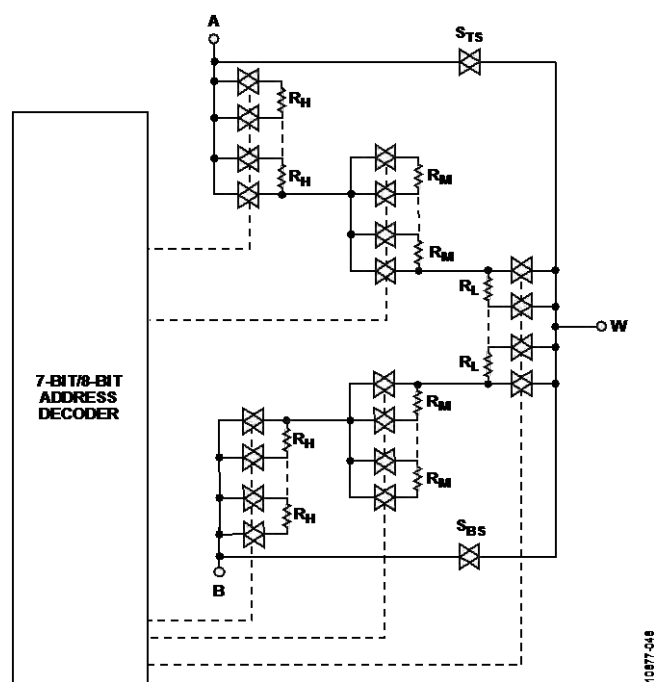


図 45. AD5124/AD5144/AD5144A の簡略化した RDAC 回路

トップ・スケール/ボトム・スケール・アーキテクチャ

さらに、AD5124/AD5144/AD5144A ではピン間抵抗を小さくする新しいポジションを追加しています。これらのポジションは、ボトム・スケールおよびトップ・スケールと呼ばれます。ボトム・スケールでのワイパー抵抗(typ 値)は $130\ \Omega$ から $60\ \Omega$ ($R_{AB} = 100\ \text{k}\Omega$)へ削減されています。トップ・スケールでのピン A—ピン W 間抵抗は 1 LSB 小さくなっており、合計抵抗は $60\ \Omega$ ($R_{AB} = 100\ \text{k}\Omega$)に削減されています。

可変抵抗の設定

可変抵抗器動作— $\pm 8\%$ 抵抗許容誤差

2 本のピンだけを可変抵抗として使用する場合、AD5124/AD5144/AD5144A は可変抵抗器モードで動作します。未使用ピンはフローティングのままにするか、またはピン W に接続することができます(図 46 参照)。

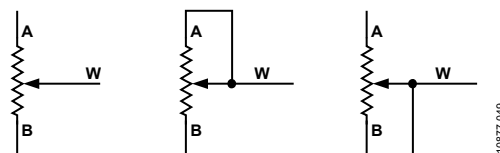


図 46. 可変抵抗器モードの構成

ピン A とピン B の間の公称抵抗値 R_{AB} は $10\ \text{k}\Omega$ または $100\ \text{k}\Omega$ であり、ワイパー・ピンから 128/256 タップ・ポイントをアクセスできます。RDAC ラッチ内の 7/8 ビット・データがデコードされて、128/256 通りのワイパー設定値を選択します。デジタル的にプログラムしたピン W とピン B の間の出力抵抗を決定する一般式は、次のようになります。

AD5124:

$$R_{WB}(D) = \frac{D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (1)$$

AD5144/AD5144A:

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (2)$$

ここで、

D は、7/8 ビット RDAC レジスタ内のバイナリ・コード・データの 10 進数表示。

R_{AB} はピン間抵抗。

R_W はワイパー抵抗。

機械的ポテンショメータと同様にポテンショメータ・モードでは、ピン W—ピン A 間抵抗もデジタル的に制御される相補抵抗 R_{WA} を発生します。 R_{WA} でも 8% の最大絶対抵抗誤差が発生します。 R_{WA} は最大抵抗値から開始し、ラッチにロードされるデータが大きくなるほど、減少します。この動作の一般式は次のようになります。

AD5124:

$$R_{AW}(D) = \frac{128-D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (3)$$

AD5144/AD5144A:

$$R_{AW}(D) = \frac{256-D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (4)$$

ここで、

D は、7/8 ビット RDAC レジスタ内のバイナリ・コード・データの 10 進数表示。

R_{AB} はピン間抵抗。

R_W はワイパー抵抗。

デバイスをリニア・ゲイン設定モードに設定すると、ピン W—ピン A 間抵抗は、対応する RDAC レジスタにロードされたコードに比例します。この動作の一般式は次のようになります。

AD5124:

$$R_{WB}(D) = \frac{D}{128} \times R_{AB} + R_W \quad 0x00 \sim 0x7F \quad (5)$$

AD5144/AD5144A:

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad 0x00 \sim 0xFF \quad (6)$$

ここで、
D は、7/8 ビット RDAC レジスタ内のバイナリ・コード・データの 10 進数表示。

R_{AB} はピン間抵抗。

R_W はワイパー抵抗。

ボトム・スケール状態またはトップ・スケール状態では、合計ワイパー抵抗は 40Ω になります。デバイスが動作している設定値に無関係に、ピン A—ピン B 間、ピン W—ピン A 間、ピン W—ピン B 間の電流を $\pm 6 \text{ mA}$ の最大連続電流に、または表 7 に規定するパルス電流に、制限するように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

ポテンショメータ分圧器の設定

電圧出力動作

デジタル・ポテンショメータは、ピン A—ピン B 間の入力電圧に比例した分圧電圧をワイパー・ピン—ピン B 間およびワイパー・ピン—ピン A 間に容易に発生することができます(図 47 参照)。

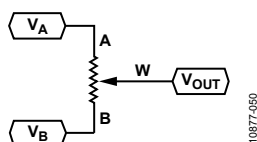


図 47.ポテンショメータ・モードの設定

ピン A を 5 V に、ピン B をグラウンドにそれぞれ接続すると、ワイパー・ピン W—ピン B 間出力電圧は $0 \text{ V} \sim 5 \text{ V}$ の範囲になります。ピン A とピン B に与えられた任意の入力電圧に対して、グラウンドを基準とした V_W の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} \times V_A + \frac{R_{AW}(D)}{R_{AB}} \times V_B \quad (7)$$

ここで、

$R_{WB}(D)$ は式 1 と式 2 から求めることができます。

$R_{AW}(D)$ は式 3 と式 4 から求めることができます。

分圧器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は内部抵抗(R_{AW} と R_{WB})の比に依存し、絶対値ではありません。したがって、温度ドリフトは $5 \text{ ppm}/^\circ\text{C}$ に減少します。

ピン電圧の動作範囲

AD5124/AD5144/AD5144A は、保護用 ESD ダイオードを内蔵してデザインされています。また、これらのダイオードによりピン動作電圧の電圧境界も設定されます。A、B、W の各ピンで正信号が V_{DD} を超えると、順方向にバイアスされたダイオードによりクランプされます。 V_A 、 V_W 、 V_B の間で極性の制約はありませんが、 V_{DD} を上回ることはできず、 V_{SS} を下回することはできません。

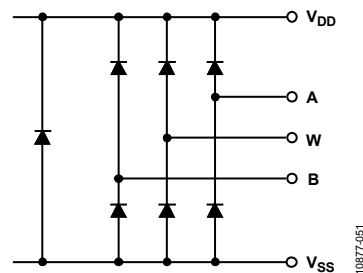


図 48. V_{DD} と V_{SS} により設定される最大ピン電圧

パワーアップ・シーケンス

ピン A、ピン B、ピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 48)、ピン A、ピン B、ピン W に電圧を加える前に先に V_{DD} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 V_{SS} 、 V_{DD} 、 V_{LOGIC} 、デジタル入力、 V_A 、 V_B 、 V_W の順序です。電源投入シーケンス V_A 、 V_B 、 V_W 、デジタル入力の順は、 V_{SS} 、 V_{DD} 、 V_{LOGIC} の投入後であれば、重要ではありません。パワーアップ・シーケンスと電源のランプ・レートに無関係に、 V_{DD} 投入後、パワーオン・プリセットが起動し、EEPROM 値を RDAC レジスタに転送します。

レイアウトと電源のバイパス

小型で最短の線によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。高品質のコンデンサを使って電源をバイパスすることも重要です。小さい等価直列抵抗(ESR)を持つ $1 \mu\text{F} \sim 10 \mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサを電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。図 49 に、AD5124/AD5144/AD5144A に対する基本的な電源バイパス構成を示します。

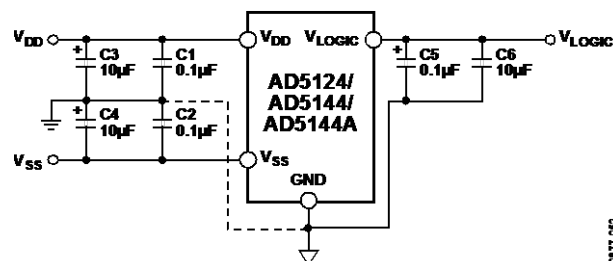
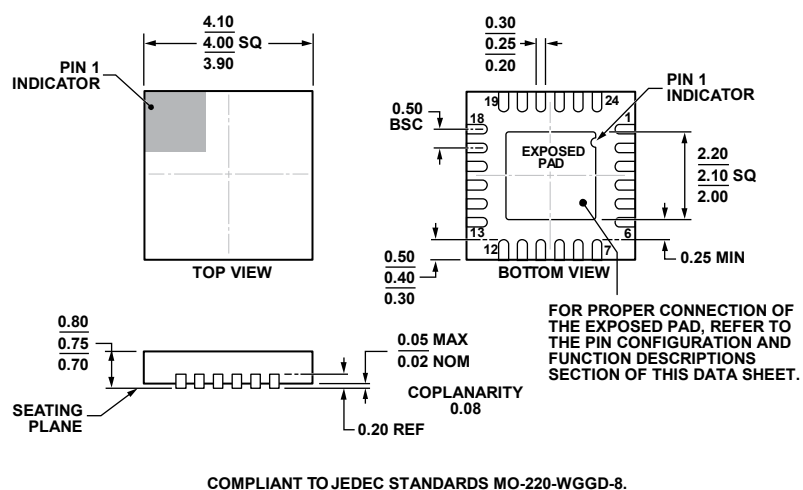


図 49.電源のバイパス

外形寸法



06-11-2012-A

図 50.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-24-10)
寸法: mm

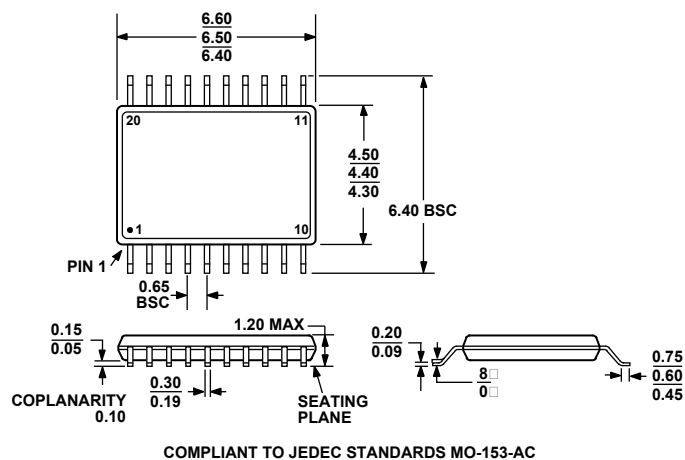


図 51.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-20)
寸法: mm

オーダー・ガイド

Model ^{1,2}	R _{AB} (kΩ)	Resolution	Interface	Temperature Range	Package Description	Package Option
AD5124BCPZ10-RL7	10	128	SPI/I ² C	−40°C to +125°C	24-Lead LFCSP_WQ	CP-24-10
AD5124BCPZ100-RL7	100	128	SPI/I ² C	−40°C to +125°C	24-Lead LFCSP_WQ	CP-24-10
AD5124BRUZ10	10	128	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5124BRUZ100	100	128	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5124BRUZ10-RL7	10	128	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5124BRUZ100-RL7	100	128	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144BCPZ10-RL7	10	256	SPI/I ² C	−40°C to +125°C	24-Lead LFCSP_WQ	CP-24-10
AD5144BCPZ100-RL7	100	256	SPI/I ² C	−40°C to +125°C	24-Lead LFCSP_WQ	CP-24-10
AD5144BRUZ10	10	256	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144BRUZ100	100	256	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144BRUZ10-RL7	10	256	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144BRUZ100-RL7	100	256	SPI	−40°C to +125°C	20-lead TSSOP	RU-20
EVAL-AD5144DBZ					Evaluation Board	
AD5144ABRUZ10	10	256	I ² C	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144ABRUZ100	100	256	I ² C	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144ABRUZ10-RL7	10	256	I ² C	−40°C to +125°C	20-lead TSSOP	RU-20
AD5144ABRUZ100-RL7	100	256	I ² C	−40°C to +125°C	20-lead TSSOP	RU-20

¹ Z = RoHS 準拠製品。

² 評価用ボードは 10 kΩ R_{AB} の抵抗オプションで出荷されますが、ボードは使用可能な両抵抗値オプションと互換性があります。

I²C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。