

特長

- 2チャンネル、1024ポジションの分解能
- 公称抵抗: 25 kΩ、250 kΩ
- 公称抵抗偏差: 最大 ±8%
- 小さい温度係数: 35 ppm/°C
- 2.7 V~5 Vの単電源または±2.5 Vの両電源動作
- SPI 互換シリアル・インターフェース
- 不揮発性メモリにワイパー設定を保存
- EEMEM 設定値でパワーオン・リセット
- 永久的なメモリ書き込み保護
- 抵抗偏差値を EEMEM に保存
- ユーザ定義情報用に 26 バイトの不揮発性メモリを追加
- 書き込み回数: 100 万回
- データ保持: 100 年(typ)

アプリケーション

- DWDM レーザ・ダイオード・ドライバ、光監視システム
- 機械式ポテンショメータの置き換え
- 計装:ゲイン、オフセットの調整
- プログラマブルな電圧-電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- 低分解能 DAC の置き換え
- センサー・キャリブレーション

概要

AD5235 は、デジタル的に制御される 2 チャンネルの不揮発性メモリ¹ポテンショメータ²で、1024 ステップの分解能を持ち、最大抵抗偏差 ±8%を保証しています。このデバイスはポテンショメータや機械的ポテンショメータと同じ電子的調整機能を持ち、優れた分解能、固体素子の信頼性、非常に小さい温度係数性能を持っています。SPI 互換のシリアル・インターフェースを経由する AD5235 の多才なプログラミング機能を使うと、16 種類の動作モードと調整が可能です。これらの機能としては、スクラッチパッドのプログラミング、メモリへの保存と読出し、インクリメント/デクリメント、±6 dB/ステップの対数傾き調整、ワイパー設定値の読出し、他の部品のメモリ・データ、ルックアップ・テーブル、またはシステム識別情報などのユーザ定義情報用の追加 EEMEM¹などがあります。

¹用語不揮発性メモリと EEMEM は同じ意味で使用しています。

²用語デジタル・ポテンショメータと RDAC は同じ意味で使用しています。

機能ブロック図

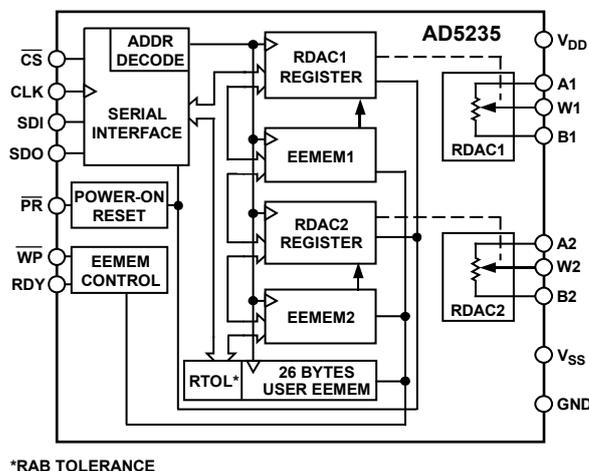


図 1.

スクラッチ・パッド・プログラミング・モードでは、特定の設定値を RDAC²レジスタ(W—A ピン間抵抗と W—B ピン間抵抗を設定)に直接書き込むことができます。この設定値は EEMEM に保存することができ、システム・パワーアップ時に RDAC レジスタに自動的にロードすることができます。

EEMEM の内容はダイナミックにまたは外部 \overline{PR} ストロブを使って読出すことができ、 \overline{WP} 機能は EEMEM の内容を保護します。書き込みを簡単にするため、独立なまたは同時リニア・ステップ・インクリメントまたはデクリメント・コマンドを使って、1 回に 1 ステップずつ RDAC ワイパーを上下に移動させることができます。ワイパー設定値の対数±6 dB 変化の場合は、左/右ビット・シフト・コマンドを使って、RDAC ワイパーの設定値を 2 倍または 1/2 倍することができます。

AD5235 のパターン化された抵抗偏差は EEMEM に保存されます。したがって、実際の端子—端子間抵抗は、読出しモードでホスト・プロセッサから読出すことができます。ホストは、オープン・ループ・アプリケーション、高精度キャリブレーション、偏差マッチング・アプリケーションを簡素化するソフトウェア・ルーチンを使って該当する抵抗ステップを実行することができます。

AD5235 は 16 ピン薄型 TSSOP パッケージを採用しています。このデバイスは、工業用拡張温度範囲-40°C~+85°C での動作を保証しています。

目次

特長	1	可変抵抗のプログラミング	22
アプリケーション	1	ポテンショメータ分圧器のプログラミング	22
概要	1	プログラミング例	23
機能ブロック図	1	EVAL-AD5235SDZ評価キット	23
改訂履歴	3	アプリケーション情報	24
仕様	4	両電源によるバイポーラ動作	24
電気的特性—25 k Ω 、250 k Ω バージョン	4	ゲイン制御補償	24
インターフェース・タイミングとEEMEMの信頼性特性—25 k Ω 、250 k Ω バージョン	6	高電圧動作	24
絶対最大定格	8	DAC	24
ESDの注意	8	バイポーラ・プログラマブル・ゲイン・アンプ	25
ピン配置およびピン機能説明	9	10ビット・バイポーラDAC	25
代表的な性能特性	10	出力ブースタ付きのプログラマブルな電圧源	25
テスト回路	14	プログラマブルな電流源	26
動作原理	16	プログラマブルな双方向性電流源	26
スクラッチ・パッドとEEMEMの書込み	16	プログラマブルなローパス・フィルタ	27
基本動作	16	プログラマブルなオシレータ	27
EEMEMの保護	17	ADN2841を使用した光トランスミッタのキャリブレーション	28
デジタル入力および出力の構成	17	抵抗のスケールリング	28
シリアル・データ・インターフェース	17	抵抗偏差、ドリフト、温度係数の不一致について	29
ディジーチェーン動作	18	RDAC回路のシミュレート・モデル	29
ピン電圧の動作範囲	18	外形寸法	30
高度な制御モード	20	オーダー・ガイド	30
RDAC構造	21		

改訂履歷**4/11—Rev. D to Rev. E**

Changes to Figure 12 11

4/11—Rev. C to Rev. D

Changes to EEMEM Performance..... Throughout

Changes to Features and General Descriptions Sections 1

Changes to Specifications Section.....4

Changes to Pin 5, Pin 13, Pin 14 Descriptions.....9

Changes to Typical Performance Characteristics Section 10

Changes to Table 7 19

Changes to Table 9 21

Changes to Rheostat Operation Section, Table 12, Table 13.....22

Changes to Table 16, Table 19, and EVAL-AD5235SDZ Evaluation Kit Section.....23

Changes to RDAC Circuit Simulation Model Section.....29

Updated Outline Dimensions.....30

Changes to Ordering Guide 30

4/09—Rev. B to Rev. C

Changes to Figure 1 1

Changes to Specifications.....3

Changes to SDO, Description Column, Table 4.....8

Changes to Figure 18..... 11

Changes to Theory of Operation Section 14

Changes to Serial Data Interface Section..... 15

Changes to Linear Increment and Decrement Instructions Section, Logarithmic Taper Mode Adjustment Section, and Figure 42 18

Changes to Rheostat Operations Section 20

Changes to Bipolar Programmable Gain Amplifier Section, Figure 49, Table 21, and 10-Bit Bipolar DAC Section 23

Changes to Programmable Oscillator Section and Figure 56..... 25

Changes to Ordering Guide 28

7/04—Rev. A to Rev. B

Updated Formatting..... Universal

Edits to Features, General Description, and Block Diagram 1

Changes to Specifications 3

Replaced Timing Diagrams 6

Changes to Absolute Maximum Ratings 7

Changes to Pin Function Descriptions..... 8

Changes to Typical Performance Characteristics..... 9

Additional Test Circuit (Figure 36) 9

Edits to Theory of Operation 14

Edits to Applications 23

Updated Outline Dimensions 27

8/02—Rev. 0 to Rev. A

Change to Features and General Description..... 1

Change to Specifications 2

Change to Calculating Actual End-to-End Terminal Resistance Section..... 14

仕様

電気的特性—25 kΩ、250 kΩバージョン

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $V_{DD} = 2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ 、 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

これらの仕様は、データ・コード 1108 以降の 25 kΩ バージョンとデータ・コード 1045 以降の 250 kΩ バージョンに適用されます。

表 1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE (All RDACs)						
Resistor Differential Nonlinearity ²	R-DNL	R_{WB}	-1		+1	LSB
Resistor Integral Nonlinearity ²	R-INL	R_{WB}	-2		+2	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$		-8		+8	%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$			35		ppm/°C
Wiper Resistance	R_W	$I_W = 1\text{ V}/R_{WB}$, code = midscale $V_{DD} = 5\text{ V}$ $V_{DD} = 3\text{ V}$		30	60	Ω
				50		Ω
Nominal Resistance Match	R_{AB1}/R_{AB2}			± 0.1		%
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (All RDACs)						
Resolution	N				10	Bits
Differential Nonlinearity ³	DNL		-1		+1	LSB
Integral Nonlinearity ³	INL		-1		+1	LSB
Voltage Divider Temperature Coefficient	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = midscale		15		ppm/°C
Full-Scale Error	V_{WFSE}	Code = full scale	-6		0	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale	0		4	LSB
RESISTOR TERMINALS						
Terminal Voltage Range ⁴	V_A, V_B, V_W		V_{SS}		V_{DD}	V
Capacitance A_x, B_x ⁵	C_A, C_B	$f = 1\text{ MHz}$, measured to GND, code = midscale		11		pF
Capacitance W_x ⁵	C_W	$f = 1\text{ MHz}$, measured to GND, code = midscale		80		pF
Common-Mode Leakage Current ^{5, 6}	I_{CM}	$V_W = V_{DD}/2$		0.01	± 1	μA
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	With respect to GND, $V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	V_{IL}	With respect to GND, $V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	V_{IH}	With respect to GND, $V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	V_{IL}	With respect to GND, $V_{DD} = 3\text{ V}$			0.6	V
Input Logic High	V_{IH}	With respect to GND, $V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$	2.0			V
Input Logic Low	V_{IL}	With respect to GND, $V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$			0.5	V
Output Logic High (SDO, RDY)	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to 5 V (see Figure 38)	4.9			V
Output Logic Low	V_{OL}	$I_{OL} = 1.6\text{ mA}$, $V_{LOGIC} = 5\text{ V}$ (see Figure 38)			0.4	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V}$ or V_{DD}			± 1	μA
Input Capacitance ⁵	C_{IL}			5		pF

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 2.25		± 2.75	V
Positive Supply Current	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$ RDY and/or SDO floating		2	5	μA
Negative Supply Current	I_{SS}	$V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$ $V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$ RDY and/or SDO floating		0.2	1	mA
EEMEM Store Mode Current	$I_{DD}(\text{store})$	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $V_{SS} = \text{GND}$, $I_{SS} \approx 0$		2		mA
EEMEM Restore Mode Current ⁷	$I_{DD}(\text{restore})$	$V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$ $V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $V_{SS} = \text{GND}$, $I_{SS} \approx 0$		320		μA
Power Dissipation ⁸	P_{DISS}	$V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$ $V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$		10	30	μW
Power Supply Sensitivity ⁵	P_{SS}	$\Delta V_{DD} = 5\text{ V} \pm 10\%$		0.006	0.01	%/%
DYNAMIC CHARACTERISTICS^{5, 9}						
Bandwidth	BW	-3 dB, $R_{AB} = 25\text{ k}\Omega/250\text{ k}\Omega$		125/12		kHz
Total Harmonic Distortion	THD _W	$V_A = 1\text{ V rms}$, $V_B = 0\text{ V}$, $f = 1\text{ kHz}$, code = midscale $R_{AB} = 25\text{ k}\Omega$ $R_{AB} = 250\text{ k}\Omega$		0.009 0.035		% %
V_W Settling Time	t_S	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $V_W = 0.50\%$ error band, from zero scale to midscale $R_{AB} = 25\text{ k}\Omega$ $R_{AB} = 250\text{ k}\Omega$		4 36		μs μs
Resistor Noise Density	e_{N_WB}	$R_{AB} = 25\text{ k}\Omega/250\text{ k}\Omega$		20/64		$\text{nV}/\sqrt{\text{Hz}}$
Crosstalk (C_{W1}/C_{W2})	C_T	$V_{A1} = V_{DD}$, $V_{B1} = V_{SS}$, measured V_{W2} with V_{W1} making full-scale change, R_{AB} $= 25\text{ k}\Omega/250\text{ k}\Omega$		30/60		nV-s
Analog Crosstalk	C_{TA}	$V_{AB2} = 5\text{ V p-p}$, $f = 1\text{ kHz}$, measured V_{W1} , Code 1 = midscale, Code 2 = full scale, $R_{AB} = 25\text{ k}\Omega/250\text{ k}\Omega$		-110/-100		dB

¹ Typ 値は、25°C および $V_{DD} = 5\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。 $I_{WB} = (V_{DD} - 1)/R_{WB}$ (図 27 を参照)。

³ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 V_W で測定。 $V_A = V_{DD}$ かつ $V_B = V_{SS}$ 。DNL 仕様規定値の最大 ± 1 LSB は、単調動作状態で保証(図 28 参照)。

⁴ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ 同相モード・リーク電流は、ピン B、ピン B、ピン W の任意のピンから同相モード・バイアス・レベル $V_{DD}/2$ までの DC リークを測定。

⁷ EEMEM リストア・モード電流は不連続です。EEMEM ロケーションを讀出して RDAC レジスタへ転送するとき、電流が消費されます。

⁸ P_{DISS} は $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ で計算されます。

⁹ すべての動特性では、 $V_{DD} = +2.5\text{ V}$ かつ $V_{SS} = -2.5\text{ V}$ を使用。

インターフェース・タイミングとEEMEMの信頼性特性—25 kΩ、250 kΩバージョン

設計上保証しますが、出荷テストは行いません。測定値のロケーションについては、タイミング図のセクションを参照してください。すべての入力制御電圧は $t_R = t_F = 2.5$ ns (3 Vの10%から90%)で規定し、1.5 Vの電圧レベルからの時間とします。スイッチング特性は、 $V_{DD} = 2.7$ Vと5 Vを使って測定。

表 2.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
Clock Cycle Time (t_{CYC})	t_1		20			ns
\overline{CS} Setup Time	t_2		10			ns
CLK Shutdown Time to \overline{CS} Rise	t_3		1			t_{CYC}
Input Clock Pulse Width	t_4, t_5	Clock level high or low	10			ns
Data Setup Time	t_6	From positive CLK transition	5			ns
Data Hold Time	t_7	From positive CLK transition	5			ns
\overline{CS} to SDO-SPI Line Acquire	t_8				40	ns
\overline{CS} to SDO-SPI Line Release	t_9				50	ns
CLK to SDO Propagation Delay ²	t_{10}	$R_P = 2.2$ kΩ, $C_L < 20$ pF			50	ns
CLK to SDO Data Hold Time	t_{11}	$R_P = 2.2$ kΩ, $C_L < 20$ pF	0			ns
\overline{CS} High Pulse Width ³	t_{12}		10			ns
\overline{CS} High to \overline{CS} High ³	t_{13}		4			t_{CYC}
RDY Rise to \overline{CS} Fall	t_{14}		0			ns
\overline{CS} Rise to RDY Fall Time	t_{15}			0.15	0.3	ms
Store EEMEM Time ^{4, 5}	t_{16}	Applies to Instructions 0x2, 0x3		15	50	ms
Read EEMEM Time ⁴	t_{16}	Applies to Instructions 0x8, 0x9, 0x10		7	30	μs
\overline{CS} Rise to Clock Rise/Fall Setup	t_{17}		10			ns
Preset Pulse Width (Asynchronous) ⁶	t_{PRW}		50			ns
Preset Response Time to Wiper Setting ⁶	t_{PRES}	\overline{PR} pulsed low to refresh wiper positions		30		μs
Power-On EEMEM Restore Time ⁶	t_{EEMEM}			30		μs
FLASH/EE MEMORY RELIABILITY						
Endurance ⁷		$T_A = 25^\circ\text{C}$		1		MCycles
			100			kCycles
Data Retention ⁸				100		Years

¹ Typ 値は、25°C および $V_{DD} = 5$ V での平均測定値。

² 伝搬遅延は、 V_{DD} 、 $R_{PULL-UP}$ 、 C_L の値に依存します。

³ RDY ピンをアクティブにしないコマンドに対して有効。

⁴ 命令 2、命令 3、命令 8、命令 9、命令 10 および \overline{PR} ハードウェア・パルスに対してのみ RDY ピンはロー・レベルになります。すなわち、CMD_8 約 20 μs; CMD_9、CMD_10 約 7 μs; CMD_2、CMD_3 約 15 μs; \overline{PR} ハードウェア・パルス約 30 μs。

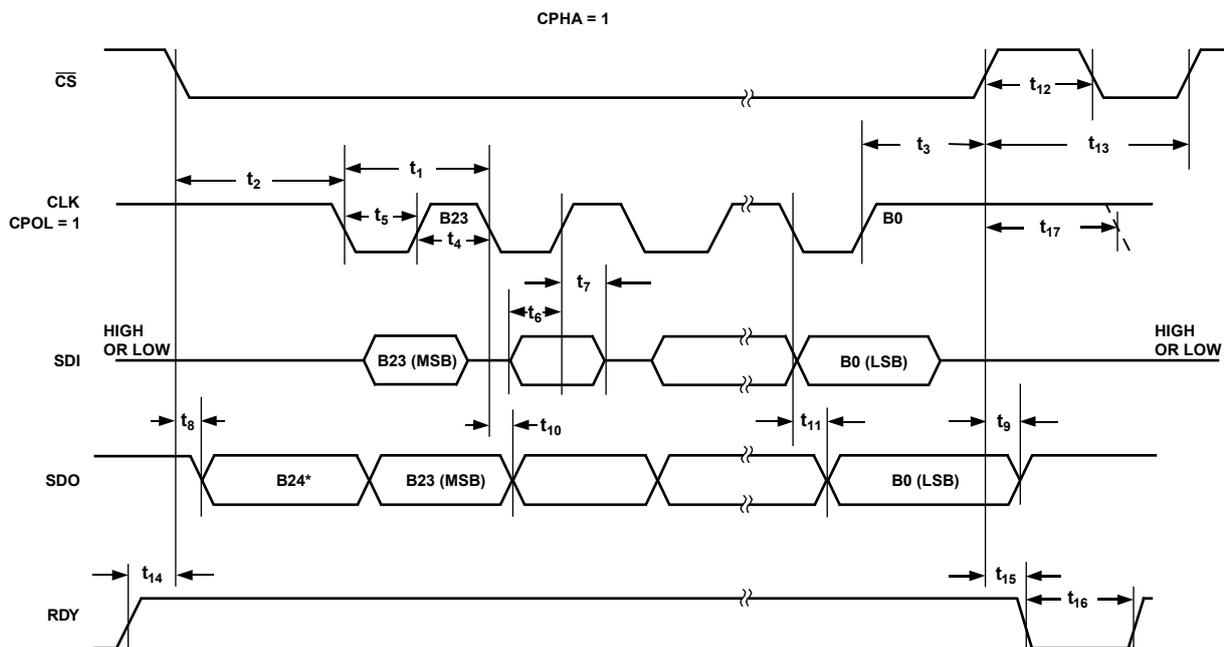
⁵ EEMEM 保存時間は、温度と EEMEM 書き込みサイクルに依存します。低温と長い書き込みサイクルではタイミングが長くなると予測されます。

⁶ 図 2 と図 3 には示してありません。

⁷ 書き込み可能回数は、JEDEC Std.22 メソッド A117 に基づき 100,000 回で評価し、-40 °C、+25 °C、+85 °C で測定。

⁸ JEDEC Std. 22、メソッド A117 に基づくジャンクション温度(T_J) = 85 °C と等価。活性エネルギー 1eV に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。

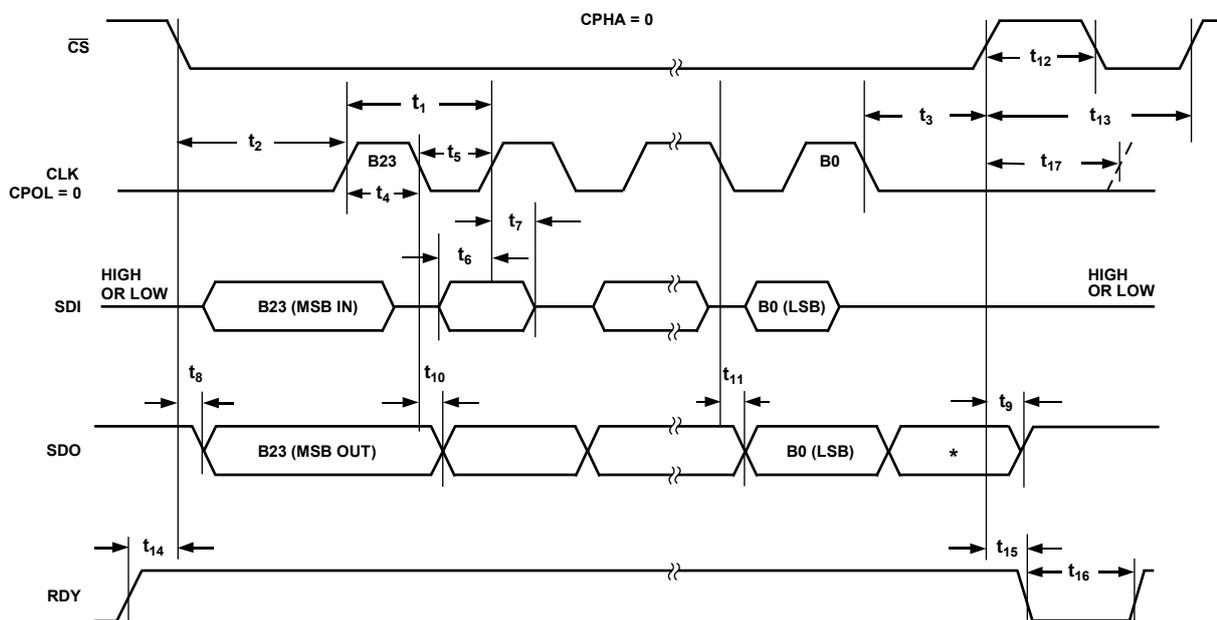
タイミング図



*THE EXTRA BIT THAT IS NOT DEFINED IS NORMALLY THE LSB OF THE CHARACTER PREVIOUSLY TRANSMITTED.
THE CPOL = 1 MICROCONTROLLER COMMAND ALIGNS THE INCOMING DATA TO THE POSITIVE EDGE OF THE CLOCK.

02816-002

図 2.CPHA = 1 でのタイミング図



*THE EXTRA BIT THAT IS NOT DEFINED IS NORMALLY THE MSB OF THE CHARACTER JUST RECEIVED.
THE CPOL = 0 MICROCONTROLLER COMMAND ALIGNS THE INCOMING DATA TO THE POSITIVE EDGE OF THE CLOCK.

02816-003

図 3.CPHA = 0 でのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{SS} to GND	+0.3 V to -7 V
V_{DD} to V_{SS}	7 V
V_A, V_B, V_W to GND	$V_{SS} - 0.3 \text{ V to } V_{DD} + 0.3 \text{ V}$
I_A, I_B, I_W	
Pulsed ¹	±20 mA
Continuous	±2 mA
Digital Input and Output Voltage to GND	-0.3 V to $V_{DD} + 0.3 \text{ V}$
Operating Temperature Range ²	-40°C to +85°C
Maximum Junction Temperature ($T_J \text{ max}$)	150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
Thermal Resistance	
Junction-to-Ambient θ_{JA} , TSSOP-16	150°C/W
Junction-to-Case θ_{JC} , TSSOP-16	28°C/W
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Bピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

²不揮発性メモリの書込みを含みます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

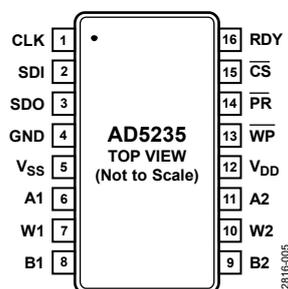


図 4. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	CLK	シリアル入力レジスタ・クロック。クロックの立上がりエッジで1ビットずつシフト入力。
2	SDI	シリアル・データ入力。CLK クロックの立上がりエッジで1ビットずつシフト入力。MSB ファーストでロード。
3	SDO	シリアル・データ出力。ディジーチェーンとリードバックで機能。コマンド9とコマンド10によりSDO出力が読出し機能用にアクティブ化されます。データ・ワードの前後でクロック極性に応じて24または25クロック・パルス間遅延されます(図2と図3参照)。他のコマンドでは、SDOから前にロードされたSDIビット・パターンがシフト出力され、クロック極性に応じて24または25クロック・パルス間遅延されます(図2と図3参照)。前にシフト出力されたSDIは、ディジーチェーン接続された複数のデバイスの使用することができます。SDOを使用する場合は、1 kΩ~10 kΩのプルアップ抵抗が必要です。
4	GND	グラウンド・ピン、ロジック・グラウンド基準。
5	V _{SS}	負電源。単電源アプリケーションで0 Vへ接続してください。V _{SS} を両電源で使用する場合は、データをEEMEMへ保存する際に15 ms間2 mAのシンク電流が必要です。
6	A1	RDAC1のピンA。
7	W1	RDAC1のワイパー・ピン。ADDR(RDAC1)=0x0。
8	B1	RDAC1のピンB。
9	B2	RDAC2のピンB。
10	W2	RDAC2のワイパー・ピン。ADDR(RDAC2)=0x1。
11	A2	RDAC2のピンA。
12	V _{DD}	正の電源。
13	$\overline{\text{WP}}$	オプションの書き込み保護。アクティブ・ローのとき、 $\overline{\text{WP}}$ は現在の内容の変更を禁止します(ただし $\overline{\text{PR}}$ ストローブは除く)。CMD_1とCOMD_8は、RDACレジスタをEEMEMの値にリセットします。使用しない場合は、 $\overline{\text{WP}}$ をV _{DD} に接続してください。
14	$\overline{\text{PR}}$	オプションのハードウェア・オーバーライド・プリセット・ピン。スクラッチ・パッド・レジスタをEEMEMレジスタの現在の内容でリセットします。ユーザがEEMEMに新しい値をロードするまで、出荷時デフォルト値のミッドスケールがロードされます(PRはロジック・ハイ・レベルへの変化でアクティブになります)。使用しない場合は、 $\overline{\text{PR}}$ をV _{DD} に接続してください。
15	$\overline{\text{CS}}$	シリアル・レジスタ・チップ・セレクト、アクティブ・ロー。 $\overline{\text{CS}}$ がロジック・ハイ・レベルに戻ると、シリアル・レジスタの動作が開始されます。
16	RDY	レディ。アクティブ・ハイのオープン・ドレイン出力。命令2、命令3、命令8、命令9、命令10および $\overline{\text{PR}}$ の終了を識別します。

代表的な性能特性

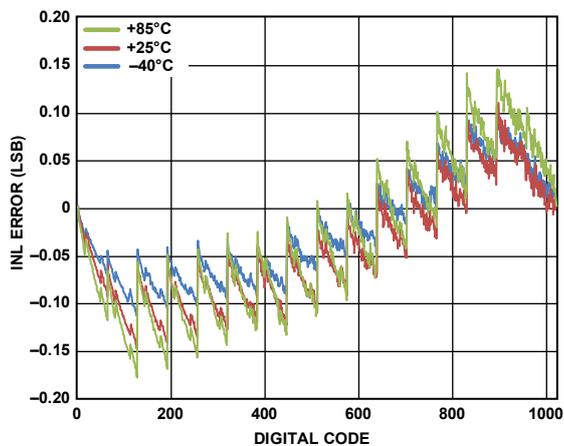


図 5.コード対 INL、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{ k}\Omega$

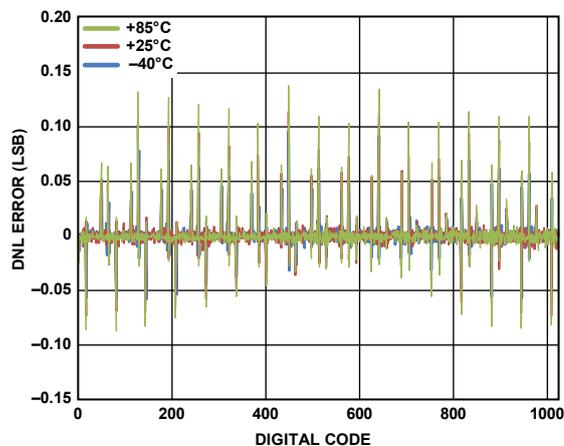


図 8.コード対 R-DNL、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{ k}\Omega$

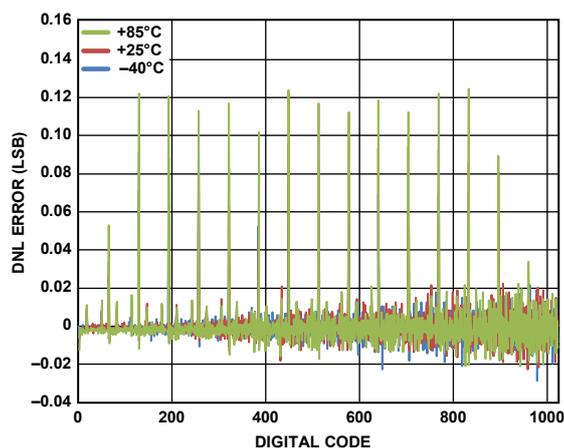


図 6.コード対 DNL、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{ k}\Omega$

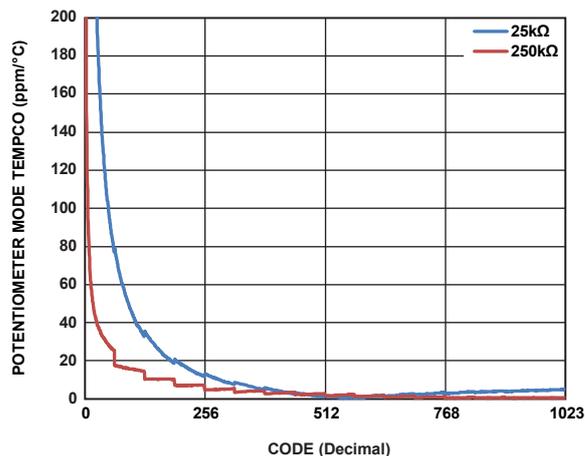


図 9. $(\Delta V_W/V_W)/\Delta T \times 10^6$ ポテンショメータ・モード温度係数

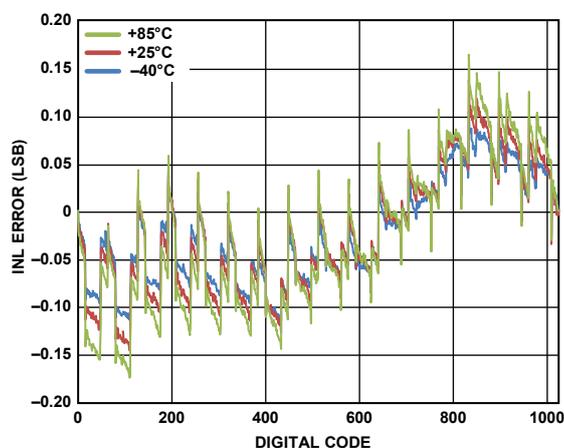


図 7.コード対 R-INL、 $T_A = -40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ オーバーレイ、 $R_{AB} = 25\text{ k}\Omega$

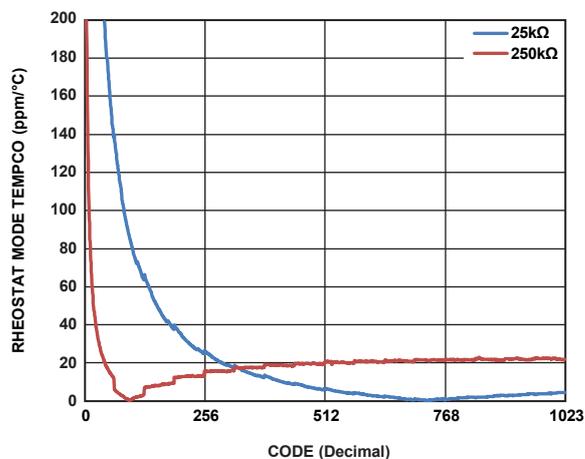


図 10. $(\Delta R_{WB}/R_{WB})/\Delta T \times 10^6$ 可変抵抗器モード温度係数

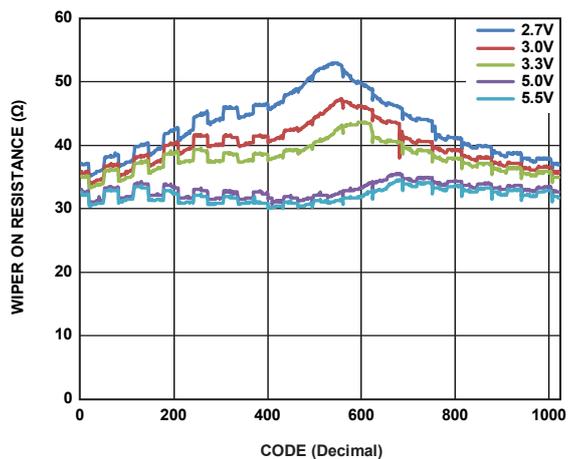


図 11.コード対ワイパー・オン抵抗

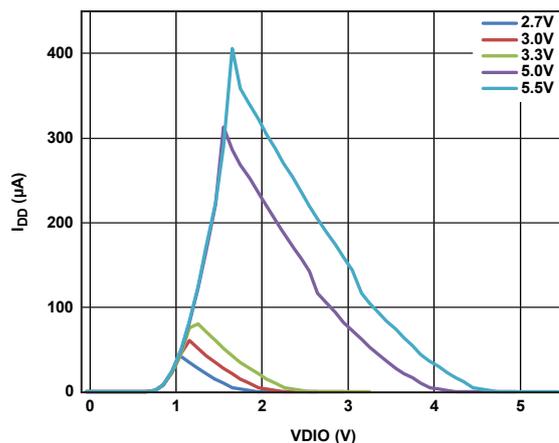


図 14.デジタル入力電圧対 I_{DD}

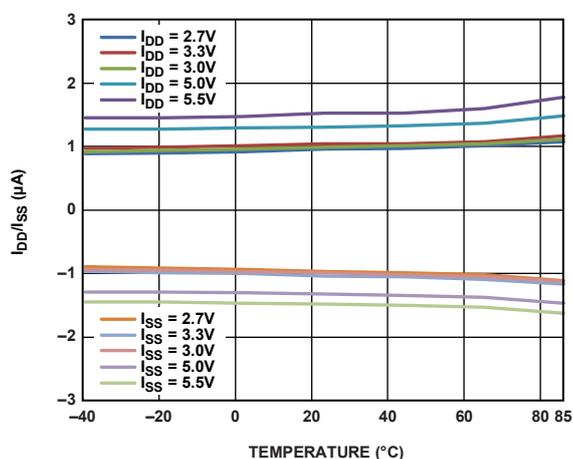


図 12. I_{DD} の温度特性

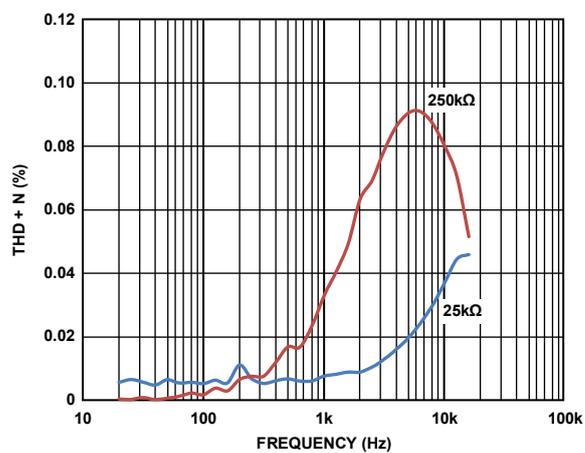


図 15. THD + ノイズの周波数特性

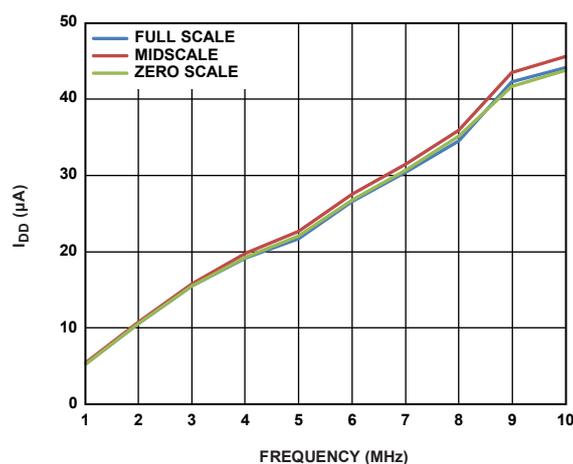


図 13. クロック周波数対 I_{DD}、R_{AB} = 25 kΩ

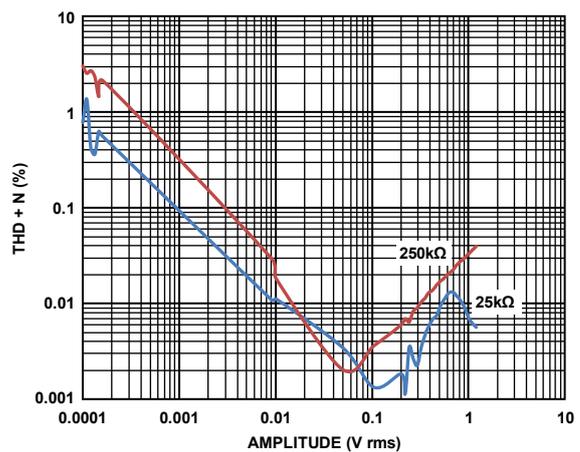


図 16. 振幅対 THD + ノイズ

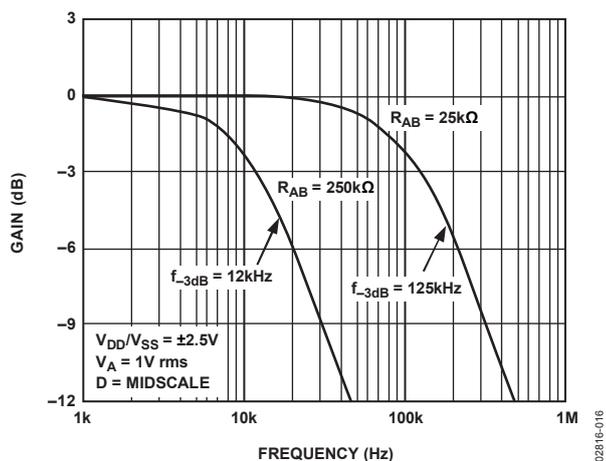


図 17. 抵抗対-3 dB帯域幅(図 33 参照)

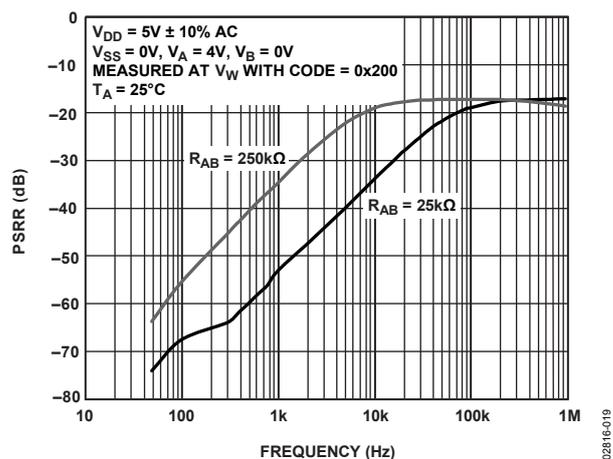


図 20. PSRR の周波数特性

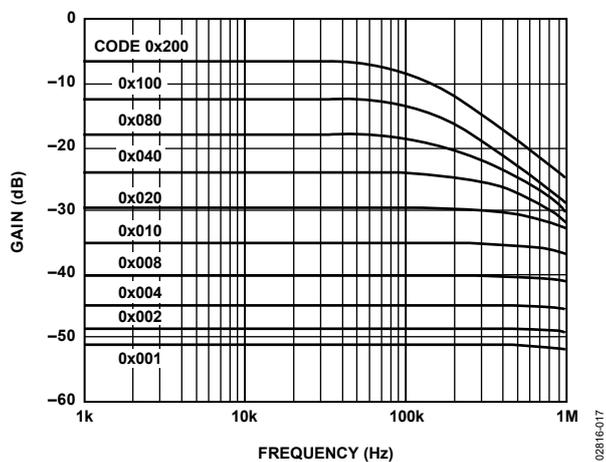


図 18. ゲイン対周波数対コード、 $R_{AB} = 25\text{ k}\Omega$ (図 33 参照)

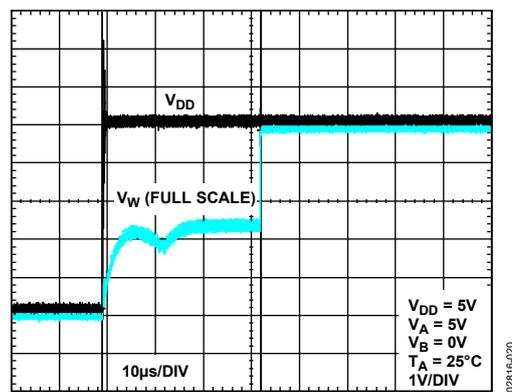


図 21. パワーオン・リセット

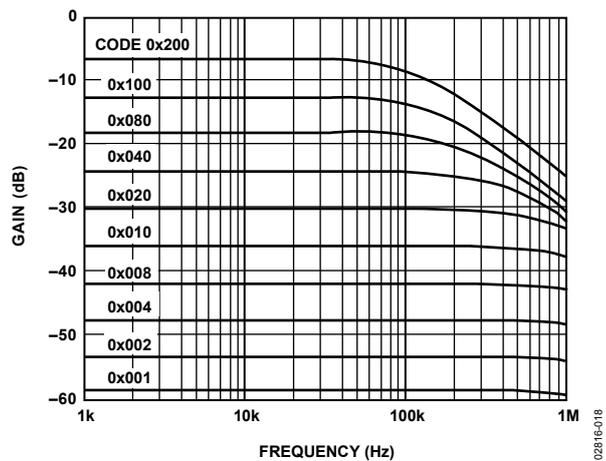


図 19. ゲイン対周波数対コード、 $R_{AB} = 250\text{ k}\Omega$ (図 33 参照)

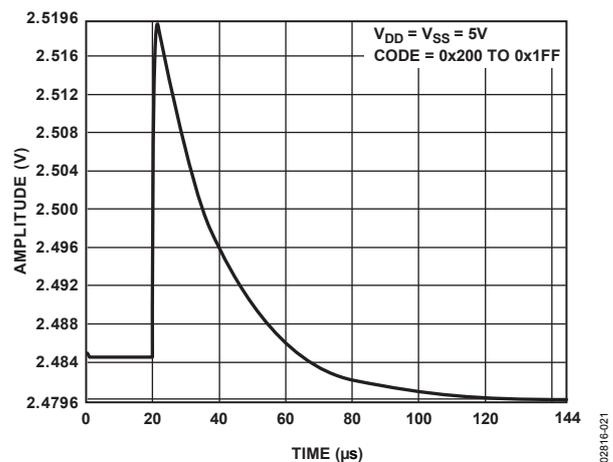


図 22. ミッドスケール・グリッチ・エネルギー、 $R_{AB} = 25\text{ k}\Omega$

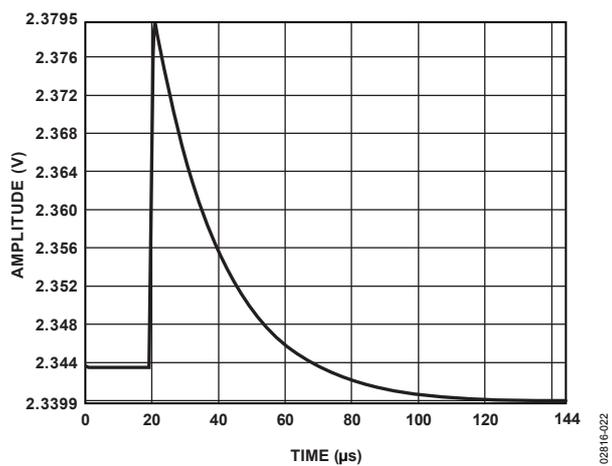


図 23. ミッドスケール・グリッチ・エネルギー、 $R_{AB} = 250 \text{ k}\Omega$

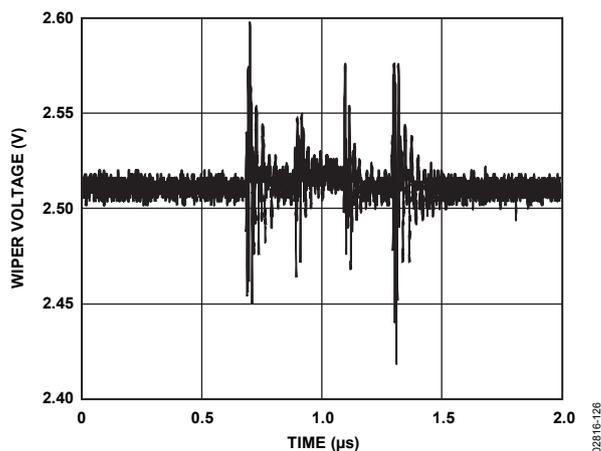


図 25. デジタル・フィードスルー

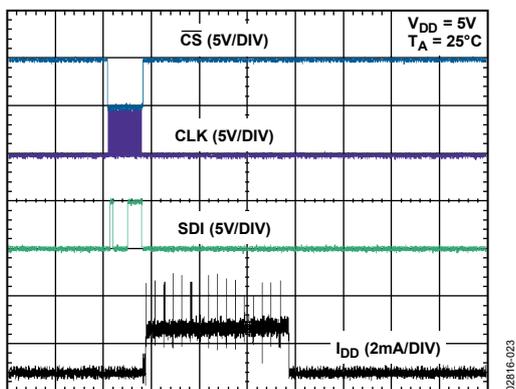


図 24. 時間対 I_{DD} 、EEMEM へのデータ保存時

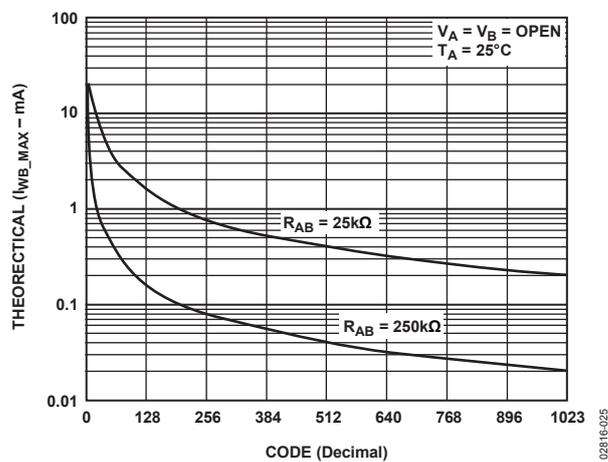


図 26. コード対 I_{WB_MAX}

テスト回路

図 27 ~ 図 37 に、仕様のセクションで使用したテスト条件を示します。

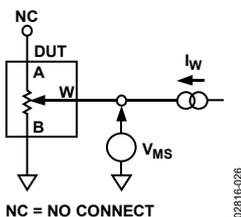


図 27. 抵抗ポジションの非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)

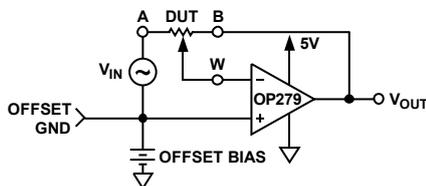


図 31. 反転ゲイン

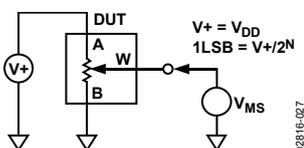


図 28. ポテンショメータ分圧器の非直線性誤差 (INL、DNL)

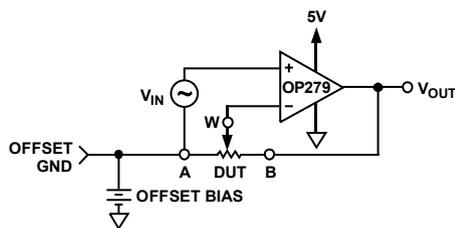


図 32. 非反転ゲイン

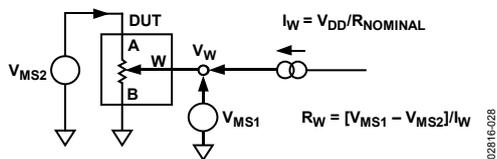


図 29. ワイパー抵抗

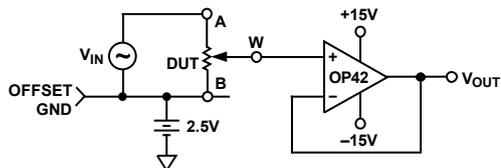


図 33. ゲインの周波数特性

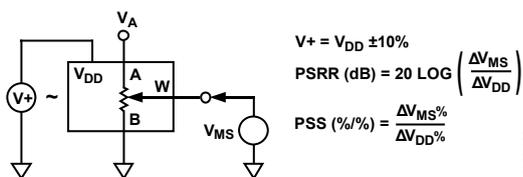


図 30. 電源除去比 (PSS、PSRR)

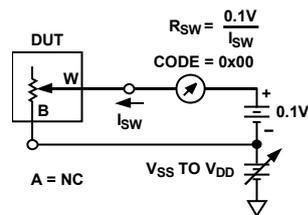


図 34. オン抵抗増分

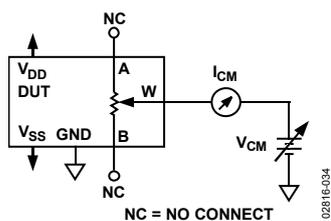


図 35.同相モード・リーク電流

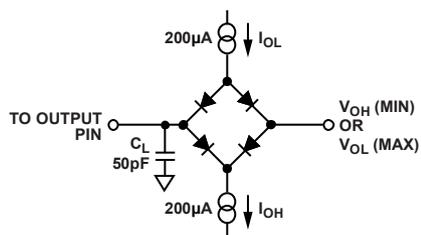


図 37. V_{OH} と V_{OL} 測定時の負荷回路
(ダイオード・ブリッジ・テスト回路は $2.2\text{ k}\Omega$ の $R_{PULL-UP}$ を使うアプリケーション回路と等価)

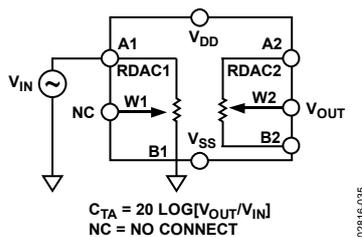


図 36.アナログ・クロストーク

動作原理

AD5235 デジタル・ポテンショメータは、真の変数抵抗として動作するようにデザインされています。抵抗のワイパー・ポジションは、RDAC レジスタの値により決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。スクラッチ・パッド・レジスタには、標準の SPI シリアル・インターフェースを使って 24 ビットのデータ・ワードをロードすることにより、任意のポジション値を書込むことができます。データ・ワードのフォーマットは、先頭の 4 ビットがコマンド、次の 4 ビットがアドレス、最後の 16 ビットがデータになっています。特定の値を設定すると、この値を対応する EEMEM レジスタに保存することができます。それ以降のパワーアップでは、ワイパー設定にその値が自動的にロードされます。

EEMEM レジスタへのデータの保存には約 15 ms かかり、約 2 mA を消費します。この保存処理時には、シフトレジスタがロックされて値の変化を防止します。RDY ピンは、ロー・レベル・パルスで、この EEMEM 保存処理の完了を表示します。13 個のアドレスを持つ各 2 バイトのユーザ定義のデータもあり、これらはアドレス 2～アドレス 14 の EEMEM レジスタに保存することができます。

次の命令により、ユーザの書込みをサポートしています(詳細については、表 7 を参照してください)。

0. 無動作。
1. EEMEM の内容を RDAC へ読出し。
2. RDAC の設定を EEMEM に保存します。
3. RDAC の設定またはユーザ・データを EEMEM に保存します。
4. 6dB デクリメントさせます。
5. すべてを 6dB デクリメントします。
6. 1 ステップ・デクリメントさせます。
7. すべてを 1 ステップ・デクリメントさせます。
8. EEMEM の内容を RDAC にリセットします。
9. SDO から EEMEM の内容を読出します。
10. SDO から RDAC ワイパー設定値を読出します。
11. RDAC へのデータを書込みます。
12. 6dB インクリメントさせます。
13. すべてを 6dB インクリメントします。
14. 1 ステップ・インクリメントさせます。
15. すべてを 1 ステップ・インクリメントさせます。

表 14 ～ 表 20 に、これらのコマンドを使った書込み例を示します。

スクラッチ・パッドとEEMEMの書込み

スクラッチ・パッド・レジスタ(RDACレジスタ)は、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。たとえば、スクラッチ・パッド・レジスタに全ビット0をロードすると、ワイパーは可変抵抗のBピンに接続されます。スクラッチ・パッド・レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありませんが、EEMEMには消去/書込みサイクル数に制限があります。

基本動作

可変抵抗ワイパー・ポジション設定の基本モード(スクラッチ・パッド・レジスタの書込み)は、コマンド命令11 (0xB)、アドレス0、ワイパー・ポジション・データをシリアル・データ入力レジスタにロードすることにより実行されます。目的のワイパー・ポジションを決めたら、ユーザは命令2 (0x2)をシリアル・データ入力レジスタにロードします。この命令は、設定値を該当するEEMEMレジスタへ保存します。15 ms後に、ワイパー・ポジションは不揮発性EEMEMロケーションに永久的に保存されます。

表 5 に、シリアル・データ入力(SDI)ワード・シーケンスを示すアプリケーション・プログラミング例とSDOピン上のシリアル・データ出力を16進数フォーマットで示します。

表 5.RDAC 設定値の EEMEM レジスタへの書込みと保存

SDI	SDO	Action
0xB00100	0xFFFFFFFF	Writes data 0x100 to the RDAC1 register, Wiper W1 moves to 1/4 full-scale position.
0x20XXXX	0xB00100	Stores RDAC1 register content into the EEMEM1 register.
0xB10200	0x20XXXX	Writes Data 0x200 to the RDAC2 register, Wiper W2 moves to 1/2 full-scale position.
0x21XXXX	0xB10200	Stores RDAC2 register contents into the EEMEM2 register.

システムのパワーオン時、スクラッチ・パッド・レジスタは対応するEEMEMレジスタに直前に保存された値へ自動的にリセットされます。工場出荷時のEEMEM値はミッドスケールです。次の3つの手順により、スクラッチ・パッド・レジスタをEEMEMレジスタの現在の値でリセットすることもできます。まず、命令1 (0x1)を実行して対応するEEMEM値を読出します。次に、命令8(0x8)を実行して、両チャンネルのEEMEM値をリセットします。最後に、PRピンにパルスを入力すると、両EEMEM設定がリセットされます。ハードウェア制御のPR機能を動作させる場合は、完全なパルス信号が必要です。PRをロー・レベルにすると、内部ロジックがワイパーをミッドスケールに設定します。EEMEM値は、PRがハイ・レベルに戻るまで、ロードされません。

EEMEMの保護

書き込み保護(\overline{WP})ピンは、スクラッチパッド・レジスタ値の変更を禁止します(ただしEEMEM設定を除く)。この機能は、命令1、命令8、 \overline{PR} パルスを使って復旧することができます。したがって、ピン \overline{WP} はハードウェアによるEEMEM保護機能を提供することができます。

デジタル入力および出力の構成

すべてのデジタル入力はESD保護機能付きの高入力インピーダンスであるため、大部分のデジタル・ソースから直接駆動することができます。ロー・レベルでアクティブな \overline{PR} と \overline{WP} は、使用しない場合 V_{DD} に接続しておく必要があります。すべてのデジタル入力ピンには、プルアップ抵抗は内蔵されていません。デジタル・ピンがフローティング状態になってノイズの多い環境で誤トリガを発生させないために、これらのピンにはプルアップ抵抗を接続してください。これは、書き込み時に駆動ソースからデバイスを切り離すようなケースにも当てはまります。

SDOピンとRDYピンはオープン・ドレイン・デジタル出力であるため、これらの機能を使うときはプルアップ抵抗が必要です。速度と消費電力との間のトレードオフを最適にするためには、2.2 k Ω のプルアップ抵抗を使用してください。

等価シリアル・データ入力/出力ロジックを図 38 に示します。オープン・ドレイン出力SDOは、チップ・セレクト \overline{CS} がハイ・レベルのときにディスエーブルされます。デジタル入力のESD保護を図 39 と図 40 に示します。

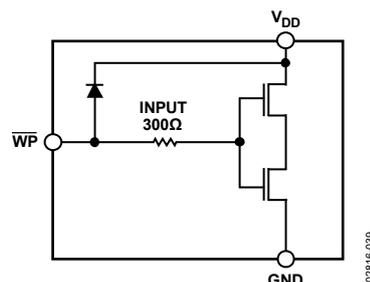


図 40. 等価 \overline{WP} 入力保護

シリアル・データ・インターフェース

AD5235は、4線式のSPI互換デジタル・インターフェース(SDI、SDO、 \overline{CS} 、CLK)を内蔵しています。24ビットのシリアル・データ・ワードはMSBファーストでロードされる必要があります。ワードのフォーマットを表 6 に示します。コマンド・ビット(C0~C3)が、表 7 に示すコマンドに従いデジタル・ポテンシオメータの動作を制御します。A0~A3はアドレス・ビットです。A0はRDAC1またはRDAC2のアドレス指定に使います。アドレス2~アドレス14は、追加EEMEM用にユーザからアクセスすることができます。アドレス15は工場テスト用に予約されています。表 9 に、EEMEMロケーションのアドレス・マップを示します。D0~D9は、RDACレジスタの値です。D0~D15はEEMEMレジスタの値です。

AD5235は、正常動作のために24ビット(1フレーム)の倍数をカウントするカウンタを内蔵しています。たとえば、AD5235は24ビットまたは48ビット・ワードで動作しますが、23ビットまたは25ビット・ワードで動作することはできません。また、データの誤ロッキング(たとえばノイズにより発生)を防止するため、 \overline{CS} がハイ・レベルになったときに、カウンタが4の倍数でない場合、カウンタはリセットされますが、4の倍数である場合にはレジスタ内に維持されます。さらに、AD5235には、CLKとSDIなしで \overline{CS} にパルスを入力すると、デバイスは前のコマンドを繰り返すという機能があります(ただしパワーアップ時を除く)。このため、CLKラインまたは \overline{CS} ラインに、実効ビット数パターンを変えてしまうような大きなノイズが存在しないように注意する必要があります。

SPIインターフェースはCPHA = 1、CPOL = 1およびCPHA = 0、CPOL = 0の2種類のスレーブ・モードで使うことができます。CPHAとCPOLはコントロール・ビットと呼ばれ、ADuC812、ADuC824、M68HC11、MC68HC16R1、MC68HC916R1などのMicroConverters®やマイクロプロセッサのSPIタイミングを制御します。

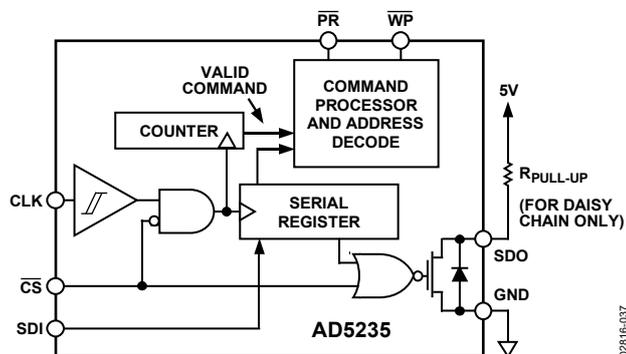


図 38. 等価デジタル入力および出力ロジック

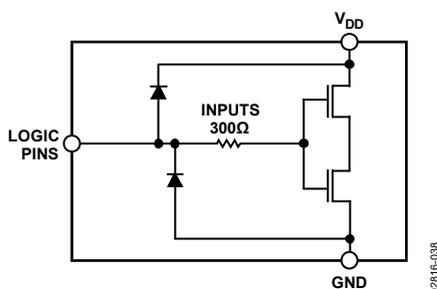


図 39. デジタル入力 ESD 保護の等価回路

ディジーチェーン動作

シリアル・データ出力ピン(SDO)は2つの機能を持っています。ワイパー設定値とEEMEM値を、それぞれ命令10と命令9を使って読出すときに使うことができます。残りの命令(0~8、11~15)は、複数のデバイスをディジーチェーン接続して同時動作させた場合に有効です。ディジーチェーン接続は、最小のポート・ピン数でICの制御を可能にします(図 41参照)。SDOピンにはオープン・ドレインのNチャンネルFETが内蔵されており、この機能を使う場合、プルアップ抵抗が必要です。図 41に示すように、前のパッケージのSDOピンを次のパッケージのSDIピンに接続する必要があります。SDO-SDI 間インターフェースにプルアップ抵抗と容量負荷があると、隣接デバイス間の遅延時間が大きくなるため、クロック周期を長くする必要が生ずることもあります。

2個のAD5235をディジーチェーン接続すると、48ビットのデータが必要になります。先頭の24ビット(4ビット・コマンド、4ビット・アドレス、16ビット・データ)がU2に、同じフォーマットの次の24ビットがU1に、それぞれ出力されます。48ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、 \overline{CS} をロー・レベルに維持しておく必要があります、その後で \overline{CS} をハイ・レベルにして、動作を完了させます。

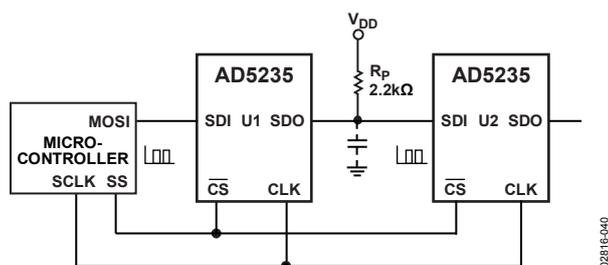


図 41.SDO を使ったディジーチェーン接続

ピン電圧の動作範囲

AD5235の正側 V_{DD} 電源と負側 V_{SS} 電源により、3端子デジタル・ポテンショメータの動作限界が決定されます。 V_{DD} または V_{SS} を超えてピンA、ピンB、ピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図 42参照)。

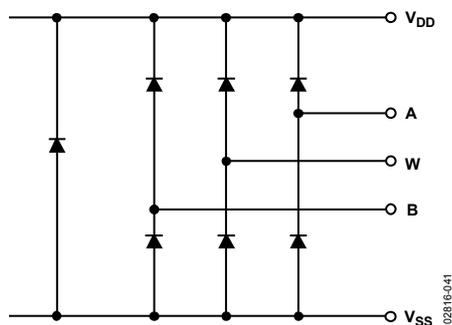


図 42. V_{DD} と V_{SS} により設定される最大ピン電圧

AD5235のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5235のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります(図 43参照)。AD5235に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン(GND)を基準とし、仕様のセクションに規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、3本のピンの同相モード電圧範囲を V_{SS} から V_{DD} へ確実に拡張します。

パワーアップ・シーケンス

ピンA、ピンB、ピンWでの電圧コンプライアンスを制限するダイオードが内蔵されているため(図 42)、ピンA、ピンB、ピンWに電圧を加える前に V_{DD} と V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} と V_{SS} に電源が接続されてしまいます。たとえば、 V_{DD} の前にピンAとピンBの間に5 Vを加えると、 V_{DD} ピンは4.3 Vになります。これによりデバイスが壊れることはありませんが、残りのユーザ・システムの部分に悪影響を与えることがあります。最適なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{SS} 、デジタル入力、 V_A 、 V_B 、 V_W の順序です。電源投入シーケンス V_A 、 V_B 、 V_W 、デジタル入力の順は、 V_{DD} と V_{SS} の投入後であれば、重要ではありません。

パワーアップ・シーケンスと電源のランプ・レートに無関係に、 V_{DD} と V_{SS} の投入時、パワーオン・プリセットが起動し、EEMEMに保存された値をRDACレジスタに転送します。

レイアウトと電源のバイパス

小型で最小リード長によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、 $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ のディスク型またはチップ型セラミック・コンデンサを使ってバイパスしてください。また、小さいESRを持つ $1\mu\text{F}$ ~ $10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑える必要があります(図 43)。

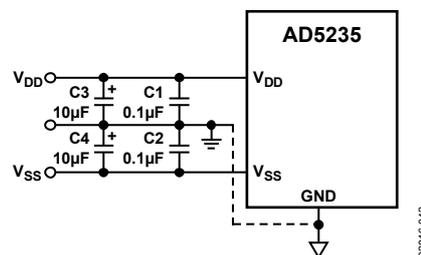


図 43.電源のバイパス

表 6 で、コマンド・ビットはC0～C3、アドレス・ビットはA0～A3、データビットD0～データビットD9 はRDACに使用、D0～D15 はEEMEMに使用。

表 6. 24 ビットのシリアル・データ-ワード

	MSB Command Byte 0								Data Byte 1								Data Byte 0								LSB
RDAC	C3	C2	C1	C0	0	0	0	A0	X	X	X	X	X	X	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
EEMEM	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

コマンド命令コードは表 7 に定めます。

表 7. コマンド動作の真理値表^{1, 2, 3}

Command Number	Command Byte 0								Data Byte 1				Data Byte 0				Operation
	B23				B16				B15	B8		B7	B0				
	C3	C2	C1	C0	A3	A2	A1	A0	X	...	D9	D8	D7	...	D0		
0	0	0	0	0	X	X	X	X	X	...	X	X	X	...	X	NOP. Do nothing. See Figure 19	
1	0	0	0	1	0	0	0	A0	X	...	X	X	X	...	X	Restore EEMEM (A0) contents to RDAC (A0) register. See Figure 16.	
2	0	0	1	0	0	0	0	A0	X	...	X	X	X	...	X	Store wiper setting. Store RDAC (A0) setting to EEMEM (A0). See Figure 15.	
3 ⁴	0	0	1	1	A3	A2	A1	A0	D15	...		D8	D7	...	D0	Store contents of Serial Register Data Byte 0 and Serial Register Data Bytes 1 (total 16 bits) to EEMEM (ADDR). See Figure 18.	
4 ⁵	0	1	0	0	0	0	0	A0	X	...	X	X	X	...	X	Decrement by 6 dB. Right-shift contents of RDAC (A0) register, stop at all 0s.	
5 ⁵	0	1	0	1	X	X	X	X	X	...	X	X	X	...	X	Decrement all by 6 dB. Right-shift contents of all RDAC registers, stop at all 0s.	
6 ⁵	0	1	1	0	0	0	0	A0	X	...	X	X	X	...	X	Decrement contents of RDAC (A0) by 1, stop at all 0s.	
7 ⁵	0	1	1	1	X	X	X	X	X	...	X	X	X	...	X	Decrement contents of all RDAC registers by 1, stop at all 0s.	
8	1	0	0	0	0	0	0	0	X	...	X	X	X	...	X	Reset. Refresh all RDACs with their corresponding EEMEM previously stored values.	
9	1	0	0	1	A3	A2	A1	A0	X	...	X	X	X	...	X	Read contents of EEMEM (ADDR) from SDO output in the next frame. See Figure 19.	
10	1	0	1	0	0	0	0	A0	X	...	X	X	X	...	X	Read RDAC wiper setting from SDO output in the next frame. See Figure 20.	
11	1	0	1	1	0	0	0	A0	X	...	D9	D8	D7	...	D0	Write contents of Serial Register Data Byte 0 and Serial Register Data Byte 1 (total 10 bits) to RDAC (A0). See Figure 14.	
12 ⁵	1	1	0	0	0	0	0	A0	X	...	X	X	X	...	X	Increment by 6 dB: Left-shift contents of RDAC (A0), stop at all 1s. See Figure 17.	
13 ⁵	1	1	0	1	X	X	X	X	X	...	X	X	X	...	X	Increment all by 6 dB. Left-shift contents of all RDAC registers, stop at all 1s.	
14 ⁵	1	1	1	0	0	0	0	A0	X	...	X	X	X	...	X	Increment contents of RDAC (A0) by 1, stop at all 1s. See Figure 15.	
15 ⁵	1	1	1	1	X	X	X	X	X	...	X	X	X	...	X	Increment contents of all RDAC registers by 1, stop at all 1s.	

¹ SDO 出力は、データ・クロックの最後の 24 ビットをシフト出力してディジーチェーン動作のシリアル・レジスタへ入力します。例外: 命令 9 または命令 10 の後ろに続くすべての命令に対して、選択された内部レジスタのデータがデータバイト 0 とデータバイト 1 に出力されます。また、シリアル・レジスタ値を完全にクロックで出力するために、命令 9 と命令 10 に続く命令は 24 ビットのデータ・ワードである必要があります。

² RDAC レジスタは揮発性のスクラッチ・パッド・レジスタであり、パワーオン時に対応する不揮発性 EEMEM レジスタ値でリセットされます。

³ CS ストローブがロジック・ハイ・レベルに戻ったとき、これらの動作が実行されます。

⁴ 命令 3 は、2 データバイト (16 ビット・データ) を EEMEM に書込みます。アドレス 0 とアドレス 1 の場合、最後の 10 ビットのみがワイパー・ポジション設定値として有効です。

⁵ インクリメント命令、デクリメント命令、シフト命令は、シフトレジスタのデータバイト 0 とデータバイト 1 の値を無視します。

高度な制御モード

AD5235デジタル・ポテンショメータは、これらの汎用的な調整デバイスで使用可能な広範囲なアプリケーションに対応できるユーザ・プログラミング機能のセットを内蔵しています。

主要なプログラミング機能としては次の内容が含まれます。

- スクラッチ・パッドへの任意の値の書き込み
- EEMEM レジスタ内のスクラッチ・パッド RDAC レジスタ値の不揮発性メモリ保存
- RDAC ワイパー・レジスタに対するインクリメント命令とデクリメント命令
- ± 6 dB のレベル変化を可能にする RDAC ワイパー・レジスタの左および右ビット・シフト
- 26 バイトのユーザ・アドレス指定可能な追加不揮発性メモリ

連続なインクリメント命令とデクリメント命令

インクリメントおよびデクリメント命令(命令14、命令15、命令6、命令7)は、連続なステップ調整アプリケーションに便利です。これらのコマンドは、デバイスに対してインクリメントまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングを簡単にします。調整は個々のポテンショメータごとに、または両ワイパー・ポジションを同時に変更するポテンショメータ・グループで行うことができます。

インクリメント・コマンドの場合、命令14を実行すると、ワイパーが自動的に次の抵抗セグメント・ポジションに移動します。マスター・インクリメント・コマンドの命令15は、すべての抵抗ワイパーを1ポジション上に移動させます。

対数傾きモードの調整

4種類のプログラミング命令により、ワイパー・ポジション制御の対数傾きインクリメントと対数傾きデクリメントを、個別ポテンショメータごとに、または両ワイパー・ポジションを同時に変更するポテンショメータ・グループごとに行います。6 dB インクリメントは命令12と命令13により、6 dBデクリメントは命令4と命令5により、それぞれ実行されます。たとえば、ピンBに接続されたワイパーから開始して、インクリメント命令(コマンド命令12)を11回実行すると、ワイパーはAD5235 10ビット・ポテンショメータの R_{BA} (ピンB) ポジションの0%から R_{BA} ポジションの100%まで6 dBステップで移動します。ワイパー・ポジションが最大設定値に近づくと、最後の6 dBインクリメント命令でワイパーがフルスケールの1023コード・ポジションに移動します。それ以上6 dBインクリメント命令を実行しても、ワイパー・ポジションはフルスケールを超えることはありません(表 8 参照)。

6 dBステップのインクリメントとデクリメントは、ビットを内部でそれぞれ左および右にシフトすることにより実現されます。次に、一定条件下での非理想的な ± 6 dBステップの調整について説明します。

表 8 に、RDACレジスタ・データビットに対するシフト機能の動作を説明します。各行は、一連のシフト動作を表しています。RDACレジスタ内のデータがゼロになり、さらにデータが左シフトされると、RDACレジスタがコード1に設定されるように、左シフト12命令と左シフト13命令が変更されることに注意してください。同様に、RDACレジスタ内のデータがミッドスケール以上になると、データが左シフトされて、RDACレジスタ内のデータは自動的にフルスケールに設定されます。これにより、左シフト機能は可能な限り理想的な対数調整に近づきます。右シフト4命令と右シフト5命令は、LSB = 0のときのみ理想的です(理想ログ=誤差なし)。LSBが1の場合は、右シフト機能は1/2 LSBの誤差を発生し、図 44に示す対数誤差に依存するビット数に変換されます。図 44 に、AD5235の奇数ビット数の誤差を示します。

表 8.6dB ステップ・インクリメントとデクリメントの詳しい左および右シフト機能

Left-Shift (+6 dB/Step)	Right-Shift(-6 dB/Step)
00 0000 0000	11 1111 1111
00 0000 0001	01 1111 1111
00 0000 0010	00 1111 1111
00 0000 0100	00 0111 1111
00 0000 1000	00 0011 1111
00 0001 0000	00 0001 1111
00 0010 0000	00 0000 1111
00 0100 0000	00 0000 0111
00 1000 0000	00 0000 0011
01 0000 0000	00 0000 0001
10 0000 0000	00 0000 0000
11 1111 1111	00 0000 0000
11 1111 1111	00 0000 0000

RDACレジスタ内のデータ値と、各右シフト4コマンド実行と右シフト5コマンド実行に対するワイパー・ポジションとの間での、対数曲線との実際の対応には、奇数ビット数でのみ誤差が発生します。偶数ビット数では誤差がなく理想的です。図 44 に、AD5235の対数誤差 $[20 \times \log_{10}(\text{誤差}/\text{コード})]$ のプロットを示します。たとえば、コード3の対数誤差 $= 20 \times \log_{10}(0.5/3) = -15.56$ dBであり、これはワースト・ケースになります。対数誤差のプロットは、コードが小さくなると、大きくなります(図 44参照)。

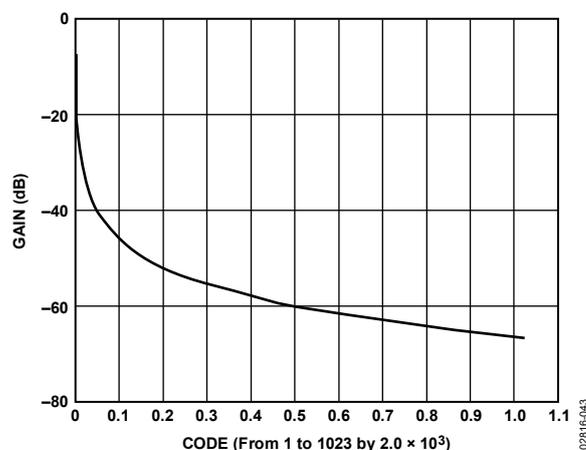


図 44. 奇数ビット数の場合の対数誤差の一致度 (偶数ビット数では誤差なし)

CSの使用による前のコマンドの再実行

AD5235 のもう 1 つの小さな機能として、後続CSストロブで、クロックとデータなしで、前のコマンドを繰り返す機能があります。

内蔵追加不揮発性EEMEMの使い方

AD5235は追加ユーザEEMEMレジスタを内蔵しており、ここにユーザは他の部品のメモリ・データ、ルックアップ・テーブル、システム識別情報などの16ビット・データを保存することができます。表 9 に、機能ブロック図(図 1)でEEMEM1、EEMEM2、26バイトのユーザEEMEM (13アドレス × 2バイト)と表示されている内部メモリ・レジスタのアドレス・マップを示します。

表 9.EEMEM のアドレス・マップ

EEMEM No.	Address	EEMEM Content for ...
1	0000	RDAC1 ¹
2	0001	RDAC2
3	0010	USER1 ²
4	0011	USER2
...
15	1110	USER13
16	1111	R _{AB1} tolerance ³

¹EEMEM ロケーション内に保存された RDAC データは、パワーオン時、または命令 1、8、PR の実行時に、対応する RDAC レジスタに転送されます。

²USERx は内蔵不揮発性 EEMEM レジスタであり、命令 3 と命令 9 を使って定数やその他の 16 ビット情報を、それぞれ保存および読出すことができます。

³読出し専用。

実際の端子間ピン抵抗の計算

抵抗偏差は工場出荷テスト時に EEMEM に保存されます。このため、実際の端子間抵抗を計算することができ、これはキャリブレーション、偏差整合、高精度アプリケーションで役立ちます。この値は読出し専用で、R_{AB2} は R_{AB1} に一致し、typ 値 0.1% です。

抵抗偏差は、EEMEM レジスタ 15 のデータの最後の 16 ビットに格納されています。フォーマットは符号付きバイナリ・フォーマットであり、MSB が符号を表し(0 = 正、1 = 負)、次の上位 7 ビットは整数桁を、下位 8 ビットは小数桁を、それぞれ表します(表 11 参照)。

表 11.端子間ピン抵抗の計算

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Sign								
Mag	Sign	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
7 Bits for Integer Number								

Decimal Point

D7	D6	D5	D4	D3	D2	D1	D0
2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
8 Bits for Decimal Number							

たとえば、R_{AB_RATED} = 250 kΩ、かつ SDO 内のデータが XXXX XXXX 1001 1100 0000 1111 の場合、R_{AB_ACTUAL} は次のように計算されます。

MSB: 1 = 正

次の下位 7 ビット: 001 1100 = 28

下位 8 ビット: 0000 1111 = 15 × 2⁻⁸ = 0.06

% 偏差 = 28.06%

したがって、R_{AB_ACTUAL} = 320.15 kΩ

RDAC構造

特許申請中の RDAC には、ワイパー接続として機能するアナログ・スイッチのアレイが付いた、等しい抵抗セグメントの複数の連鎖が内蔵されています。ポジション数がデバイスの分解能になります。AD5235は1024個の接続ポイントを持ち、0.1%より精度の高い設定可能な分解能を提供します。図 45 に、RDACの3本のピンの間の接続の等価な構造を示します。スイッチSW_AとSW_Bは常にオンで、データビットからデコードされた設定に応じて、スイッチSW(0)~SW(2^N - 1)の内の1つが一度に1回オンします。スイッチは理想的でないため、50 Ωのワイパー抵抗(R_w)を持っています。ワイパー抵抗は、電源電圧と温度の関数です。電源電圧が低くなると、または温度が高くなると、ワイパー抵抗は大きくなります。出力抵抗の正確な予測が必要な場合は、ワイパー抵抗の動作を知る必要があります。

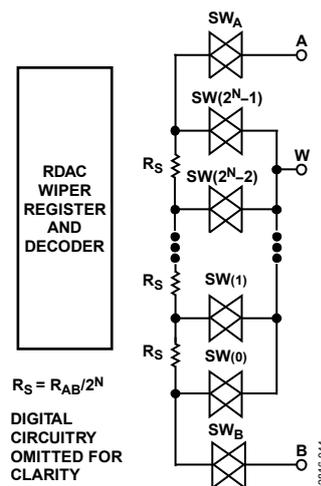


図 45.等価 RDAC 構造

表 10.各セグメントの公称抵抗

Device Resolution	25 kΩ	250 kΩ
1024-Step	24.4	244

可変抵抗のプログラミング

可変抵抗器動作

ピンAとピンBの間のRDACの公称抵抗(R_{AB})は、1024ポジション(10ビット分解能)で25 k Ω と250 k Ω のがあります。製品番号の最後の桁が、公称抵抗値(たとえば、25 k Ω = 24.4 Ω ; 250 k Ω = 244 Ω)を表しています。

RDACラッチ内の10ビット・データ・ワードがデコードされて、1024通りの設定の内の1つを選択します。以下の節では、25 k Ω 製品の種々のコードにおける抵抗 R_{WB} の計算について説明します。ワイパーの最初の接続は、Bピンでのデータ0x000から始まります。ワイパー抵抗があるため $R_{WB}(0)$ は30 Ω です。これは公称抵抗とは無関係です。2番目の接続は最初のタップ・ポイントであり、ここではデータ0x001に対して $R_{WB}(1)$ は24.4 Ω + 30 Ω = 54.4 Ω になります。3番目の接続は次のタップ・ポイントで、データ0x002に対して $R_{WB}(2)$ = 48.8 Ω + 30 Ω = 78.8 Ω となり、以後同様に続きます。LSBデータ値の各増加により、ワイパーは抵抗ラダーを上へ移動し、最後のタップ・ポイント $R_{WB}(1023)$ = 25006 Ω に到達するまで移動します。RDAC回路の簡略化した図については図 45を参照してください。 R_{WB} を使用する場合、Aピンはフローティングにするか、またはワイパーに接続してください。

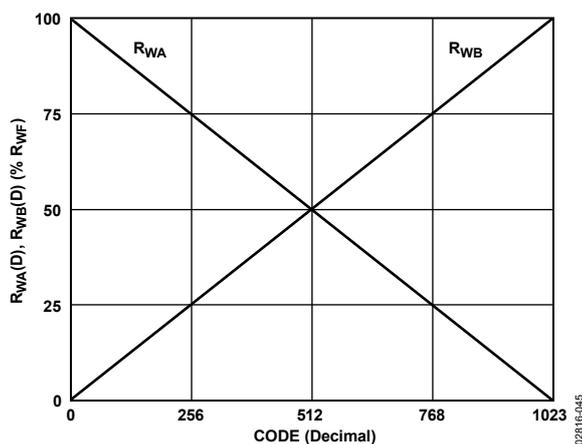


図 46. $R_{WA}(D)$ および $R_{WB}(D)$ 対 10 進数コード

ピンWxとピンBxの間のプログラム出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{1024} \times R_{AB} + R_W \quad (1)$$

ここで、 D は、RDACレジスタにロードされるデータの10進数表示。 R_{AB} はピンAとピンBの間の公称抵抗。

たとえば、表 12の出力抵抗値は与えられたRDACラッチ・コードに対して設定されます(R_{AB} = 25 k Ω のデジタル・ポテンシオメータに適用)。

表 12. 選択されたコードに対する $R_{WB}(D)$ (R_{AB} = 25 k Ω の場合)

D (Dec)	$R_{WB}(D)$ (Ω)	Output State
1023	25,006	Full scale
512	12,530	Midscale
1	54.4	1 LSB
0	30	Zero scale (wiper contact resistor)

ゼロスケール状態では、有限なワイパー抵抗50 Ω があることに注意してください。性能低下または内部スイッチの破壊を防止するため、この状態でのWとBとの間の電流レベルが20 mAを超えないように注意してください。

機械的ポテンシオメータと同様に、RDACの置き換え品であるAD5235は対称構造を持っています。ワイパーWとピンAとの間の抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。図 46に、種々のピン接続の対称的なプログラミングを示します。 R_{WA} を使用する場合、Bピンはフローティングにするか、またはワイパーに接続してください。 R_{WA} 抵抗値に対する設定は、最大値抵抗から開始されて、ラッチにロードされたデータの値が大きくなると、小さくなります。

この動作の一般的な変換式は次のようになります。

$$R_{WA}(D) = \frac{1024 - D}{1024} \times R_{AB} + R_W \quad (2)$$

たとえば、表 13の出力抵抗値は与えられたRDACラッチ・コードに対して設定されます(R_{AB} = 25 k Ω のデジタル・ポテンシオメータに適用)。

表 13. 選択されたコードに対する $R_{WA}(D)$ (R_{AB} = 25 k Ω の場合)

D (Dec)	$R_{WA}(D)$ (Ω)	Output State
1023	54.4	Full scale
512	12,530	Midscale
1	25,006	1 LSB
0	25,030	Zero scale (wiper contact resistance)

R_{AB} のチャンネル間における代表的な分布は、同じパッケージ内で $\pm 0.2\%$ です。デバイス間のマッチングは、プロセス・ロットに依存し、ワーストケースで $\pm 30\%$ 変動しますが、温度による R_{AB} の変化は、温度係数35 ppm/ $^{\circ}\text{C}$ で発生します。

ポテンシオメータ分圧器のプログラミング

電圧出力動作

デジタル・ポテンシオメータは、ピンAとピンBの間に加えた入力電圧に比例した出力電圧をワイパー・ピンから発生するように構成することができます。たとえば、Aピンを5 Vに、Bピンをグラウンドにそれぞれ接続すると、0 Vから開始して5 Vまでの範囲の値を持つワイパーピン出力電圧を発生します。電圧の各LSBは、ピンAとピンBに加えた電圧をポテンシオメータ分圧器のポジション分解能 2^N で除算した値に等しくなります。

AD5235は両電源でも動作するため、ピンAとピンBに与えられた任意の入力電圧に対して、グラウンドを基準とした V_W の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{D}{1024} \times V_{AB} + V_B \quad (3)$$

式3では、 V_W がバッファされていて、ワイパー抵抗の影響は無視できると仮定しています。分圧器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。ここで、出力電圧は絶対値ではなく、内部抵抗間の比に依存するため、ドリフトは15 ppm/°Cに改善されます。ピン電圧(V_{TERM})が $V_{SS} < V_{TERM} < V_{DD}$ である限り、ピンA、ピンB、ピンW間には電圧極性の制約がありません。

プログラミング例

次のプログラミング例では、AD5235の種々の機能に対するイベントの代表的なシーケンスを示します。命令とデータ・ワード・フォーマットについては表7を参照してください。SDIピンとSDOピン上の命令番号、アドレス、データは、16進数を使って表しています。

表 14. スクラッチパッドのプログラミング

SDI	SDO	Action
0xB00100	0XXXXXXXX	Writes Data 0x100 into RDAC1 register, Wiper W1 moves to 1/4 full-scale position.
0xB10200	0xB00100	Loads Data 0x200 into RDAC2 register, Wiper W2 moves to 1/2 full-scale position.

表 15. RDAC をインクリメントして、ワイパー設定を EEMEM へ保存

SDI	SDO	Action
0xB00100	0XXXXXXXX	Writes Data 0x100 into RDAC1 register, Wiper W1 moves to 1/4 full-scale position.
0xE0XXXX	0xB00100	Increments RDAC1 register by one to 0x101.
0xE0XXXX	0xE0XXXX	Increments RDAC1 register by one to 0x102. Continue until desired wiper position is reached.
0x20XXXX	0XXXXXXXX	Stores RDAC2 register data into EEMEM1. Optionally, tie WP to GND to protect EEMEM values.

RDACのEEMEM値は、パワーオン、または \overline{PR} ピンへのパルス入力、または表16に示す2つのコマンドにより、読出すことができます。

表 16. EEMEM 値の RDAC レジスタへの読出し

SDI	SDO	Action
0x10XXXX	0XXXXXXXX	Restores the EEMEM1 value to the RDAC1 register.

表 17.1 ビット左シフトによる 6 dB ステップのインクリメント

SDI	SDO	Action
0xC0XXXX	0XXXXXXXX	Moves Wiper 1 to double the present data contained in the RDAC1 register.
0xC1XXXX	0xC0XXXX	Moves Wiper 2 to double the present data contained in the RDAC2 register.

表 18. ユーザ・データの EEMEM への保存

SDI	SDO	Action
0x32AAAA	0XXXXXXXX	Stores Data 0xAAAA in the extra EEMEM location USER1. (Allowable to address in 13 locations with a maximum of 16 bits of data.)
0x335555	0x32AAAA	Stores Data 0x5555 in the extra EEMEM location USER2. (Allowable to address in 13 locations with a maximum of 16 bits of data.)

表 19. メモリ・ロケーションからのデータのリードバック

SDI	SDO	Action
0x92XXXX	0XXXXXXXX	Prepares data read from USER1 EEMEM location.
0x00XXXX	0x92AAAA	NOP Instruction 0 sends a 24-bit word out of SDO, where the last 16 bits contain the contents in USER1 EEMEM location.

表 20. ワイパー設定のリードバック

SDI	SDO	Action
0xB00200	0XXXXXXXX	Writes RDAC1 to midscale.
0xC0XXXX	0xB00200	Doubles RDAC1 from midscale to full scale.
0xA0XXXX	0xC0XXXX	Prepares reading wiper setting from RDAC1 register.
0XXXXXXXX	0xA003FF	Reads back full-scale value from SDO.

EVAL-AD5235SDZ評価キット

アナログ・デバイセズは、SDPプラットフォームと組み合わせることで、PCから制御できる扱いやすいEVAL-AD5235SDZ評価キットを提供しています。ドライブ・プログラムが含まれているため、プログラミング言語の知識は不要です。

アプリケーション情報

両電源によるバイポーラ動作

AD5235は両電源 ± 2.5 Vで動作できるため、グラウンド基準のAC信号またはバイポーラ動作の制御が可能です。 V_{DD} と V_{SS} までのAC信号を直接ピンAとピンBの間に入力して、ピンWから出力を得ることができます(代表的な回路接続については図47を参照してください)。

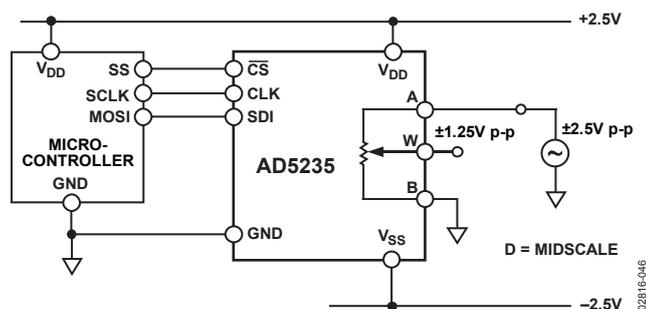


図 47.両電源によるバイポーラ動作

ゲイン制御補償

デジタル・ポテンシオメータは、非反転ゲイン・アンプとして広くゲイン制御で使われています(図48参照)。

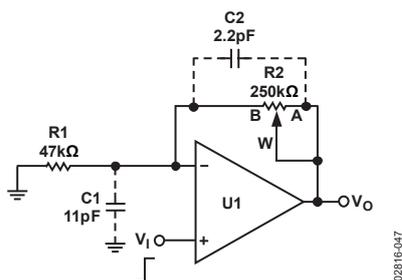


図 48.代表的な非反転ゲイン・アンプ

RDACのBピンの寄生容量がオペアンプの非反転ノードに接続されると、 $1/\beta_0$ の項にゼロ点が導入され20 dB/decとなります。これに対して、代表的なオペアンプのゲイン帯域幅積(GBP)は20 dB/decの特性を持っています。大きなR2と有限のC1により、ゼロ周波数はクロスオーバー周波数より十分低くなる可能性があります。このため、ゲイン勾配は40 dB/decになり、クロスオーバー周波数でのシステム位相マージンは 0° になります。入力に方形波パルスまたはステップ関数を入力した場合、出力にリングングまたは発振が発生します。また、2つのゲイン値の間で切り替えを行うことは、入力にステップを与えることと等価なため、同様にリングングが発生します。

オペアンプのGBPに応じて、帰還抵抗を小さくすると、ゼロ周波数を十分遠くに持って行くことができるためこの問題を克服することができます。しかし、補償コンデンサC2を使用してC1の影響を相殺させる方法の方が優れています。最適補償は $R1 \times C1 = R2 \times C2$ のとき得られます。R2が変化するためこれはオプションではありません。結果として、前述の関係を使い、R2が最大値になるようにC2を調整することができます。R2を小さい値に設定した場合、過補償になり性能が少し犠牲になることがあります。

あるいは、最悪ケースでのリングングまたは発振を防止することができます。クリティカルなアプリケーションに対しては、発振に適するC2値を経験的に探す必要があります。一般に、数pF～数10pFの範囲のC2が補償に適しています。

同様に、WピンとAピンの容量は出力に接続されます(非表示); このノードの影響は大きくないため、多くの場合補償を行わないことができます。

高電圧動作

デジタル・ポテンシオメータはオペアンプの帰還パスまたは入力パスに直接挿入してゲイン制御を行うことができます。ただし、Aピン—Bピン間、Wピン—Aピン間、Wピン—Bピン間の各電圧は $|5$ Vを超えないものとします。高電圧ゲインが必要な場合は、オペアンプ内で固定ゲインを設定し、デジタル・ポテンシオメータに入力調整を制御させます。図49に、簡単な構成を示します。

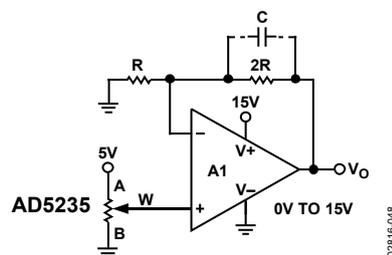


図 49.15 V 電圧スパンの制御

同様に、デジタル・ポテンシオメータがステップ変化する場合、リングングを制動するために補償コンデンサCが必要になります。反転ノードの漂遊容量が大きな帰還抵抗により大きくされた場合、効果が大きくなります。一般に、この問題の解消には、Cは数pFコンデンサで十分です。

DAC

DAC動作(図50)の場合、負荷が R_{WB} よりかなり大きくない限り、デジタル・ポテンシオメータの出力をバッファリングすることが一般的です。バッファはインピーダンス変換として機能し、駆動する負荷を大きくすることができます。

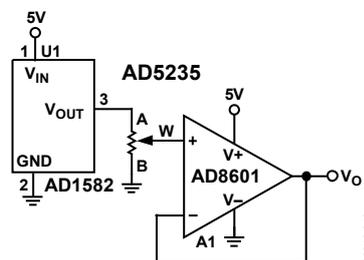


図 50.ユニポーラ 10 ビット DAC

バイポーラ・プログラマブル・ゲイン・アンプ

バイポーラ・ゲインを必要とするアプリケーションの場合の一例を図 51 に示します。デジタル・ポテンショメータ U1 が調整範囲を設定し、U2 の設定に対して、ワイパー電圧 (V_{W2}) を $V_I \sim -KV_I$ の範囲で調整します。OP2177 (A2) を非反転アンプで構成すると、伝達関数は次のようになります。

$$\frac{V_O}{V_I} = \left(1 + \frac{R2}{R1}\right) \times \left(\frac{D2}{1024} \times (1+K) - K\right) \quad (4)$$

ここで、 K は比 R_{WB1}/R_{WA1} で、U1 を使って設定します。

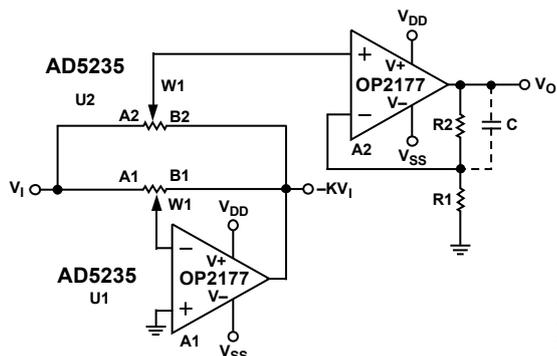


図 51. バイポーラ・プログラマブル・ゲイン・アンプ

簡単な(さらに役立つ)ケースでは、 $K = 1$ であり、 V_O は次のように簡単になります。

$$V_O = \left(1 + \frac{R2}{R1}\right) \left(\frac{2D2}{1024} - 1\right) \times V_I \quad (5)$$

表 21 に、OP2177 (A2) をゲイン=1、ゲイン=2、ゲイン=10 とした場合に D2 を調整した結果を示します。連続的にプログラマブルなゲインと 1024 ステップの分解能を持つバイポーラ・アンプが得られます。

表 21. バイポーラ・ゲイン・アンプの結果

D2	$R1 = \infty, R2 = 0$	$R1 = R2$	$R2 = 9 \times R1$
0	-1	-2	-10
256	-0.5	-1	-5
512	0	0	0
768	0.5	1	5
1023	0.992	1.984	9.92

10 ビット・バイポーラ DAC

図 51 の回路を変更して、高精度リファレンス電圧から入力を取り、U1 をミッドスケールに設定し、AD8552 (A2) をバッファにすると、10 ビットのバイポーラ DAC が得られます(図 52 参照)。従来型の DAC に比べると、この回路は同等の分解能を提供しますが、ワイパー抵抗の影響で精度は劣ります。非直線性と温度係数の性能低下は、調整範囲の下端近くで大きくなります。あるいは、この回路は独自の揮発性メモリ機能を提供するため、ケースによっては低精度の欠点を補うことができます。

ワイパー抵抗を考慮しないと、この回路の出力は次式で近似されます。

$$V_O = \left(\frac{2D2}{1024} - 1\right) \times V_{REF} \quad (6)$$

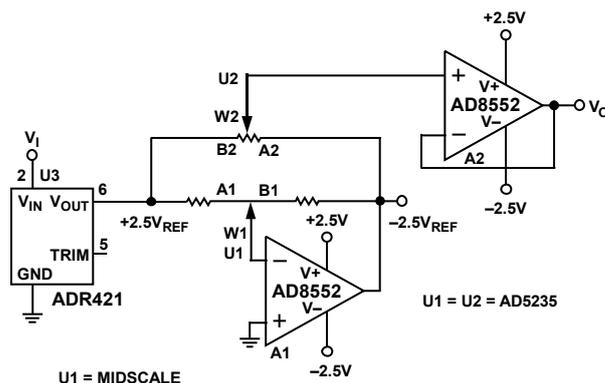


図 52.10 ビット・バイポーラ DAC

出力ブースタ付きのプログラマブルな電圧源

大電流の調整が必要となるレーザ・ダイオード・ドライバまたはチューナブル・レーザのようなアプリケーションの場合、ブースト電圧源の使用を検討することができます(図 53 参照)。

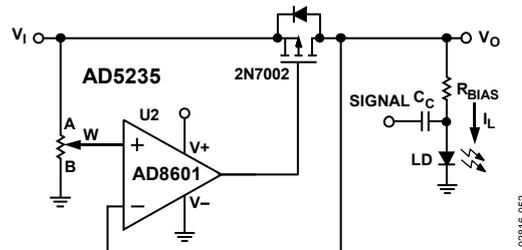


図 53. プログラマブルなブースト型電圧源

この回路では、オペアンプの反転入力が V_O をデジタル・ポテンショメータで設定されたワイパー電圧に等しく維持します。負荷電流は、NチャンネルFETの N_1 を経由して電源から供給されます(図 53 参照)。 N_1 電力処理能力は、 $(V_I - V_O) \times I_L$ の電力消費に十分である必要があります。この回路は 5 V 電源で最大 100 mA を出力することができます。

高精度なアプリケーションに対しては、ADR421、ADR03、ADR370 のような電圧リファレンスを、デジタル・ポテンショメータのピン A に接続することができます。

プログラマブルな電流源

図 54に示す回路を使うと、高精度な電流源を構成することができます。

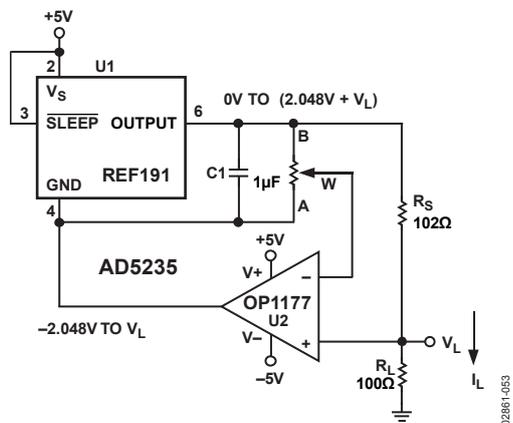


図 54. プログラマブルな電流源

REF191は低電源ヘッドルーム高精度リファレンスで、2.048 Vで 20 mAを供給することができます。負荷電流は、単純にデジタル・ポテンショメータのピンBとピンWの間の電圧を R_S で除算した値に等しくなります。

$$I_L = \frac{V_{REF} \times D}{R_S \times 1024} \quad (7)$$

回路は単純ですが、2つの問題に注意する必要があります。まず、REF191のグラウンド電位は-2.048 V(ポテンショメータ設定のゼロスケール)から V_L (ポテンショメータ設定のフルスケール)まで変化できるため、両電源オペアンプが最適です。回路は単電源でも動作しますが、システムのプログラマブルな分解能は1/2低下します。2つ目は、 V_L での電圧コンプライアンスが2.5 V、すなわち等価負荷125 Ωに制限されることです。高い電圧適合性が必要な場合は、デジタル・ポテンショメータ [AD5260](#)、[AD5280](#)、[AD7376](#)の使用を検討することができます。図 55 に、高電圧に適合する別の回路を示します。

高電力LEDの駆動などで高電流を実現するためには、U1をLDOで置き換え、 R_S を小さくし、デジタル・ポテンショメータのピンAに直列に抵抗を追加します。これにより、ポテンショメータの電流が制限されて、電流調整分解能が向上します。

プログラマブルな双方向性電流源

双方向性電流制御は高電圧コンプライアンスが必要なアプリケーションに対しては、Howland社の電流ポンプが1つのソリューションになります(図 55参照)。抵抗が一致している場合、負荷電流は次式で与えられます。

$$I_L = \frac{R2A + R2B}{R2B} \times V_W \quad (8)$$

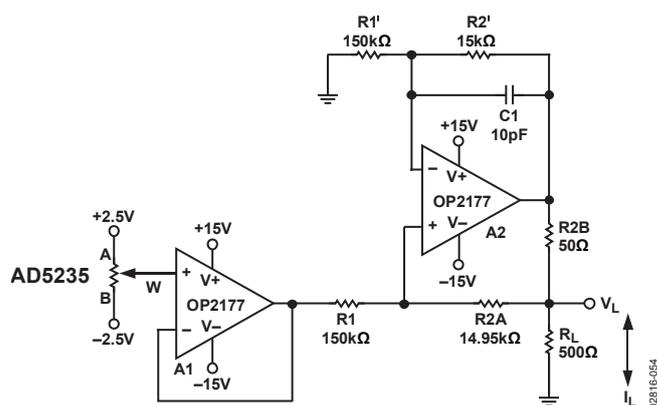


図 55. プログラマブルな双方向性電流源

理論的には $R2B$ を必要なだけ小さくして、A2内部での出力電流駆動能力に必要な電流を得ることができます。この回路で、OP2177は両方向に±5 mAを供給し、電圧コンプライアンスは15 Vに近づきます。C1とC2を追加しないとき、出力インピーダンス(V_L を見込む)は次式で表されます。

$$Z_o = \frac{R1' R2B (R1 + R2A)}{R1 R2' - R1' (R2A + R2B)} \quad (9)$$

抵抗 $R1'$ と $R2'$ がそれぞれ $R1$ と $R2A + R2B$ に正確に一致すると、 Z_o は無限大になり、望ましくなります。一方、抵抗が一致しない場合、 Z_o が負になり、発振することがあります。そのため、数pFの範囲のC1を接続して、負インピーダンスによる発振を防止する必要があります。

プログラマブルなローパス・フィルタ

A/Dコンバータ(ADC)では、サンプリング信号の帯域を制限する折り返し防止フィルタを使用することが一般的です。このため、2チャンネルのAD5235を使って、2次Sallen-Keyローパス・フィルタを構成することができます(図 56 参照)。

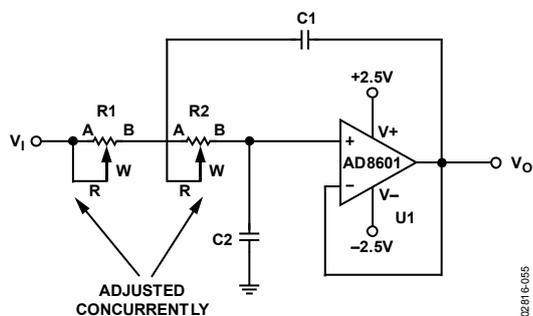


図 56. Sallen-Key ローパス・フィルタ

デザイン式は、

$$\frac{V_o}{V_i} = \frac{\omega_f^2}{S^2 + \frac{\omega_f}{Q}S + \omega_f^2} \quad (10)$$

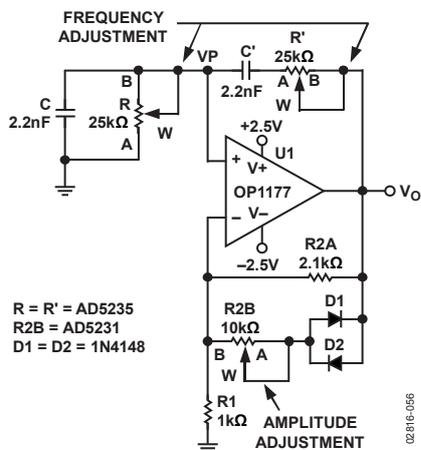
$$\omega_o = \sqrt{\frac{1}{R1 R2 C1 C2}} \quad (11)$$

$$Q = \frac{1}{R1 C1} + \frac{1}{R2 C2}$$

まず、コンデンサに対して便利な値を選択します。Q = 0.707 となる最も平坦な帯域幅を実現するため、C1 のサイズを C2 の 2 倍にして、R1 = R2 とします。R1 と R2 を同じ設定に調整して、所望の帯域幅を実現します。

プログラマブルなオシレータ

古い Wien-bridge型オシレータ(図 57)では、Wien回路(R||C、R'C)が正側帰還を提供し、R1 と R2 が負側帰還を提供しています。



R = R' = AD5235
R2B = AD5231
D1 = D2 = 1N4148

図 57. 振幅制御機能付きのプログラマブルなオシレータ

共振周波数 f_o で、全体位相シフトがゼロになるため、正側帰還により回路が発振します。R = R'、C = C'、R2 = R2A/(R2B+RDIODE)の場合、発振周波数は次式で与えられます。

$$\omega_o = \frac{1}{RC} \text{ or } f_o = \frac{1}{2\pi RC}$$

ここで、R = R_{WA} となり、

$$R_{WA}(D) = \frac{1024-D}{1024} \times R_{AB} + R_W \quad (14)$$

共振周波数では、R2/R1 = 2 に設定すると、ブリッジが平衡します。実用的には、R2/R1 を 2 より少し大きい値に設定して、発振の開始を確実にします。一方、ダイオード D1 と D2 の交互ターンオンにより、R2/R1 < 2 が補償されるため、瞬時に発振が安定化されます。

周波数を設定した後、発振振幅を R2B により調整します。次の関係を使います。

$$\frac{2}{3}V_o = I_D R2B + V_D \quad (15)$$

ここで、V_o、I_D、V_D は相互に依存する変数です。R2B を適切に選択すると、V_o が収束する平衡状態が得られます。R2B をディスプレイ抵抗と直列にして、振幅を大きくすることができますが、合計抵抗は出力が飽和するのであまり大きくすることはできません。

図 56 と 図 57 の回路での周波数チューニングでは、両RDACを同時に同じ設定にする必要があります。2 つのチャンネルは 1 つずつ調整されるため、アプリケーションによっては許容できない中間状態が発生します。もちろん、インクリメント/デクリメント命令(命令 5、命令 7、命令 13、命令 15)は、すべて使用することができます。複数のデバイスを同時に同じ設定にプログラミングできるように、異なるデバイスをディジタリー・モードで使用することもできます。

ADN2841 を使用した光トランスミッタのキャリブレーション

AD5235 をマルチ・レート 2.7 Gbps レーザ・ダイオード・ドライバ **ADN2841** と組み合わせて使用すると、2 個のデジタル・ポテンショメータを使ってレーザの平均光パワーと消光比を設定する光管理システムを構成することができます(図 58 参照)。AD5235 は高分解能、優れた温度係数特性を持つため、特に光パラメータの設定に適しています。

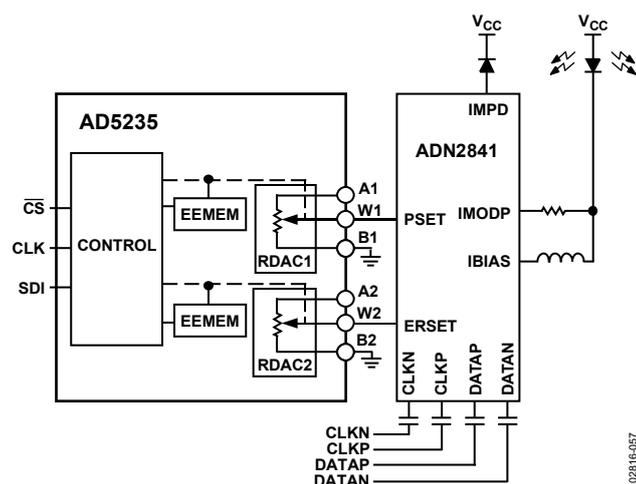


図 58. 光管理システム

ADN2841 は 2.7 Gbps レーザ・ダイオード・ドライバであり、独自の制御アルゴリズムを使って、工場での初期キャリブレーション後のレーザ平均パワーと消光比を管理しています。ADN2841 は、光パワーを連続的にモニタし、温度とレーザの経時性能低下に起因する変動を補正することにより、レーザ・データ伝送を安定化しています。ADN2841 内では、IMPD がレーザ・ダイオード電流をモニタしています。AD5235 のデュアル RDAC でキャリブレーションされたデュアル・ループ・パワーおよび消光比制御を使って、内部ドライバがバイアス電流 IBIAS、したがって平均パワーを制御します。スロープ効率に従って直線的に変調電流を変えることにより、変調電流 IMODP もレギュレーションします。したがって、レーザ・スレッシュールド電流またはスロープ効率の変化が補償されます。光管理システムはレーザ特性の影響を小さくするため、複数のソースからの同等のレーザの供給が可能になります。

抵抗のスケールリング

AD5235 は、25 kΩ または 250 kΩ の公称抵抗を提供します。低い抵抗を持つが調整ステップ数を維持したい場合は、複数のデバイスを並列接続することができます。たとえば、図 59 に 2 チャンネルの RDAC を並列接続する簡単な回路を示します。ステップあたり 1/2 の抵抗値で連続調整するためには、両 RDAC を同時に同じ設定にする必要があります。

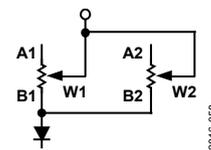


図 59. 連続調整特性を維持したまま抵抗値を 1/2 にする方法

分圧器モードでは、図 60 に示すようにディスクリート抵抗を並列接続することにより、それに比例して低くなる電圧が A ピン—B ピン間に出力されます。ピン W のステップ・サイズが小さくなるため、これにより精度が高くなります。電圧は次のように表されます。

$$V_W(D) = \frac{(R_{AB} // R2)}{R3 + R_{AB} // R2} \times \frac{D}{1024} \times V_{DD} \quad (16)$$

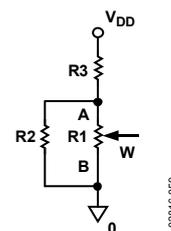


図 60. 公称抵抗値を小さくする方法

図 59 と図 60 に、デジタル・ポテンショメータのステップが直線的に変化することを示します。一方、オーディオ制御のようなアプリケーションでは、疑似対数傾き調整がよく使用されます。図 61 に、抵抗を調整するもう 1 つの方法を示します。この回路では、 R_{AB} に比べて $R2$ が小さいほど、回路の疑似対数傾き特性が強くなります。

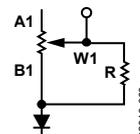


図 61. 疑似対数調整特性による抵抗調整

近似式は、

$$R_{EQUIVALENT} = \frac{D \times R_{AB} + 51,200}{D \times R_{AB} + 51,200 + 1024 \times R} \quad (17)$$

部品偏差値の一致と部品の温度係数の一致も必要なことに注意する必要があります。

抵抗偏差、ドリフト、温度係数の不一致について

ゲイン制御のような可変抵抗器モード動作では、デジタル・ポテンシオメータとディスクリット抵抗との間の偏差の不一致により、種々のシステムの間で再現性の問題が生ずることがあります(図 62)。本来シリコン・プロセスでは一致が得られるので、このタイプのアプリケーションで 2 チャンネル・デバイスを使うことは実用的です。このため、R1 をデジタル・ポテンシオメータの 1 つのチャンネルで置き換えて、特定の値に設定します。R2 はゲイン調整に使うことができます。コストは増えますが、この方法により R1 と R2 の間の偏差と温度係数の不一致が小さくなります。この方法では、時間的な抵抗ドリフトも追跡します。このため、これらの理想的でないパラメータを使用しても、システム変動に対して強くなります。

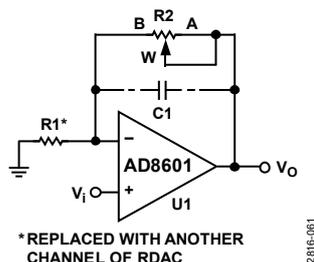


図 62. 抵抗偏差、ドリフト、温度係数に追従するリニア・ゲイン制御

図 63 に示す回路は、特定のアプリケーション内で偏差、温度係数、ドリフトに追従できることに注意してください。ただし、伝達関数特性はリニア・ゲイン関数ではなく疑似対数関数です。

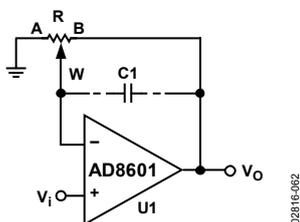


図 63. 抵抗偏差とドリフトに追従するノンリニア・ゲイン制御

RDAC回路のシミュレート・モデル

RDACのAC特性は、内部寄生容量と外部容量負荷により支配されます。ポテンシオメータ分圧器として構成すると、AD5235 (25 kΩ抵抗)の-3 dB帯域幅測定値は、ハーフスケールで125 kHzです。図 17 に、20 kΩと250 kΩの2種類の抵抗バージョンの大信号周波数特性を示します。図 64に寄生シミュレーション・モデルを示します。

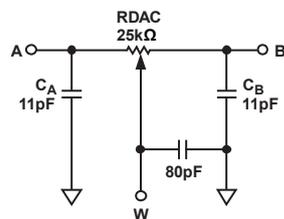


図 64. RDAC 回路のシミュレーション・モデル(RDAC = 25 kΩ)

25 kΩ RDAC のマクロ・モデル・ネットリストを次に示します。

```
.PARAM D = 1024, RDAC = 25E3
*
.SUBCKT DPOT (A, W, B)
*
CA  A  0  11E-12
RWA A  W  {(1-D/1024)* RDAC + 30}
CW  W  0  80E-12
RWB W  B  {D/1024 * RDAC + 30}
CB  B  0  11E-12
*
.ENDS DPOT
```

外形寸法

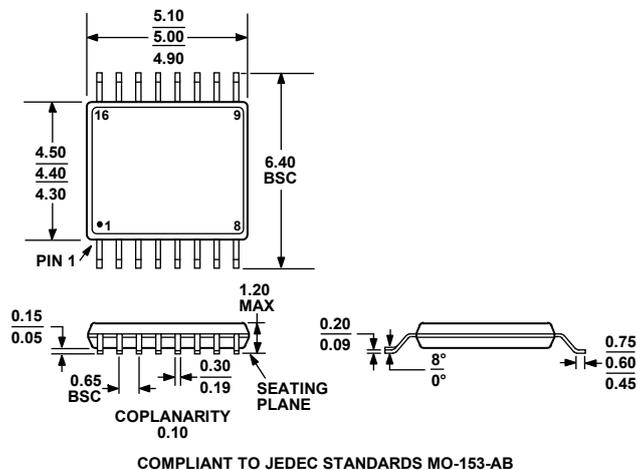


図 65.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model ¹	R _{AB} (kΩ)	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding ²
AD5235BRUZ25	25	-40°C to +85°C	16-Lead TSSOP	RU-16	96	5235B25
AD5235BRUZ25-RL7	25	-40°C to +85°C	16-Lead TSSOP	RU-16	1,000	5235B25
AD5235BRUZ250	250	-40°C to +85°C	16-Lead TSSOP	RU-16	96	5235B250
AD5235BRUZ250-R7	250	-40°C to +85°C	16-Lead TSSOP	RU-16	1,000	5235B250
EVAL-AD5235SDZ			Evaluation Board		1	

¹ Z = RoHS 準拠製品。

² 1 行目は ADI ロゴ記号とデート・コード YYWW。2 行目は モデル番号と端子間抵抗値 (注: D = 250 kΩ)。
—または—

1 行目はモデル番号。2 行目は ADI ロゴ記号と端子間抵抗値。3 行目はデート・コード YYWW。