

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2015年1月8日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2015年1月8日

製品名：AD5270/AD5271

対象となるデータシートのリビジョン(Rev)：

英語版 Rev.F (03/2013)および日本語版 Rev E, 12/2010

訂正箇所：

以下の箇所に記載されている Table 13 は正しくは Table15 です。

18 ページ、50-TP MEMORY BLOCK の章、3 行目及び 8 行目

50-TP MEMORY BLOCK

The AD5270/AD5271 contain an array of 50-TP programmable memory registers, which allow the wiper position to be programmed up to 50 times. **Table 13** shows the memory map. When the desired wiper position is determined, the user can load the serial data input register with Command 3 (see Table 11) which stores the wiper position data in a 50-TP memory register. The first address to be programmed is Location 0x01 (see **Table 13**); the AD5270/AD5271 increments the 50-TP memory address for each subsequent program until the memory is full. Programming data to 50-TP consumes approximately 4 mA for 55 ms, and takes approximately 350 ms to complete,

19 ページ、RDAC AND 50-TP READ OPERATION の章、10 行目

RDAC AND 50-TP READ OPERATION

A serial data output SDO pin is available for readback of the internal RDAC register or 50-TP memory contents. The contents of the RDAC register can be read back through SDO by using Command 2 (see Table 11). Data from the RDAC register is clocked out of the SDO pin during the last 10 clocks of the next SPI operation.

It is possible to read back the contents of any of the 50-TP memory registers through SDO by using Command 5. The lower six LSB bits, D0 to D5 of the data byte, select which memory location is to be read back, as shown in **Table 13**.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹
芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大
阪 MT ビル 2 号
電話 06 (6350) 6868

20 ページ、Table 12. Write and Read to RDAC and 50-TP Memory の表中、8 行目

Table 12. Write and Read to RDAC and 50-TP Memory

DIN	SDO ¹	Action
0x1C03	0xFFFF	Enable update of the wiper position and the 50-TP memory contents through the RDAC register.
0x0500	0x1C03	Write 0x100 to the RDAC register; wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepares data read from RDAC register.
0x0C00	0x100	Stores RDAC register content into the 50-TP memory. A 16-bit word appears in the 50-TP memory, which contains the contents of the RDAC register (0x100).
0x1800	0x0C00	Prepares data read of last programmed 50-TP memory monitor location.
0x0000	0xXX19	NOP Instruction 0 sends a 16-bit word out of SDO, where the <u>six LSBs</u> (last six bits) of the programmed 50-TP memory location, for example, 0x19 (see Table 13).

以上

AD5270/AD5271

特長

- 1チャンネル、1024/256ポジション分解能
- 公称抵抗: 20 kΩ、50 kΩ、100 kΩ
- 公称抵抗偏差: 最大 ±1%
- 50回書込み可能な(50-TP)ワイパー・メモリ
- 可変抵抗器モードの温度係数: 5 ppm/°C
- 単電源動作: 2.7 V~5.5 V
- ACまたはバイポーラ動作向けの±2.5 V~±2.75 Vの両電源動作
- SPI互換インターフェースを内蔵
- ワイパー設定値のリードバックが可能
- パワーオン時に50-TPメモリからリフレッシュ
- 10ピンの3 mm × 3 mm × 0.8 mm 薄型 LFCSP パッケージ
- 10ピンの3 mm × 4.9 mm × 1.1 mm 小型 MSOP パッケージ

アプリケーション

- 機械式可変抵抗の置き換え
- オペアンプ: 可変ゲイン制御
- 計装: ゲイン、オフセットの調整
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- センサー・キャリブレーション

概要

AD5270/AD5271¹は、不揮発性メモリ(NVM)を採用した業界をリードする可変抵抗性能と小型パッケージを組み合わせた1チャンネル1024/256ポジションのデジタル可変抵抗器です。

AD5270/AD5271では、1%以下のピン間抵抗偏差を保証し、50回書込み可能なメモリ(50-TP)を提供しています。

業界をリードする保証された低抵抗偏差により、オープン・ループ・アプリケーション、高精度キャリブレーション、偏差一致アプリケーションが簡素化されます。

¹米国特許 7688240 により保護されています。

機能ブロック図

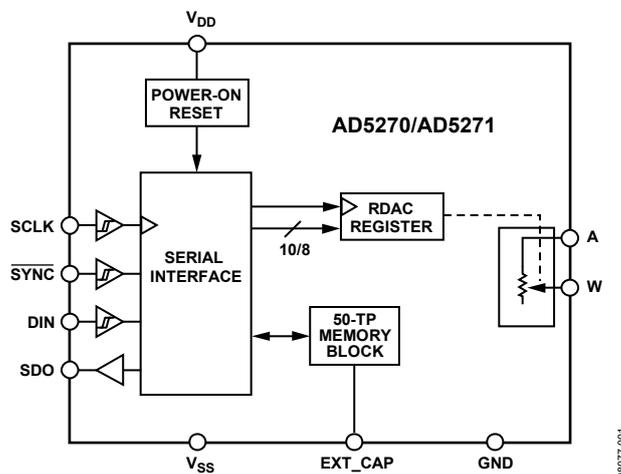


図 1.

AD5270/AD5271 デバイスのワイパー設定は、SPI デジタル・インターフェースを介して制御することができます。抵抗値を50-TPメモリに書込む前には、無制限回数の調整が可能です。AD5270/AD5271では、ヒューズを焼き切るための外付け電源電圧が不要で、50回まで書込むことができます。50-TPの動作時に、ヒューズの焼き切りコマンドにより、抵抗ポジションを固定します(機械式可変抵抗器をエポキシ樹脂で固定するのに対応します)。

AD5270/AD5271は、3 mm × 3 mm の10ピン LFCSP パッケージまたは10ピン MSOP パッケージを採用しています。これらのデバイスの動作は、工業用拡張温度範囲-40°C~+125°Cで保証しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009–2010 Analog Devices, Inc. All rights reserved.

目次

特長	1	シフトレジスタ	18
アプリケーション	1	RDACレジスタ	18
機能ブロック図	1	50-TPメモリ・ブロック	18
概要	1	書込み保護機能	18
改訂履歴	2	RDACと50-TPの読出し動作	19
仕様	3	シャットダウン・モード	20
電気的特性—AD5270	3	抵抗性能モード	20
電気的特性—AD5271	5	リセット	20
インターフェース・タイミング仕様	7	SDOピンとディジーチェーン動作	21
絶対最大定格	9	RDACアーキテクチャ	21
熱抵抗	9	可変抵抗のプログラミング	22
ESDの注意	9	EXT_CAPコンデンサ	22
ピン配置およびピン機能説明	10	ピン電圧の動作範囲	22
代表的な性能特性	11	パワーアップ・シーケンス	22
テスト回路	17	外形寸法	23
動作原理	18	オーダー・ガイド	24
シリアル・データ・インターフェース	18		

改訂履歴

12/10—Rev. D to Rev. E

Changes to SDO Pin Description	10
Changes to SDO Pin and Daisy-Chain Operation Section	21

11/10—Rev. C to Rev. D

Changes to Figure 25	14
----------------------	----

9/10—Rev. B to Rev. C

Changes to Figure 3 Caption	7
Changes to Figure 4 Caption	8
Deleted Daisy-Chain Operation Section, Added SDO Pin and Daisy-Chain Operation Section	21

5/10—Rev. A to Rev. B

Added LFCSP Throughout	1
Changed OTP to 50-TP Throughout	1
Changes to Product Title, Features, and General Description	1

Changes to Table 1	3
Added Table 3; Renumbered Sequentially	4
Changes to Table 4	5
Added Table 6	6
Changes to Table 8 and Table 9	9
Added Figure 6 and changes to Table 10	10
Replaced Typical Performance Characteristics Section	11
Changes to Figure 44	21
Updated Outline Dimensions	23
Changes to Ordering Guide	24

3/10—Rev. 0 to Rev. A

Changes to Product Title and General Description	1
Changes to Theory of Operation Section	14

10/09—Revision 0: Initial Version

仕様

電気的特性—AD5270

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.5\text{ V} \sim -2.75\text{ V}$ ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution			10			Bits
Resistor Integral Nonlinearity ^{2,3}	R-INL	$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 3.0\text{ V to } 5.5\text{ V}$	-1		+1	LSB
		$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 2.7\text{ V to } 3.0\text{ V}$	-1		+1.5	LSB
		$R_{AW} = 50\text{ k}\Omega$, $100\text{ k}\Omega$	-1		+1	LSB
Resistor Differential Nonlinearity ²	R-DNL		-1		+1	LSB
Nominal Resistor Tolerance						
R-Perf Mode ⁴		See Table 2 and Table 3	-1	± 0.5	+1	%
Normal Mode				± 15		%
Resistance Temperature Coefficient ^{5,6}		Code = full scale		5		ppm/ $^\circ\text{C}$
Wiper Resistance		Code = zero scale		35	70	Ω
RESISTOR TERMINALS						
Terminal Voltage Range ^{5,7}			V_{SS}		V_{DD}	V
Capacitance ⁵ A		$f = 1\text{ MHz}$, measured to GND, code = half scale		90		pF
Capacitance ⁵ W		$f = 1\text{ MHz}$, measured to GND, code = half scale		40		pF
Common-Mode Leakage Current ⁵		$V_A = V_W$			50	nA
DIGITAL INPUTS						
Input Logic ⁵						
High	V_{INH}		2.0			V
Low	V_{INL}				0.8	V
Input Current	I_{IN}			± 1		μA
Input Capacitance ⁵	C_{IN}			5		pF
DIGITAL OUTPUT						
Output Voltage ⁵						
High	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Low	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD} $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V to } 2.75\text{ V}$, $V_{SS} = -2.5\text{ V to } -2.75\text{ V}$			0.4 0.6	V V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁵				5		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range			± 2.5		± 2.75	V
Supply Current						
Positive	I_{DD}				1	μA
Negative	I_{SS}		-1			μA
50-TP Store Current ^{5,8}						
Positive	$I_{DD_OTP_STORE}$			4		mA
Negative	$I_{SS_OTP_STORE}$			-4		mA
OTP Read Current ^{5,9}						
Positive	$I_{DD_OTP_READ}$				500	μA
Negative	$I_{SS_OTP_READ}$		-500			μA

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
Power Dissipation ¹⁰		$V_{IH} = V_{DD}$ or $V_{IL} = GND$			5.5	μW
Power Supply Rejection Ratio ⁵	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5 V \pm 10\%$ $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		-66 -75 -78	-55 -67 -70	dB
DYNAMIC CHARACTERISTICS ^{5, 11}						
Bandwidth		-3 dB, $R_{AW} = 10 k\Omega$, Terminal W, see Figure 42 $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		300 120 60		kHz
Total Harmonic Distortion		$V_A = 1 V$ rms, $f = 1 kHz$, code = half scale $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		-90 -88 -85		dB
Resistor Noise Density		Code = half scale, $T_A = 25^\circ C$ $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		50 25 32		nV/ \sqrt{Hz}

¹ Typ 値は、25°C および $V_{DD} = 5 V$ 、 $V_{SS} = 0 V$ での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。

³ 各コード内の最大電流は、 $I_{AW} = (V_{DD} - 1)/R_{AW}$ により決定されます。

⁴ 用語抵抗性能モードと R 性能モードは同じ意味で使用しています。抵抗性能モードのセクションを参照してください。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ 詳細については、図 25 を参照。

⁷ 抵抗ピン A と抵抗ピン W の極性は相互に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁸ 動作電流とは異なり、ヒューズ書込みの電源電流は約 55 ms 継続します。

⁹ 動作電流とは異なり、ヒューズ読出しの電源電流は約 500 ns 継続します。

¹⁰ P_{DISS} は $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ で計算されます。

¹¹ すべてのダイナミック特性では、 $V_{DD} = +2.5 V$ 、 $V_{SS} = -2.5 V$ を使用します。

表 2.AD5270—20 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance Per Code	$ V_{DD} - V_{SS} = 4.5 V$ to 5.5 V	$ V_{DD} - V_{SS} = 2.7 V$ to 4.5 V
R-TOLERANCE		
1% R-Tolerance	From 0x078 to 0x3FF	From 0x0BE to 0x3FF
2% R-Tolerance	From 0x037 to 0x3FF	From 0x055 to 0x3FF
3% R-Tolerance	From 0x028 to 0x3FF	From 0x037 to 0x3FF

表 3.AD5270—50 k Ω と 100 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance Per Code	$R_{AW} = 50 k\Omega$	$R_{AW} = 100 k\Omega$
R-TOLERANCE		
1% R-Tolerance	From 0x078 to 0x3FF	From 0x04B to 0x3FF
2% R-Tolerance	From 0x055 to 0x3FF	From 0x032 to 0x3FF
3% R-Tolerance	From 0x032 to 0x3FF	From 0x019 to 0x3FF

電気的特性—AD5271

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.5\text{ V} \sim -2.75\text{ V}$ ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution			8			Bits
Resistor Integral Nonlinearity ^{2,3}	R-INL		-1		+1	LSB
Resistor Differential Nonlinearity ²	R-DNL		-1		+1	LSB
Nominal Resistor Tolerance						
R-Perf Mode ⁴		See Table 5 and Table 6	-1	±0.5	+1	%
Normal Mode				±15		%
Resistance Temperature Coefficient ^{5,6}		Code = full scale		5		ppm/°C
Wiper Resistance		Code = zero scale		35	70	Ω
RESISTOR TERMINALS						
Terminal Voltage Range ^{5,7}			V_{SS}		V_{DD}	V
Capacitance ^{5 A}		f = 1 MHz, measured to GND, code = half scale		90		pF
Capacitance ^{5 W}		f = 1 MHz, measured to GND, code = half scale		40		pF
Common-Mode Leakage Current ⁵		$V_A = V_W$			50	nA
DIGITAL INPUTS						
Input Logic ⁵						
High	V_{INH}		2.0			V
Low ⁵	V_{INL}				0.8	V
Input Current	I_{IN}			±1		μA
Input Capacitance ⁵	C_{IN}			5		pF
DIGITAL OUTPUT						
Output Voltage ⁵						
High	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Low	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD} $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V to } 2.75\text{ V}$, $V_{SS} = -2.5\text{ V to } -2.75\text{ V}$			0.4	V
					0.6	V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁵				5		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range			±2.5		±2.75	V
Supply Current						
Positive	I_{DD}				1	μA
Negative	I_{SS}		-1			μA
50-TP Store Current ^{5,8}						
Positive	$I_{DD_OTP_STORE}$			4		mA
Negative	$I_{SS_OTP_STORE}$			-4		mA
OTP Read Current ^{5,9}						
Positive	$I_{DD_OTP_READ}$				500	μA
Negative	$I_{SS_OTP_READ}$		-500			μA
Power Dissipation ¹⁰		$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$			5.5	μW
Power Supply Rejection Ratio ⁵	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5\text{ V} \pm 10\%$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-66	-55	dB
				-75	-67	
				-78	-70	

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{5, 11}						
Bandwidth		-3 dB, $R_{AW} = 10\text{ k}\Omega$, Terminal W, see Figure 42 $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		300 120 60		kHz
Total Harmonic Distortion		$V_A = 1\text{ V rms}$, $f = 1\text{ kHz}$, code = half scale $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-90 -88 -85		dB
Resistor Noise Density		Code = half scale, $T_A = 25^\circ\text{C}$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		50 25 32		nV/ $\sqrt{\text{Hz}}$

¹ Typ 値は、 25°C および $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。

³ 各コード内の最大電流は、 $I_{AW} = (V_{DD} - 1)/R_{AW}$ により決定されます。

⁴ 用語抵抗性能モードと R 性能モードは同じ意味で使用しています。抵抗性能モードのセクションを参照してください。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ 詳細については、図 25 を参照してください。

⁷ 抵抗ピン A と抵抗ピン W の極性は相互に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁸ 動作電流とは異なり、ヒューズ書込みの電源電流は約 55 ms 継続します。

⁹ 動作電流とは異なり、ヒューズ読出しの電源電流は約 500 ns 継続します。

¹⁰ P_{DISS} は $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ で計算されます。

¹¹ すべてのダイナミック特性では、 $V_{DD} = +2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$ を使用します。

表 5.AD5271—20 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance per Code	$ V_{DD} - V_{SS} = 4.5\text{ V to }5.5\text{ V}$	$ V_{DD} - V_{SS} = 2.7\text{ V to }4.5\text{ V}$
R-TOLERANCE		
1% R-Tolerance	From 0x1E to 0xFF	From 0x32 to 0xFF
2% R-Tolerance	From 0x0F to 0xFF	From 0x19 to 0xFF
3% R-Tolerance	From 0x06 to 0xFF	From 0x0E to 0xFF

表 6.AD5271—50 k Ω と 100 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance per Code	$R_{AW} = 50\text{ k}\Omega$	$R_{AW} = 100\text{ k}\Omega$
R-TOLERANCE		
1% R-Tolerance	From 0x1E to 0xFF	From 0x14 to 0xFF
2% R-Tolerance	From 0x14 to 0xFF	From 0x0F to 0xFF
3% R-Tolerance	From 0x0A to 0xFF	From 0x0A to 0xFF

インターフェース・タイミング仕様

特に指定がない限り、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$; $V_{DD} = 2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 7.

Parameter	Limit ¹	Unit	Test Conditions/Comments
t_1^2	20	ns min	SCLK cycle time
t_2	10	ns min	SCLK high time
t_3	10	ns min	SCLK low time
t_4	15	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t_5	5	ns min	Data setup time
t_6	5	ns min	Data hold time
t_7	1	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
$t_8^{3,4}$	500	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_9	15	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK fall ignored
t_{10}^5	450	ns max	SCLK rising edge to SDO valid
$t_{RDAC_R_PERF}$	2	μs max	RDAC register write command execute time
t_{RDAC_NORMAL}	600	ns max	RDAC register write command execute time
t_{MEMORY_READ}	6	μs max	Memory readback execute time
$t_{MEMORY_PROGRAM}$	350	ms max	Memory program time
t_{RESET}	0.6	ms max	Reset 50-TP restore time
$t_{POWER-UP}^6$	2	ms max	Power-on 50-TP restore time

¹ すべての入力信号は $t_r = t_f = 1\text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² SCLK の最大周波数は 50 MHz。

³ RDAC レジスタ書き込み動作については、 $t_{RDAC_R_PERF}$ と t_{RDAC_NORMAL} を参照してください。

⁴ メモリ・コマンド動作については、 t_{MEMORY_READ} と $t_{MEMORY_PROGRAM}$ を参照してください。

⁵ $R_{PULL_UP} = 2.2\text{ k}\Omega$ (V_{DD} へ接続)、容量負荷 = 168 pF。

⁶ $V_{DD} - V_{SS}$ が 2.5 V に等しくなった後の最大時間。

シフトレジスタとタイミング図

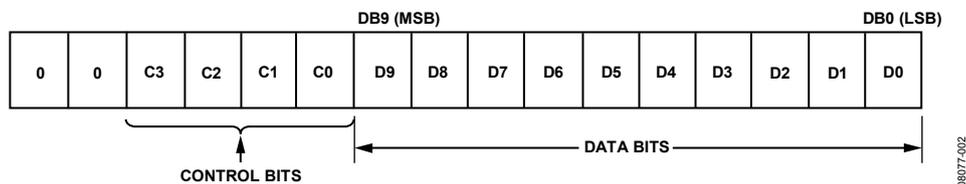


図 2. シフトレジスタの値

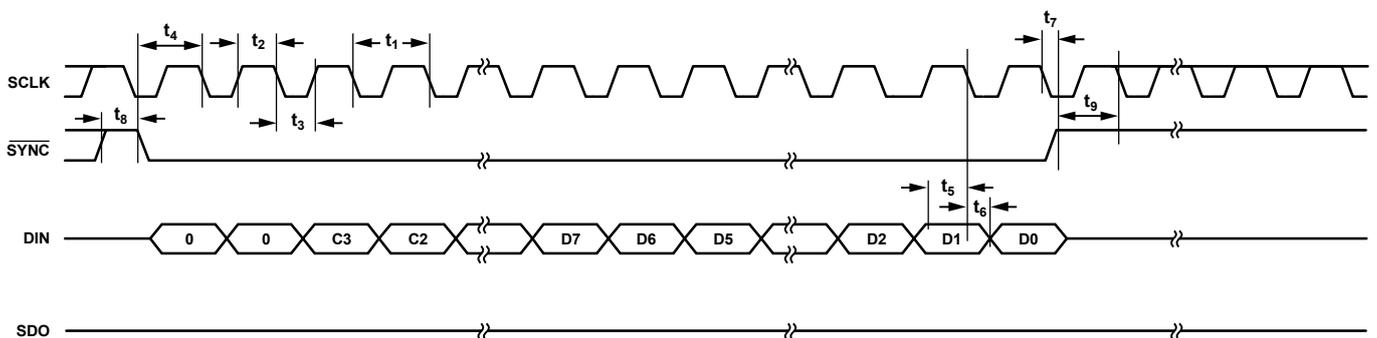


図 3. 書き込みタイミング図 (CPOL = 0、CPHA = 1)

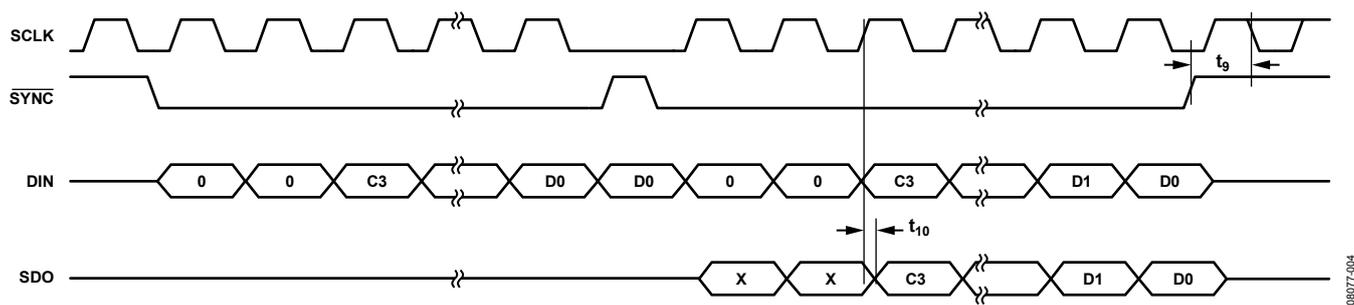


図 4. 読出しタイミング図 (CPOL = 0、CPHA = 1)

08077-004

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 8.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7.0 V
V_{SS} to GND	+0.3 V to -7.0 V
V_{DD} to V_{SS}	7 V
V_A , V_W to GND	$V_{SS} - 0.3\text{ V}$, $V_{DD} + 0.3\text{ V}$
Digital Input and Output Voltage to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
EXT_CAP to V_{SS}	7 V
I_A , I_W	
Continuous	
$R_{AW} = 20\text{ k}\Omega$	$\pm 3\text{ mA}$
$R_{AW} = 50\text{ k}\Omega$, $100\text{ k}\Omega$	$\pm 2\text{ mA}$
Pulsed ¹	
Frequency > 10 kHz	$\pm MCC^2/d^3$
Frequency $\leq 10\text{ kHz}$	$\pm MCC^2/\sqrt{d^3}$
Operating Temperature Range ⁴	-40°C to +125°C
Maximum Junction Temperature (T_J Maximum)	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹ 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

² 最大連続電流。

³ パルス・デューティ係数。

⁴ 50-TPメモリの書込みを含みます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC 仕様 JESD-51 により定義され、値はテスト・ボードとテスト環境に依存します。

表 9.熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
10-Lead LFCSP	50	3	°C/W
10-Lead MSOP	135	N/A	°C/W

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

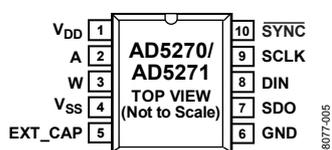


図 5.MSOP ピン配置

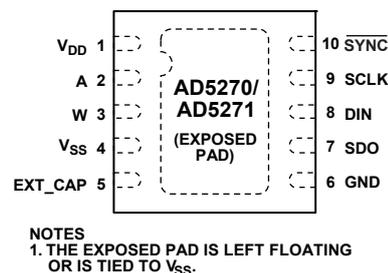


図 6.LFCSP のピン配置

表 10.ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
2	A	RDAC の A ピン $V_{SS} \leq V_A \leq V_{DD0}$
3	W	RDAC のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD0}$
4	V _{SS}	負電源。単電源アプリケーションで 0 V へ接続してください。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
5	EXT_CAP	外付けコンデンサ。1 μF のコンデンサを EXT_CAP と V _{SS} の間に接続します。このコンデンサの定格電圧は 7 V 以上である必要があります。
6	GND	グラウンド・ピン、ロジック・グラウンド基準。
7	SDO	シリアル・データ出力。このピンは、ディジーチェーン・モードまたはリードバック・モードでシフトレジスタからのデータを出力するときに使用できます。このオープン・ドレイン出力には、このピンを使用しない場合でも外付けプルアップ抵抗が必要です。
8	DIN	シリアル・データライン。このピンは、16 ビット入力レジスタにデータを入出力する SCLK ラインと組み合わせて使います。
9	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
10	$\overline{\text{SYNC}}$	立下がりエッジ同期信号。これは、入力データに対するフレーム同期信号です。 $\overline{\text{SYNC}}$ がロー・レベルになると、シフトレジスタがイネーブルされ、データは後続のクロックの立下がりエッジで入力されます。選択されたレジスタは、16 個目のクロック・サイクルの後ろの $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。16 個目のクロック・サイクルの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、 $\overline{\text{SYNC}}$ の立上がりエッジは割込みとして機能するため、RDAC は書込みシーケンスを無視します。
EPAD	エクスポーズド・パッド	フローティングのままにするか、V _{SS} へ接続してください。

代表的な性能特性

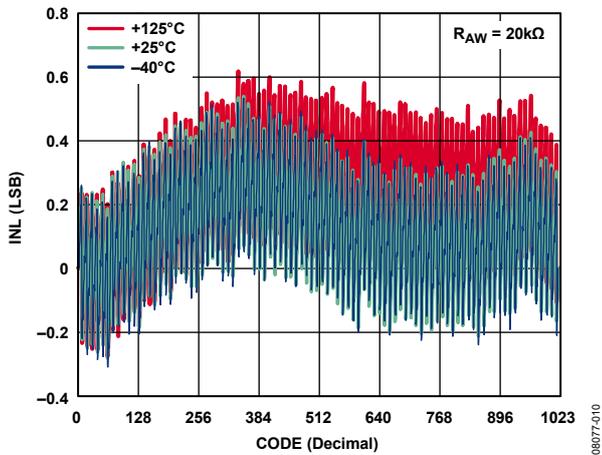


図 7.R 性能モードでの R-INL 対コード対温度 (AD5270)

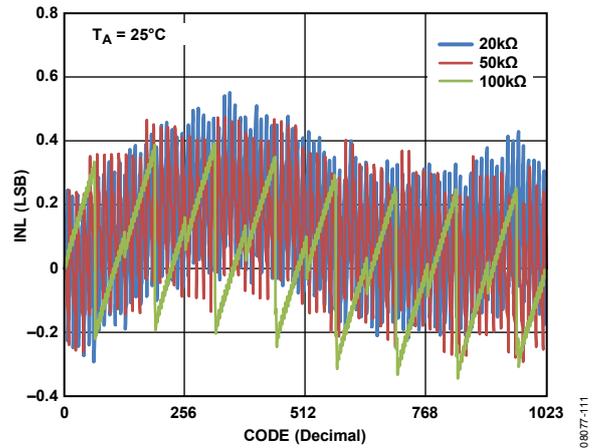


図 10.R 性能モードでの R-INL 対コード対公称抵抗 (AD5270)

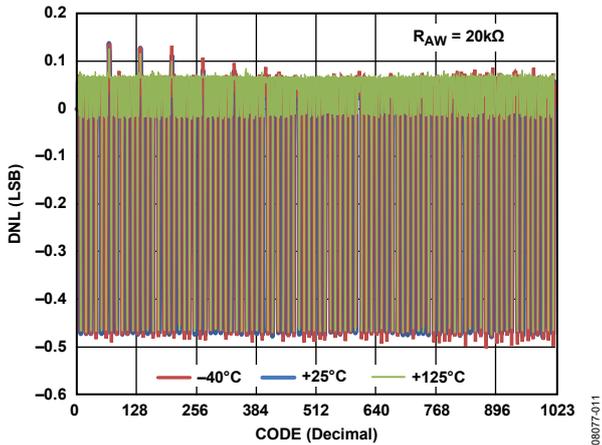


図 8.R 性能モードでの R-DNL 対コード対温度 (AD5270)

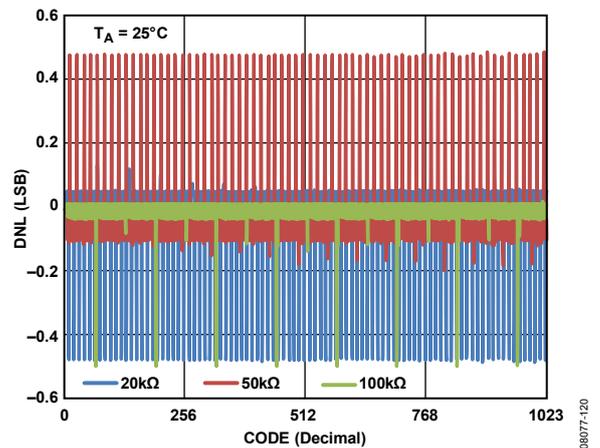


図 11.R 性能モードでの R-DNL 対コード対公称抵抗 (AD5270)

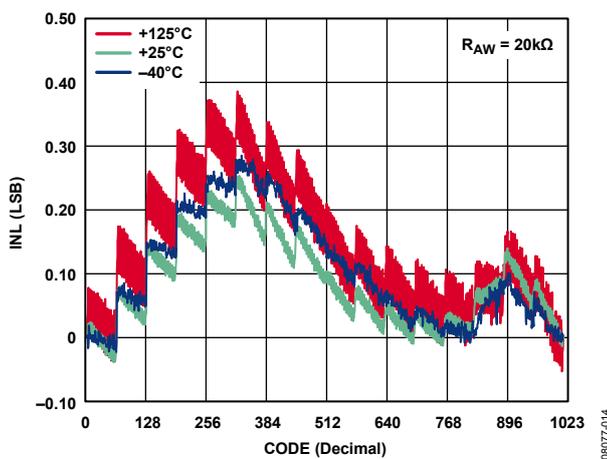


図 9.ノーマル・モードでの R-INL 対コード対温度 (AD5270)

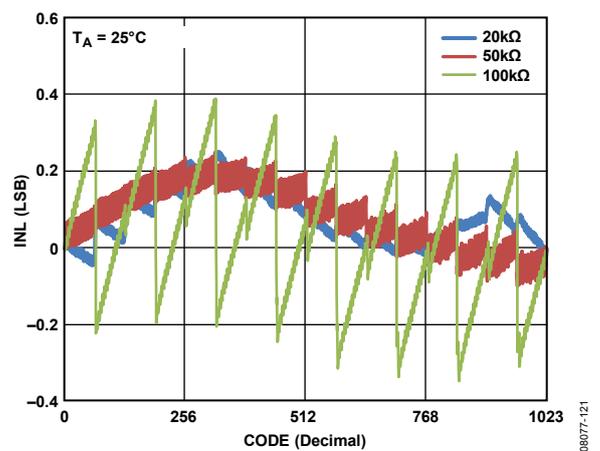


図 12.ノーマル・モードでの R-INL 対コード対公称抵抗 (AD5270)

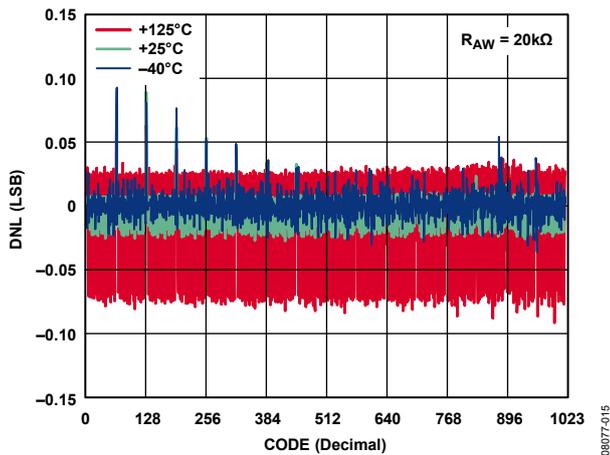


図 13. ノーマル・モードでの R-DNL 対コード対温度 (AD5270)

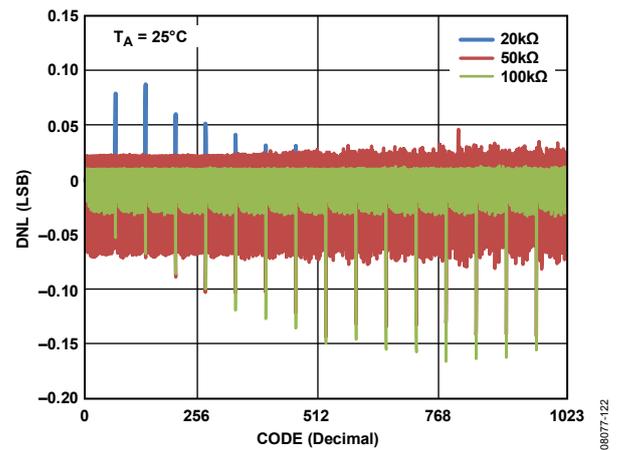


図 16. ノーマル・モードでの R-DNL 対コード対公称抵抗 (AD5270)

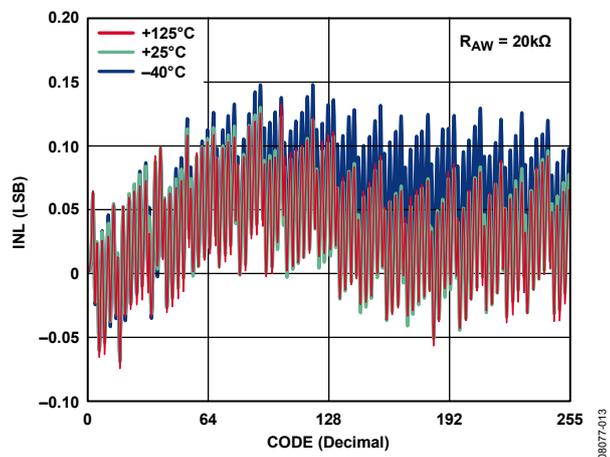


図 14. R 性能モードでの R-INL 対コード対温度 (AD5271)

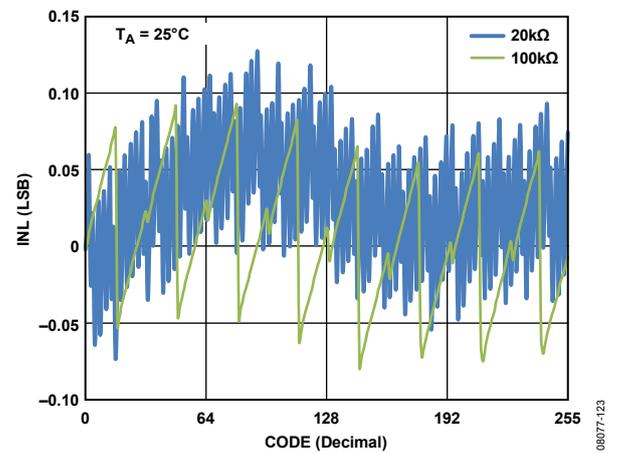


図 17. R 性能モードでの R-INL 対コード対公称抵抗 (AD5271)

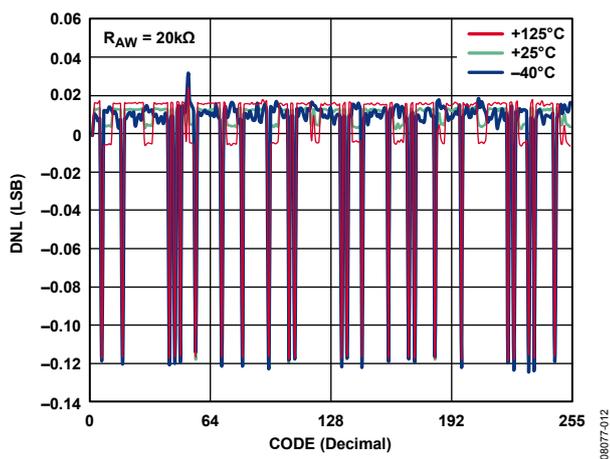


図 15. R 性能モードでの R-DNL 対コード対温度 (AD5271)

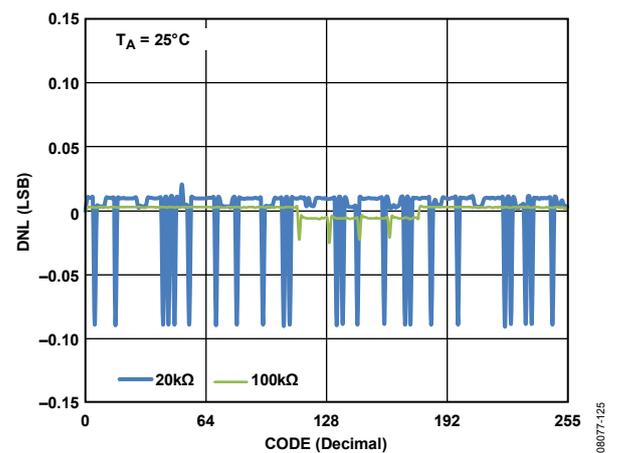


図 18. R 性能モードでの R-DNL 対コード対公称抵抗 (AD5271)

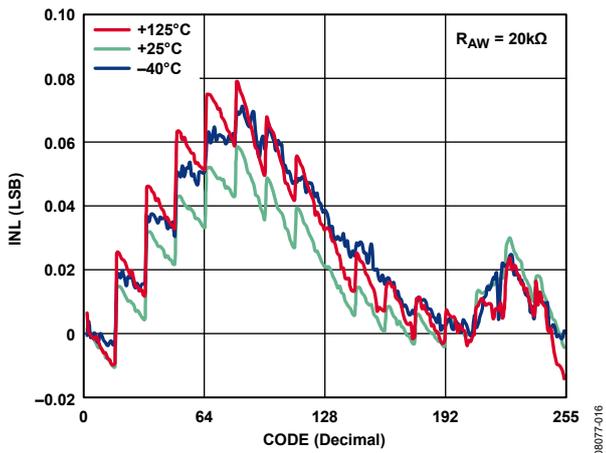


図 19. ノーマル・モードでの R-INL 対コード対温度 (AD5271)

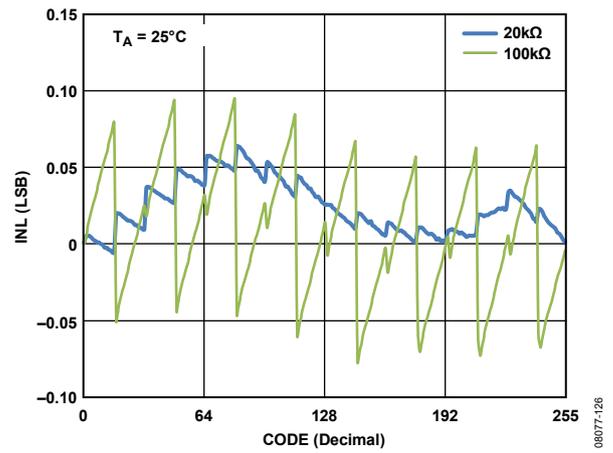


図 22. ノーマル・モードでの R-INL 対コード対公称抵抗 (AD5271)

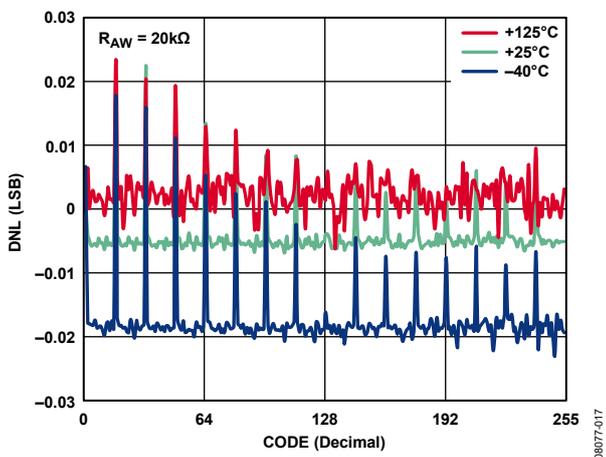


図 20. ノーマル・モードでの R-DNL 対コード対温度 (AD5271)

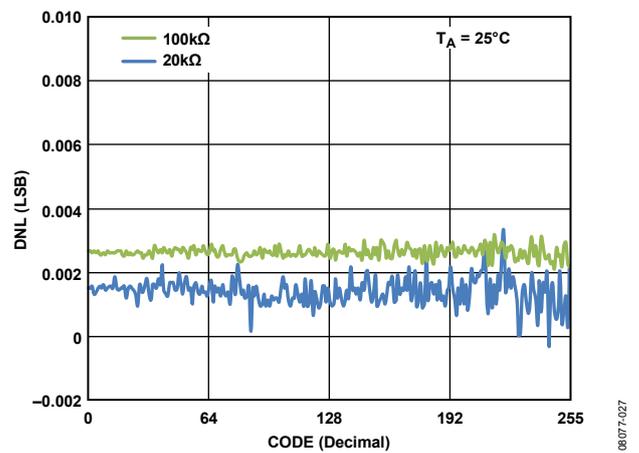


図 23. ノーマル・モードでの R-DNL 対コード対公称抵抗 (AD5271)

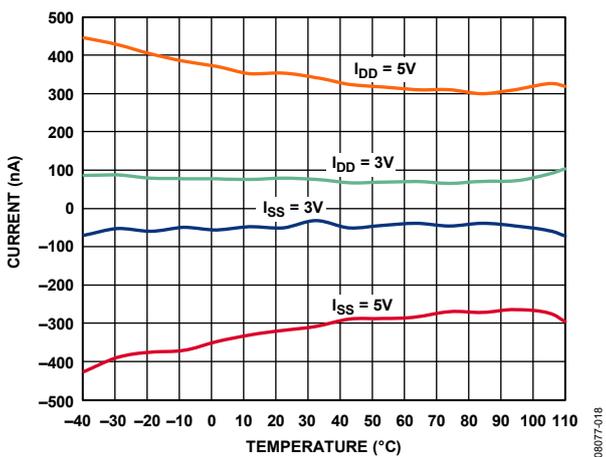


図 21. 電源電流(I_{DD} 、 I_{SS})の温度特性

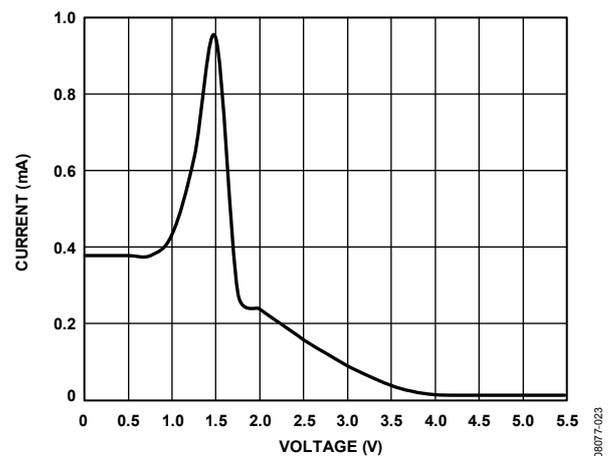


図 24. デジタル入力電圧対電源電流(I_{DD})

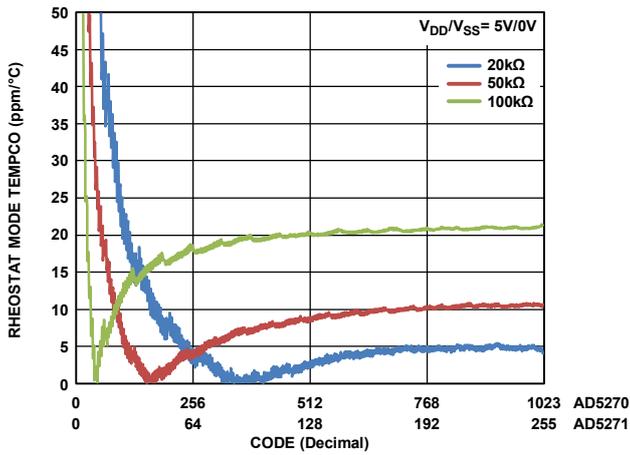


図 25.コード対温度係数 $\Delta R_{WA}/\Delta T$

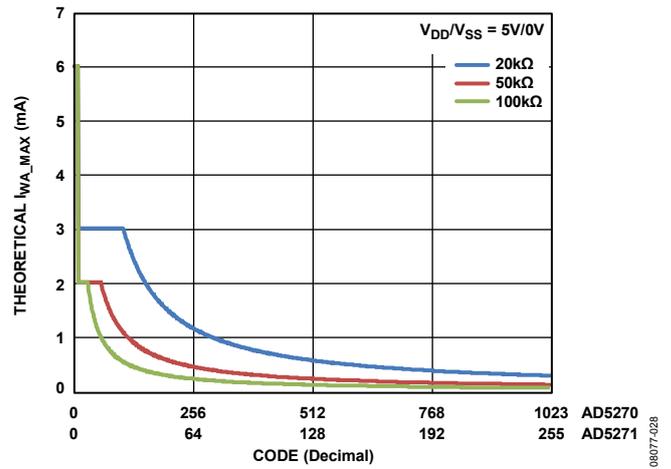


図 28.コード対理論最大電流

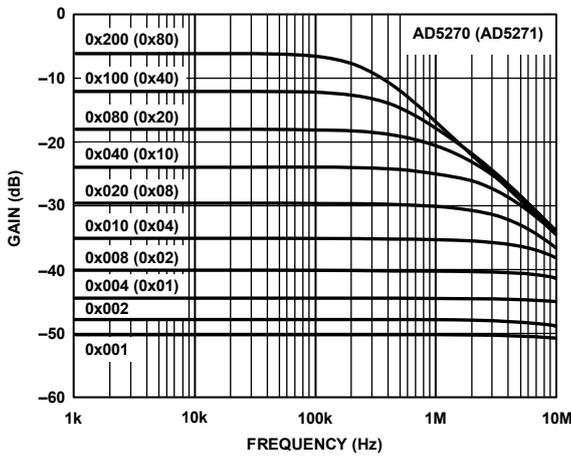


図 26.20 kΩ ゲイン対コード対周波数

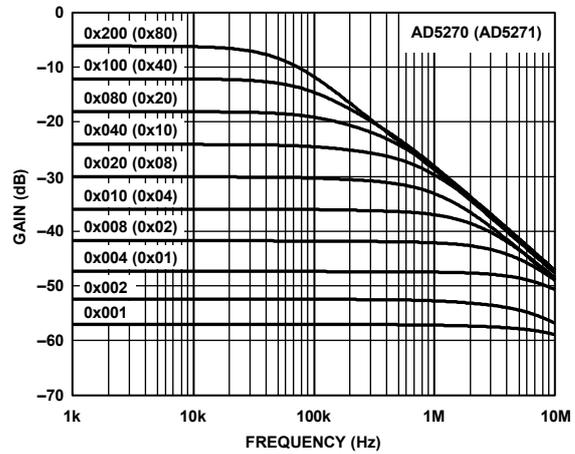


図 29.100 kΩ ゲイン対コード対周波数

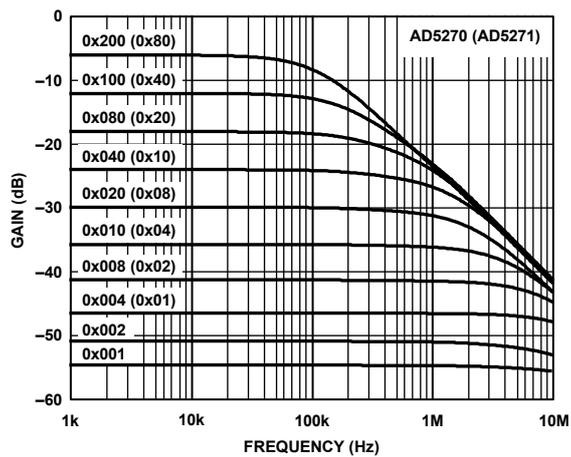


図 27.50 kΩ ゲイン対コード対周波数

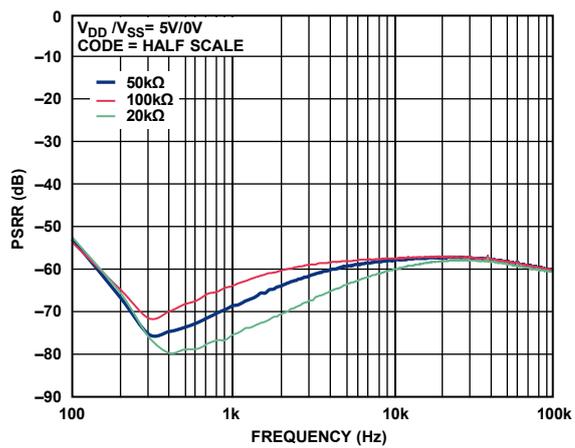


図 30.PSRR の周波数特性

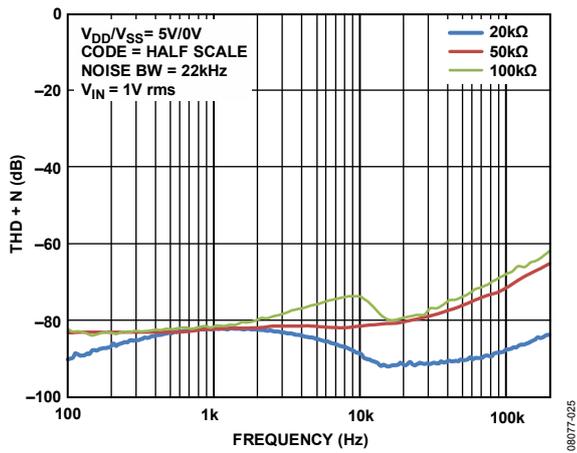


図 31. THD + N の周波数特性

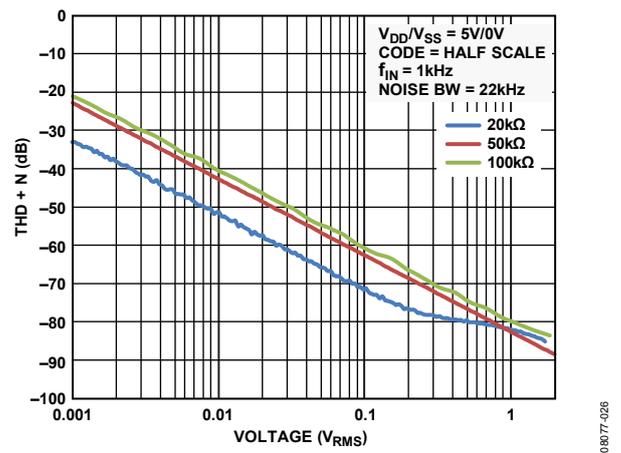


図 34. 振幅対 THD + N

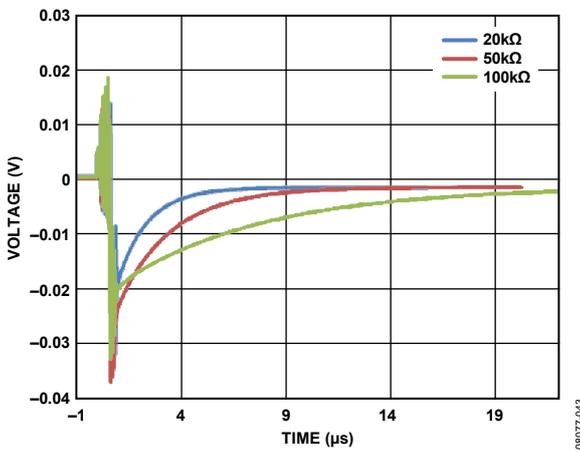


図 32. 最大グリッチ・エネルギー

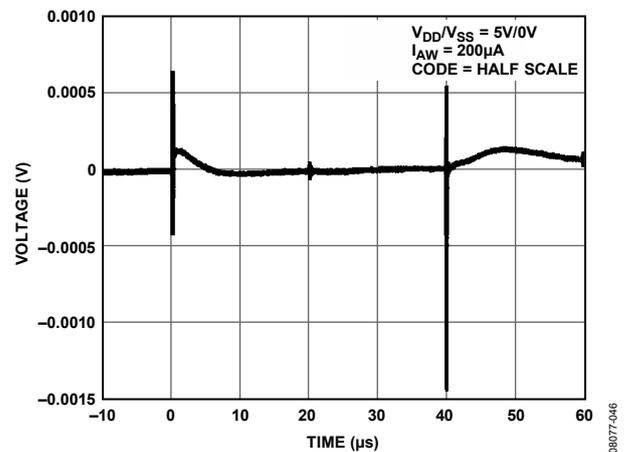


図 35. デジタル・フィードスルー

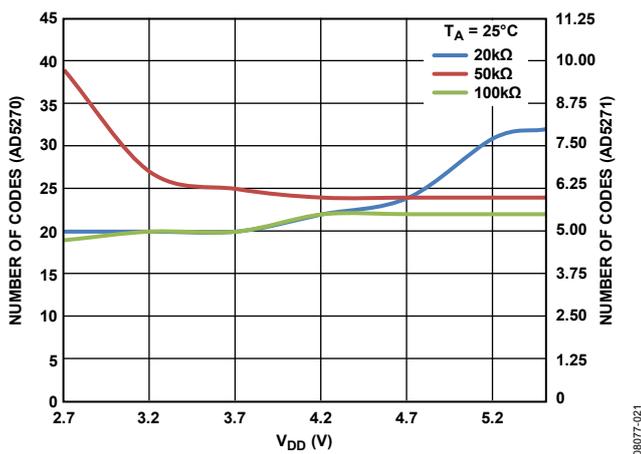


図 33. 電圧対最大コード喪失

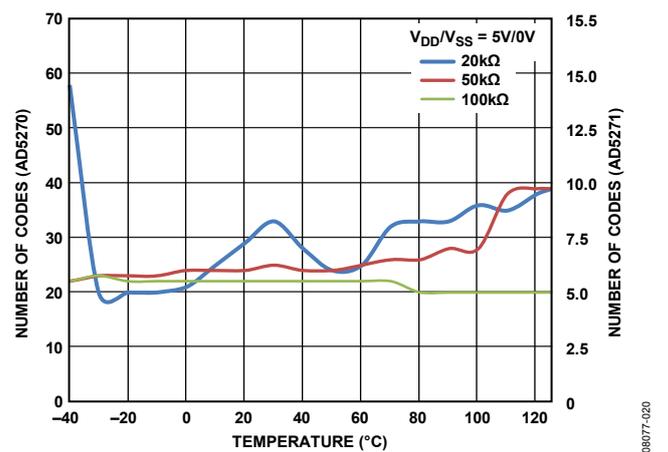


図 36. 最大コード喪失の温度特性

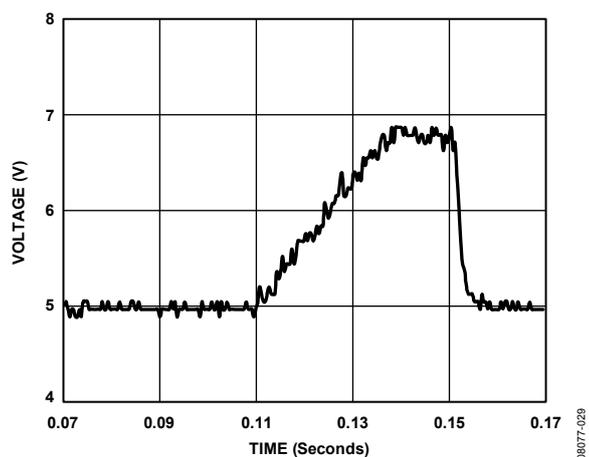


図 37. ヒューズ書き込み時の V_{EXT_CAP} 波形

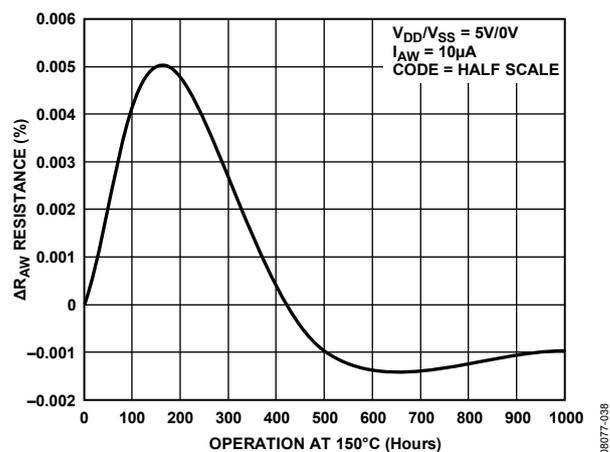


図 38. バーンインにより加速した長時間ドリフト

テスト回路

図 39～図 43 に、仕様のセクションで使用したテスト条件を示します。

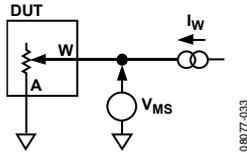


図 39. 抵抗ポジション非直線性誤差
(可変抵抗器動作; R-INL、R-DNL)

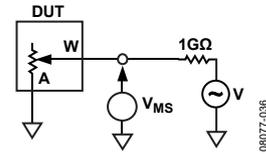


図 42. ゲインの周波数特性

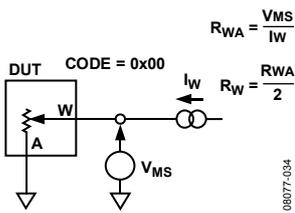


図 40. ワイパー抵抗

$$R_{WA} = \frac{V_{MS}}{I_W}$$

$$R_W = \frac{R_{WA}}{2}$$

08077-034

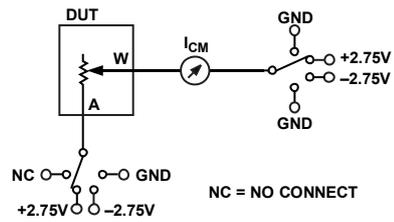


図 43. コモン・リーク電流

08077-037

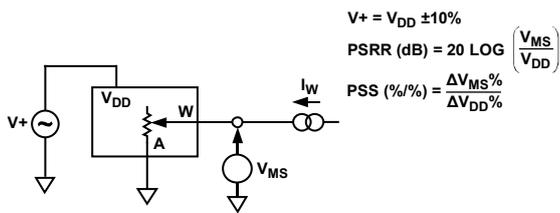


図 41. 電源除去比(PSS、PSRR)

$$V^+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \text{ LOG} \left(\frac{V_{MS}}{V_{DD}} \right)$$

$$PSS \text{ (\%/ \%)} = \frac{\Delta V_{MS} \%}{\Delta V_{DD} \%}$$

08077-035

動作原理

AD5270/AD5271 は、 $V_{SS} < V_{TERM} < V_{DD}$ のピン電圧範囲内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。RDAC レジスタ値により抵抗ワイパー・ポジションが決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。RDAC レジスタには、SPI インターフェースを介して任意のポジション設定値を書込むことができます。目的のワイパー・ポジションが見つかった後に、この値を 50-TP メモリ・レジスタに保存することができます。それ以後、ワイパー・ポジションは、後続パワーアップで常にそのポジションに回復されます。50-TP データの保存には約 350ms 要し、この間 AD5270/AD5271 がロックされて値の変更が防止されます。

また、AD5270/AD5271 は特許取得済みの 1% のピン間抵抗偏差を持っています。この機能は、高精度可変抵抗器モード、および絶対抵抗値が既知であることが不可欠であるオープン・ループ・アプリケーションが簡素化されます。

シリアル・データ・インターフェース

AD5270/AD5271 は、SPI インターフェース規格と大部分の DSP と互換性のあるシリアル・インターフェース (SYNC、SCLK、DIN、SDO) を内蔵しています。このデバイスでは、各レジスタへのデータ書き込みをシリアル・インターフェースを介して行います。

シフトレジスタ

AD5270/AD5271 のシフトレジスタは、図 2 に示すように 16 ビット幅です。16 ビット・データ・ワードは、未使用の 2 ビット (0 に設定)、それに続く 4 ビットのコントロール・ビットと 10 ビットの RDAC データビットから構成されています (AD5271 の場合、RDAC レジスタに読み書きすると、RDAC の下位 2 ビットは don't care になることに注意してください)。データは MSB フェースト (ビット 15) でロードされます。4 ビットのコントロール・ビットにより、ソフトウェア・コマンドの機能が指定されます (表 11 参照)。図 3 に、AD5270/AD5271 の代表的な書き込みシーケンスのタイミング図を示します。

SYNC ラインをロー・レベルにすると、書き込みシーケンスが開始されます。データ・ワード全体が DIN ピンから入力されるまで、SYNC ピンをロー・レベルに維持する必要があります。SYNC がハイ・レベルに戻ると、シリアル・データ・ワードが表 11 の命令に従ってデコードされます。コマンド・ビット (Cx) が、デジタル・ポテンショメータの動作を制御します。データビット (Dx) は、デコードされたレジスタにロードされる値です。AD5270/AD5271 は、正常動作のために 16 ビット (1 フレーム) の倍数をカウントするカウンタを内蔵しています。例えば、AD5270/AD5271 は 32 ビット・ワードで動作しますが、31 ビットまたは 33 ビット・ワードで動作することはできません。SYNC がハイ・レベルのとき、AD5270/AD5271 は連続 SCLK を必要としません。デジタル入力バッファの消費電力を小さくするため、すべてのシリアル・インターフェース・ピンを V_{DD} 電源レール近くで動作させてください。

RDAC レジスタ

RDAC レジスタは、デジタル可変抵抗器のワイパー・ポジションを直接制御します。例えば、RDAC レジスタに全ビット 0 をロードすると、ワイパーは可変抵抗の A ピンに接続されます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。可変抵抗ワイパー・ポジション設定の基本モード (RDAC レジスタの書き込み) は、コマンド 1 (表 11 参照) とワイパー・ポジション・データをシリアル・データ入力レジスタにロードすることにより実行されます。

50-TP メモリ・ブロック

AD5270/AD5271 は、50-TP のプログラマブルなメモリ・レジスタのアレイを内蔵しています。このメモリ・レジスタを使うと、ワイパー・ポジションを最大 50 回書き込むことができます。表 13 にメモリ・マップを示します。所望のワイパー・ポジションを決めたら、ユーザはコマンド 3 (表 11 参照) を使ってシリアル・データ入力レジスタにロードすることができます。この命令は、ワイパー・ポジション・データを 50-TP メモリ・レジスタへ保存します。書き込む最初のアドレスはロケーション 0x01 (表 13 参照) です。AD5270/AD5271 は、メモリがフルになるまで、各後続の書き込みごとに 50-TP メモリ・アドレスをインクリメントします。50-TP へのデータ書き込みには約 4 mA を 55 ms 間消費します。さらに完了に約 350 ms を要します。この間、シフトレジスタをロックして、変更を防止します。コントロール・レジスタのビット C3 をポーリングして、ヒューズ・プログラム・コマンドの完了を確認することができます。50-TP メモリの書き込みには電源電圧の変更は不要ですが、EXT_CAP ピンに 1 μ F のコンデンサが必要です (図 46 参照)。50-TP をアクティブにする前は、パワーアップ時に AD5270/AD5271 はミッドスケールに設定されます。

書き込み保護機能

パワーアップ時に、RDAC レジスタと 50-TP メモリ・レジスタに対するシリアル・データ入力レジスタ書き込みコマンドがディスエーブルされます。コントロール・レジスタの RDAC 書き込み保護ビット C1 (表 13 と表 14 参照) は、デフォルトで 0 に設定されます。この機能により、ソフトウェア・コマンドに無関係に、RDAC レジスタ値の変更が不可能になります。ただし、ソフトウェア・リセットのコマンド 4 を使って、50-TP メモリから RDAC レジスタをリフレッシュする場合は例外です。RDAC レジスタの書き込みをイネーブルするときは、シリアル・データ入力レジスタにコマンド 7 をロードすることにより、コントロール・レジスタの書き込み保護ビット (ビット C1) を最初に書き込む必要があります。50-TP メモリの書き込みをイネーブルするときは、コントロール・レジスタの書き込みイネーブル・ビット (ビット C0: デフォルト設定値は 0) を最初に 1 に設定する必要があります。

RDACと 50-TP の読出し動作

シリアル・データ出力 SDO ピンは、内部 RDAC レジスタ値または 50-TP メモリ値のリードバックに使用することができます。RDAC レジスタ値は、コマンド 2 を使って SDO からリードバックすることができます (表 11 参照)。RDAC レジスタのデータは、次の SPI 動作の最後の 10 クロック間に SDO ピンから出力されます。

コマンド 5 を使って、SDO からすべての 50-TP メモリ・レジスタ値をリードバックすることができます。データバイトの下位 6 ビット D0～D5 により、リードバック対象のメモリ・ロケーションを選択します (表 13 参照)。

選択されたメモリ・ロケーションのデータは、次の SPI 動作の間に SDO ピンから出力されます。コマンド 6 (表 11 参照) を使うと、直前に書込まれたワイパー・メモリ・ロケーションのバイナリ符号化されたアドレスをリードバックすることができます。この機能を使うと、50-TP メモリ・ブロックのスペア・メモリ・ステータスをモニタすることができます。

表 12 に、シリアル・データ入力 (DIN) ワード・シーケンスのサンプル・リストを示します。シリアル・データ出力は、RDAC レジスタと 50-TP メモリ (メモリ・ロケーション 20) に対する書き込み/読出しに対し 16 進フォーマットで SDO ピンに出力されます。

表 11. コマンド動作の真理値表

Command Number	Command[DB13:DB10]				Data[DB9:DB0] ¹										Operation
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP: do nothing.
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1 ²	D0 ²	Write contents of serial register data to RDAC.
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Read contents of RDAC wiper register.
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	Store wiper setting: store RDAC setting to 50-TP.
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Software reset: refresh RDAC with last 50-TP memory stored value.
5 ³	0	1	0	1	X	X	X	X	D5	D4	D3	D2	D1	D0	Read contents of 50-TP from SDO output in the next frame.
6	0	1	1	0	X	X	X	X	X	X	X	X	X	X	Read address of last 50-TP programmed memory location.
7 ⁴	0	1	1	1	X	X	X	X	X	X	X	D2	D1	D0	Write contents of serial register data to control register.
8	1	0	0	0	X	X	X	X	X	X	X	X	X	X	Read contents of control register.
9	1	0	0	1	X	X	X	X	X	X	X	X	X	D0	Software shutdown. D0 = 0; normal mode. D0 = 1; device placed in shutdown mode.

¹ X = don't care.

² AD5271 = don't care.

³ 50-TP メモリ・マップについては表 15 を参照してください。

⁴ 詳細については、表 14 を参照してください。

シャットダウン・モード

ソフトウェア・シャットダウン・コマンドのコマンド 9 (表 11 参照) を実行して、LSB に 1 を設定することにより、AD5270/AD5271 をシャットダウンさせることができます。この機能により RDAC はゼロ消費電力状態になり、ピン Ax は開放に、ワイパーピン Wx は接続されたままに、それぞれなります。AD5270/AD5271 がシャットダウン・モードにあるとき、表 11 の全コマンドを実行することができます。コマンド 9 を実行して LSB に 0 を設定するか、またはソフトウェア・リセットのコマンド 4 (表 11 参照) により、デバイスをシャットダウン・モードから抜け出させることができます。

抵抗性能モード

このモードでは、特許取得済みの新しい 1% ピン間抵抗偏差がアクティブになります。この 1% ピン間抵抗偏差では、各コードで $\pm 1\%$ 抵抗偏差すなわちコード = ハーフスケール、 $R_{WA} = 10 \text{ k}\Omega \pm 100 \Omega$ が保証されます。 $\pm 1\%$ 抵抗偏差が実現されるコードを確認するときは、表 2、表 3、表 5、表 6 を参照してください。コントロール・レジスタのビット C2 に書込みを行うと、抵抗性能モードがアクティブになります。

リセット

コマンド 4 (表 11 参照) を実行すると、ソフトウェアから AD5270/AD5271 をリセットすることができます。リセット・コマンドは、直前に書込まれた 50-TP メモリ・ロケーションの値を RDAC レジスタへロードします。直前に書込まれた 50-TP メモリ・ロケーションがない場合には、RDAC レジスタにミッドスケールがロードされます。

表 12. RDAC と 50-TP メモリの書込みと読出し

DIN	SDO ¹	Action
0x1C03	0xFFFF	Enable update of the wiper position and the 50-TP memory contents through the digital interface.
0x0500	0x1C03	Write 0x100 to the RDAC register; wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepares data read from RDAC register.
0x0C00	0x100	Stores RDAC register content into the 50-TP memory. A 16-bit word appears out of SDO, where the last 10-bits contain the contents of the RDAC register (0x100).
0x1800	0x0C00	Prepares data read of last programmed 50-TP memory monitor location.
0x0000	0xXX19	NOP Instruction 0 sends a 16-bit word out of SDO, where the six LSBs last six bits contain the binary address of the last programmed 50-TP memory location, for example, 0x19 (see Table 13).
0x1419	0x0000	Prepares data read from Memory Location 0x19.
0x2000	0x0100	Prepares data read from the control register. Sends a 16-bit word out of SDO, where the last 10-bits contain the contents of Memory Location 0x19.
0x0000	0xFFFF	NOP Instruction 0 sends a 16-bit word out of SDO, where the last four bits contain the contents of the control register. If Bit C3 = 1, the fuse program command successful.

¹ X = don't care.

表 13. コントロール・レジスタのビット・マップ

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	C3	C2	C1	C0

表 14. コントロール・レジスタ・ビットの説明

Bit Name	Description
C0	50-TP program enable 0 = 50-TP program disabled (default) 1 = enable device for 50-TP program
C1	RDAC register write protect 0 = wiper position frozen to value in 50-TP memory (default) ¹ 1 = allow update of wiper position through digital interface
C2	R-performance enable 0 = RDAC resistor tolerance calibration enabled (default) 1 = RDAC resistor tolerance calibration disabled
C3	50-TP memory program success bit 0 = fuse program command unsuccessful (default) 1 = fuse program command successful

¹ 50-TP メモリに書込まれた直前の値に固定されたワイパー・ポジション。50-TP メモリが書込まれていない場合には、ワイパーをミッドスケールに固定します。

表 15.メモリ・マップ

Command Number	Data Byte[DB9:DB8] ¹										Register Contents
	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
5	X	X	X	0	0	0	0	0	0	0	Reserved
	X	X	X	0	0	0	0	0	0	1	1st programmed wiper location (0x01)
	X	X	X	0	0	0	0	0	1	0	2nd programmed wiper location (0x02)
	X	X	X	0	0	0	0	0	1	1	3rd programmed wiper location (0x03)
	X	X	X	0	0	0	0	1	0	0	4th programmed wiper location (0x04)

	X	X	X	0	0	0	1	0	1	0	10th programmed wiper location (0xA)
	X	X	X	0	0	1	0	1	0	0	20th programmed wiper location (0x14)
	X	X	X	0	0	1	1	1	1	0	30th programmed wiper location (0x1E)
	X	X	X	0	1	0	1	0	0	0	40th programmed wiper location (0x28)
	X	X	X	0	1	1	0	0	1	0	50th programmed wiper location (0x32)

¹ X is don't care.

SDO ピンとディジーチェーン動作

シリアル・データ出力ピン (SDO) には 2 つの機能があります。すなわち、ワイパー設定値と 50-TP 値をそれぞれコマンド 2 とコマンド 5 (表 11 参照) を使って読出すことと、ディジーチェーン・モードで SDO ピンを使うことです。データは、SCLK の立上がりエッジで SDO から出力されます。SDO ピンにはオープン・ドレインの N チャンネル FET が内蔵されており、これにはプルアップ抵抗が必要です。ピンをハイ・インピーダンスにしてピンの使用時に消費電力を小さくするためには、0x8001 データ・ワードとそれに続いてコマンド 0 をデバイスへ送信する必要があります。表 16 に、シリアル・データ入力 (DIN) シーケンスのサンプル・リストを示します。ディジーチェーン接続は、最小のポート・ピン数で IC の制御を可能にします。図 44 に示すように、前のパッケージの SDO ピンを次のパッケージの DIN ピンに接続する必要があります。SDO-DIN 間インターフェースにプルアップ抵抗と容量負荷があると、隣接デバイス間の遅延時間が大きくなるため、クロック周期を長くする必要が生ずることもあります。2 個の AD5270/AD5271 デバイスをディジーチェーン接続すると、32 ビットのデータが必要になります。先頭の 16 ビットが U2 に、次の 16 ビットが U1 に行きます。

表 16.SDO ピン消費電力の最小化

DIN	SDO ¹	Action
0xFFFF	0xFFFF	Last user command sent to the digipot.
0x8001	0xFFFF	Prepares the SDO pin to be placed in high impedance mode.
0x0000	High Impedance	The SDO pin is placed in high impedance.

¹ X は don't care.

32 ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、SYNC ピンをロー・レベルに維持しておく必要があります。SYNC をハイ・レベルにすると、動作が完了します。

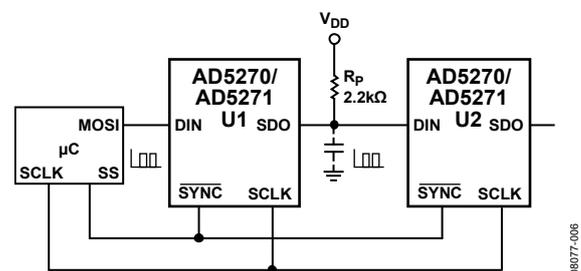


図 44.SDO を使ったディジーチェーン接続

RDACアーキテクチャ

最適性能を実現するため、アナログ・デバイスはすべてのデジタル・ポテンショメータに対して特許取得済みの RDAC セグメント化アーキテクチャを持っています。特に、AD5270/AD5271 では 3 ステージ・セグメント化を採用しています (図 45 参照)。AD5270/AD5271 ワイパー・スイッチは、トランスミッション・ゲート CMOS 回路を採用してデザインされています。

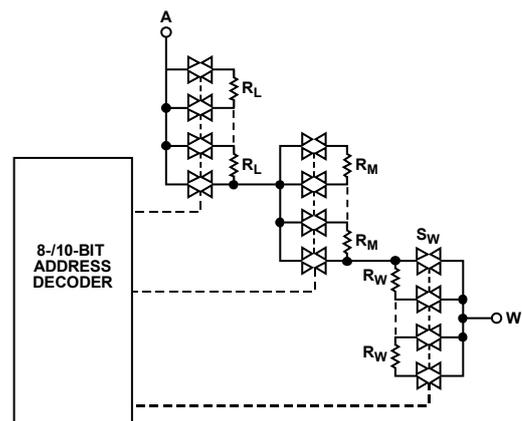


図 45.簡略化した RDAC 回路

可変抵抗のプログラミング

可変抵抗動作—1% 抵抗偏差

ピンWとピンAの間の公称抵抗値 R_{WA} は 20 k Ω 、50 k Ω 、100 k Ω であり、ワイパー・ピンから 1024/256 タップ・ポイントをアクセスします。RDACラッチ内の 10/8 ビット・データがデコードされて、1024 または 256 通りのワイパー設定値の内の 1 つを選択します。AD5270/AD5271 は、 $\pm 1\%$ 抵抗偏差キャリブレーション機能を内蔵しています。この機能はコントロール・レジスタのビット C2 を書込むことによりディスエーブル/イネーブルされ、デフォルトでイネーブルされています(表 13 と

表 14 参照)。

W ピンと A ピンの間の、デジタル的に設定される出力抵抗 R_{WA} は、全電源範囲と全温度範囲で最大 $\pm 1\%$ の絶対抵抗誤差となるようにキャリブレーションされます。このため、W ピンと A ピンとの間のデジタル的に設定する出力抵抗を決定する一般式は次のようになります。

AD5270 の場合

$$R_{WA}(D) = \frac{D}{1024} \times R_{WA} \quad (1)$$

AD5271 の場合

$$R_{WA}(D) = \frac{D}{256} \times R_{WA} \quad (2)$$

ここで、

D は、10/8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

R_{WA} はピン間抵抗。

ゼロスケール状態では、有限な合計ワイパー抵抗が 120 Ω となります。デバイスが動作している設定値に無関係に、ピン A とピン W の間の電流を ± 3 mAの最大連続電流に、または表 8 に規定するパルス電流に、制限するように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

EXT_CAPコンデンサ

AD5270/AD5271 のパワーアップ時と動作中に、1 μ F のコンデンサを EXT_CAP ピンと V_{SS} との間に接続する必要があります(図 46 参照)。

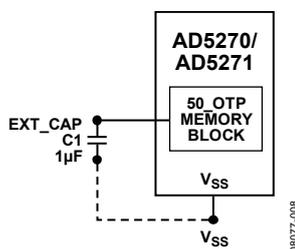


図 46. EXT_CAP ハードウェアのセットアップ

ピン電圧の動作範囲

AD5270/AD5271 の正側 V_{DD} 電源と負側 V_{SS} 電源により、2 端子デジタル抵抗動作の動作範囲が決定されます。 V_{DD} または V_{SS} を超えてピン A とピン W に入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図 47 参照)。

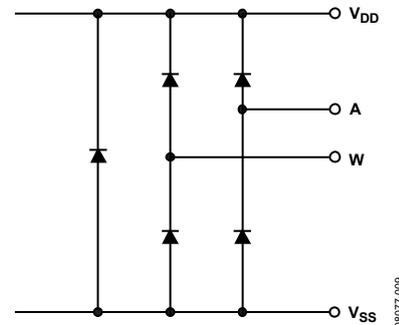


図 47. V_{DD} と V_{SS} により設定される最大ピン電圧

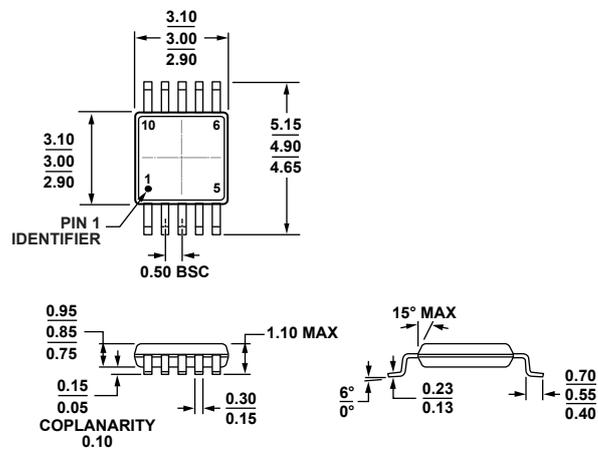
AD5270/AD5271 のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5270/AD5271 のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります。AD5270/AD5271 に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン(GND)を基準とし、仕様のセクションに規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、3 本のピンの同相モード電圧範囲を V_{SS} から V_{DD} へ確実に拡張します。

パワーアップ・シーケンス

ピン A とピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 47)、ピン A とピン W に電圧を加える前に V_{DD}/V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD}/V_{SS} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 V_{SS} 、GND、 V_{DD} デジタル入力の順、続いて V_A 、 V_W の順序です。電源投入シーケンス V_A 、 V_W とデジタル入力の順は、 V_{DD}/V_{SS} 投入後であれば、重要ではありません。

V_{DD} に電源を加えると直ちに、パワーオン・プリセットが起動され、最初に RDAC をミッドスケールに設定し、次に直前に書込まれた 50-TP 値を RDAC レジスタに復元します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図 48.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-10)
寸法: mm

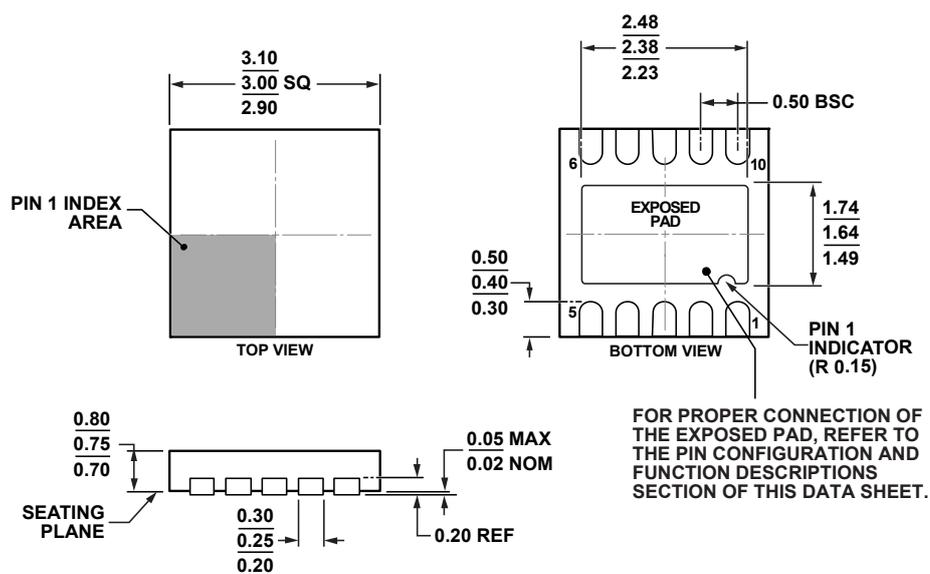


図 49.10 ピン・フレーム・チップ・スケール・パッケージ[LFCSP_WD] 3 mm × 3 mm ボディ、極薄、デュアル・リード (CP-10-9)
寸法: mm

オーダー・ガイド

Model ¹	R _{AW} (kΩ)	Resolution	Temperature Range	Package Description	Package Option	Branding
AD5270BRMZ-20	20	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	D1X
AD5270BRMZ-20-RL7	20	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	D1X
AD5270BRMZ-50	50	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DDP
AD5270BRMZ-50-RL7	50	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DDP
AD5270BRMZ-100	100	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	D1W
AD5270BRMZ-100-RL7	100	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	D1W
AD5270BCPZ-20-RL7	20	1,024	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DDY
AD5270BCPZ-100-RL7	100	1,024	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DDX
AD5271BRMZ-20	20	256	-40°C to +125°C	10-Lead MSOP	RM-10	DE0
AD5271BRMZ-20-RL7	20	256	-40°C to +125°C	10-Lead MSOP	RM-10	DE0
AD5271BRMZ-100	100	256	-40°C to +125°C	10-Lead MSOP	RM-10	DDZ
AD5271BRMZ-100-RL7	100	256	-40°C to +125°C	10-Lead MSOP	RM-10	DDZ
AD5271BCPZ-20-RL7	20	256	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE2
AD5271BCPZ-100-RL7	100	256	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE1
EVAL-AD5270SDZ				Evaluation Board		

¹ Z = RoHS 準拠製品。