

特長

- 単調増加性を保証
- INL誤差: 最大±4LSB
- 1.25/2.5V、10ppm/°Cのリファレンス電圧を内蔵
- 温度範囲: -40~+85°C
- レールtoレール出力のアンプ
- パワーダウン
- パッケージ・タイプ: 100ピンLQFP (14mm×14mm)
- ユーザ・インターフェース:
 - パラレル
 - シリアル (SPI®/QSPI™/MICROWIRE™/DSP互換、データ・リードバック機能付き)
 - I²C®互換

内蔵機能

- チャンネル・モニタ
- LDACによる同時出力更新
- ユーザ・プログラマブルなコードのクリア機能
- スルーレートを最適化するアンプ・ブースト・モード
- ユーザ・プログラマブルなオフセットとゲインの調整
- 方形波の発生が可能なグル・モード
- サーマル・モニタ

アプリケーション

- 可変光減衰器 (VOA)
- レベル設定 (ATE)
- 光マイクロ電子機械システム (MEMS)
- 制御システム
- 計測器

機能ブロック図

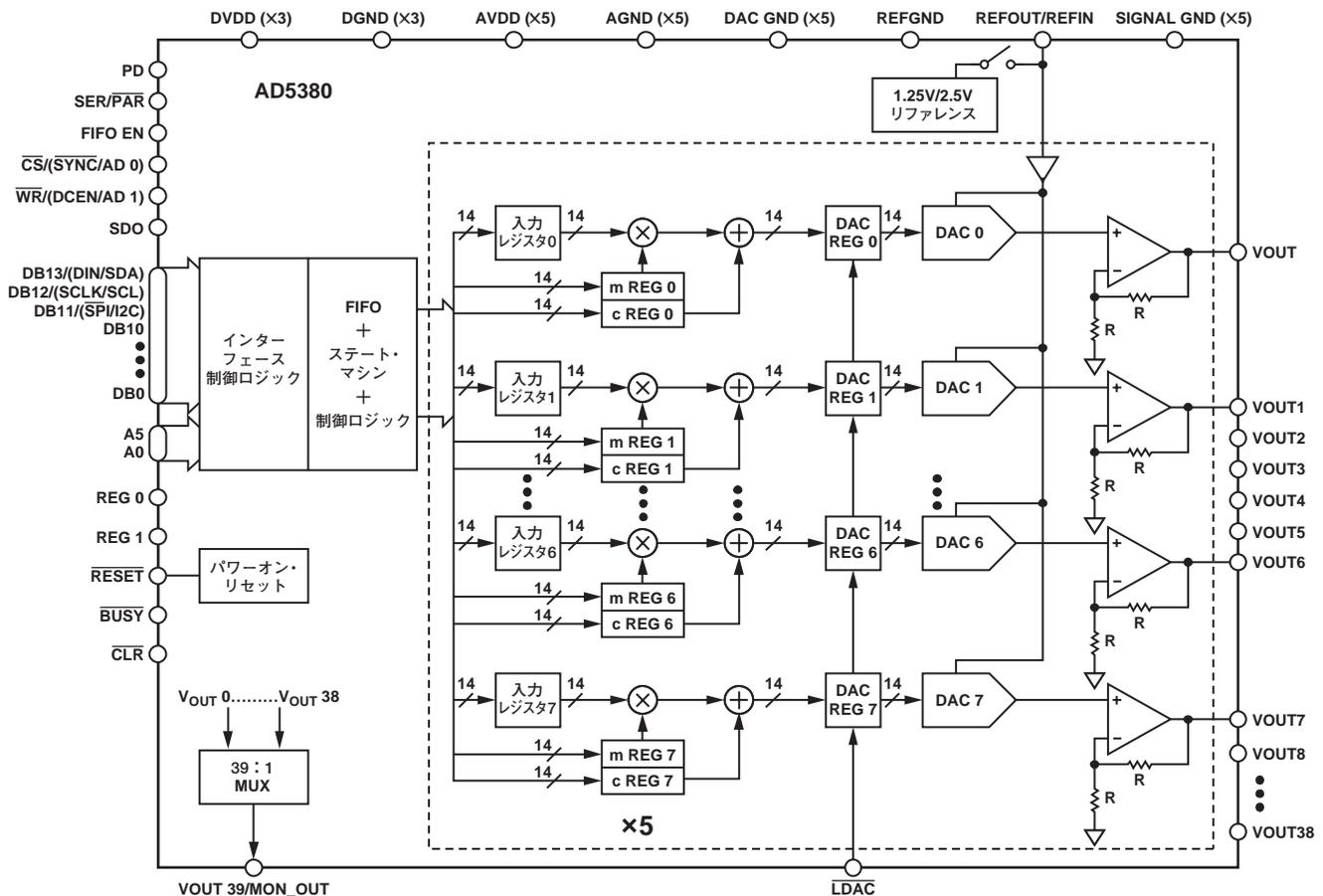


図1

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。本紙記載の商標および登録商標は、各社の所有に属します。
* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

AD5380

目次

| | | | |
|-------------------------------|----|--|----|
| 概要 | 3 | $\overline{\text{BUSY}}$ 機能および $\overline{\text{LDAC}}$ 機能 | 25 |
| 仕様 | 4 | パラレル・モードでのFIFO動作 | 25 |
| AD5380-5の仕様 | 4 | パワーオン・リセット | 25 |
| AD5380-3の仕様 | 6 | パワーダウン | 25 |
| AC特性 | 7 | AD5380の各種インターフェース | 26 |
| タイミング特性 | 8 | DSP、SPI、Microwire互換シリアル・インターフェース | 26 |
| シリアル・インターフェース | 8 | I ² Cシリアル・インターフェース | 28 |
| I ² Cシリアル・インターフェース | 10 | パラレル・インターフェース | 30 |
| パラレル・インターフェース | 11 | マイクロプロセッサとのインターフェース | 31 |
| 絶対最大定格 | 13 | アプリケーション情報 | 33 |
| ピン配置および機能の説明 | 14 | 電源デカップリング | 33 |
| 用語の説明 | 17 | 代表的な回路構成 | 33 |
| 代表的な性能特性 | 18 | AD5380のモニタ機能 | 34 |
| 機能説明 | 21 | トグル・モード機能 | 34 |
| DACのアーキテクチャー概要 | 21 | サーマル・モニタ機能 | 35 |
| データのデコーディング | 21 | MEMSベースの光スイッチでのAD5380の使用 | 35 |
| 内蔵スペシャル・ファンクション・レジスタ (SFR) | 22 | 光減衰器 | 36 |
| SFRコマンド | 22 | AD5380 FIFOの使い方 | 37 |
| ハードウェア機能 | 25 | 外形寸法 | 38 |
| リセット機能 | 25 | オーダー・ガイド | 38 |
| 非同期クリア機能 | 25 | | |

改訂履歴

5/04—レビジョン0：初版

概要

AD5380は、100ピンLQFPパッケージを採用した、自己完結型の単電源動作、40チャンネルの14ビットD/Aコンバータ(DAC)です。40チャンネルすべてに、レールtoレール動作の出力アンプを内蔵しています。AD5380には、プログラマブルなリファレンス電圧(1.25V/2.5V、10ppm/°C)、外部モニタリング用に共通のMON_OUTピンへ出力するアナログ出力をマルチプレクスするチャンネル・モニタ機能、アンプ・スルーレートを最適化する出力アンプ・ブースト・モードが内蔵されています。AD5380は、20nsのWRパルス幅を使うダブル・バッファ付きパラレル・インターフェース、30MHzを超えるインターフェース速度を持つSPI/QSPI/MICROWIRE/DSP互換のシリアル・インターフェース、400kHzのデータ転送レートをサポートするI²C互換インターフェースも内蔵しています。

DACレジスタの前にある入力レジスタがダブル・バッファ機能を持っているため、LDAC入力を使ってDAC出力を別々に、あるいは同時に更新できます。

各チャンネルには、プログラマブル・ゲインおよびオフセット調節レジスタが内蔵されているため、すべてのDACチャンネルを校正できます。ブースト・オフ時の消費電力はチャンネル当たり0.25mA (typ)です。

表1. その他の多チャンネル、低電圧、単電源動作のDAC

| 製品モデル | 分解能 | AV _{DD} 範囲 | 出力チャンネル数 | 直線性誤差 (LSB) | パッケージ | パッケージ・オプション |
|-------------|-------|---------------------|----------|-------------|-------------|-------------|
| AD5381BST-5 | 12ビット | 4.5~5.5V | 40 | ±1 | 100ピンLQFP | ST-100 |
| AD5381BST-3 | 12ビット | 2.7~3.6V | 40 | ±1 | 100ピンLQFP | ST-100 |
| AD5384BBC-5 | 14ビット | 4.5~5.5V | 40 | ±4 | 100ピンCSPBGA | BC-100 |
| AD5384BBC-3 | 14ビット | 2.7~3.6V | 40 | ±4 | 100ピンCSPBGA | BC-100 |
| AD5382BST-5 | 14ビット | 4.5~5.5V | 32 | ±4 | 100ピンLQFP | ST-100 |
| AD5382BST-3 | 14ビット | 2.7~3.6V | 32 | ±4 | 100ピンLQFP | ST-100 |
| AD5383BST-5 | 12ビット | 4.5~5.5V | 32 | ±1 | 100ピンLQFP | ST-100 |
| AD5383BST-3 | 12ビット | 2.7~3.6V | 32 | ±1 | 100ピンLQFP | ST-100 |
| AD5390BST-5 | 14ビット | 4.5~5.5V | 16 | ±3 | 52ピンLQFP | ST-52 |
| AD5390BCP-5 | 14ビット | 4.5~5.5V | 16 | ±3 | 64ピンLFCSP | CP-64 |
| AD5390BST-3 | 14ビット | 2.7~3.6V | 16 | ±3 | 52ピンLQFP | ST-52 |
| AD5390BCP-3 | 14ビット | 2.7~3.6V | 16 | ±3 | 64ピンLFCSP | CP-64 |
| AD5391BST-5 | 12ビット | 4.5~5.5V | 16 | ±1 | 52ピンLQFP | ST-52 |
| AD5391BCP-5 | 12ビット | 4.5~5.5V | 16 | ±1 | 64ピンLFCSP | CP-64 |
| AD5391BST-3 | 12ビット | 2.7~3.6V | 16 | ±1 | 52ピンLQFP | ST-52 |
| AD5391BCP-3 | 12ビット | 2.7~3.6V | 16 | ±1 | 64ピンLFCSP | CP-64 |
| AD5392BST-5 | 14ビット | 4.5~5.5V | 8 | ±3 | 52ピンLQFP | ST-52 |
| AD5392BCP-5 | 14ビット | 4.5~5.5V | 8 | ±3 | 64ピンLFCSP | CP-64 |
| AD5392BST-3 | 14ビット | 2.7~3.6V | 8 | ±3 | 52ピンLQFP | ST-52 |
| AD5392BCP-3 | 14ビット | 2.7~3.6V | 8 | ±3 | 64ピンLFCSP | CP-64 |

表2. 40チャンネル・バイポーラ電圧出力DAC

| 製品モデル | 分解能 | アナログ電源 | 出力チャンネル数 | 直線性誤差 (LSB) | パッケージ | パッケージ・オプション |
|-----------|-------|--------------|----------|-------------|-------------|-------------|
| AD5379ABC | 14ビット | ±11.4~±16.5V | 40 | ±3 | 108ピンCSPBGA | BC-108 |

AD5380

仕様

AD5380-5の仕様

表3. $AV_{DD} = 4.5 \sim 5.5V$ 、 $DV_{DD} = 2.7 \sim 5.5V$ 、 $AGND = DGND = 0V$ 、外部 $REFIN = 2.5V$
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

| パラメータ | AD5380-5 ¹ | 単位 | テスト条件/コメント |
|--------------------------------|-----------------------|---------------------------|--|
| 精度 | | | |
| 分解能 | 14 | ビット | |
| 相対精度 ² (INL) | ±4 | LSB (max) | ±1 LSB (typ) |
| 微分非直線性(DNL) | -1/+2 | LSB (max) | 設計により全温度範囲に対して単調増加性を保証 |
| ゼロスケール誤差 | 4 | mV (max) | |
| オフセット誤差 | ±4 | mV (max) | 直線領域内のコード32で測定 |
| オフセット誤差TC | ±5 | $\mu V/^\circ C$ (typ) | |
| ゲイン誤差 | ±0.024 | %FSR (max) | 25°Cで測定 |
| | ±0.06 | %FSR (max) | $T_{MIN} \sim T_{MAX}$ |
| ゲインの温度係数 ³ | 2 | ppm FSR/ $^\circ C$ (typ) | |
| DCクロストーク ³ | 0.5 | LSB (max) | |
| リファレンス入出力 | | | |
| リファレンス入力 ³ | | | |
| リファレンス入力電圧 | 2.5 | V | 規定性能に対して±1%、 $AV_{DD} = 2 \times REFIN + 50mV$ |
| DC入力インピーダンス | 1 | M Ω (min) | 100M Ω (typ) |
| 入力電流 | ±1 | μA (max) | ±30nA (typ) |
| リファレンス電圧範囲 | 1~ $V_{DD}/2$ | V (min/max) | |
| リファレンス出力 ⁴ | | | AD5380制御レジスタのCR10を使いイネーブル。 CR12によりリファレンス電圧を選択。 室温。CR12=1。2.5V動作に最適化。 |
| 出力電圧 | 2.495/2.505 | V (min/max) | CR12=0 |
| | 1.22/1.28 | V (min/max) | 温度範囲: +25~+85°C |
| リファレンスTC | ±10 | ppm/ $^\circ C$ (max) | 温度範囲: -40~+85°C |
| | ±15 | ppm/ $^\circ C$ (max) | |
| 出力インピーダンス | 2.2 | k Ω (typ) | |
| 出力特性 ³ | | | |
| 出力電圧範囲 ² | 0/ AV_{DD} | V (min/max) | |
| 短絡電流 | 40 | mA (max) | |
| 負荷電流 | ±1 | mA (max) | |
| 容量負荷安定性 | | | |
| $R_L = \infty$ | 200 | pF (max) | |
| $R_L = 5k\Omega$ | 1000 | pF (max) | |
| DC出力インピーダンス | 0.5 | Ω (max) | |
| モニタ・ピン | | | |
| 出力インピーダンス | 500 | Ω (typ) | |
| スリーステート・リーク電流 | 100 | nA (typ) | |
| ロジック入力(SDA/SCL以外) ³ | | | $DV_{DD} = 2.7 \sim 5.5V$ |
| V_{IH} (入力ハイレベル電圧) | 2 | V (min) | |
| V_{IL} (入力ローレベル電圧) | 0.8 | V (max) | |
| 入力電流 | ±10 | μA (max) | すべてのピンの合計。 $T_A = T_{MIN} \sim T_{MAX}$ |
| ピン容量 | 10 | pF (max) | |
| ロジック入力(SDA、SCLのみ) | | | |
| V_{IH} (入力ハイレベル電圧) | 0.7 DV_{DD} | V (min) | $DV_{DD} < 3.6V$ でSMBus互換 |
| V_{IL} (入力ローレベル電圧) | 0.3 DV_{DD} | V (max) | $DV_{DD} < 3.6V$ でSMBus互換 |
| I_{IN} (入力リーク電流) | ±1 | μA (max) | |
| V_{HYST} (入力ヒステリシス) | 0.05 DV_{DD} | V (min) | |
| C_{IN} (入力容量) | 8 | pF (typ) | |
| グリッチ除去 | 50 | ns (max) | 50ns以下のノイズ・スパイクは入力フィルタで除去 |

| パラメータ | AD5380-5 ¹ | 単位 | テスト条件/コメント |
|--|-----------------------|---------------------|--|
| ロジック出力 ($\overline{\text{BUSY}}$ 、SDO) ³ | | | |
| V_{OL} (出力ローレベル電圧) | 0.4 | V (max) | $DV_{DD}=5V \pm 10\%$ 、シンク電流 $200 \mu\text{A}$ |
| V_{OH} (出力ハイレベル電圧) | $DV_{DD}-1$ | V (min) | $DV_{DD}=5V \pm 10\%$ 、ソース電流 $200 \mu\text{A}$ |
| V_{OL} (出力ローレベル電圧) | 0.4 | V (max) | $DV_{DD}=2.7 \sim 3.6V$ 、シンク電流 $200 \mu\text{A}$ |
| V_{OH} (出力ハイレベル電圧) | $DV_{DD}-0.5$ | V (min) | $DV_{DD}=2.7 \sim 3.6V$ 、ソース電流 $200 \mu\text{A}$ |
| 高インピーダンス・リーク電流 | ± 1 | μA (max) | SDOのみ |
| 高インピーダンス出力容量 | 5 | pF (typ) | SDOのみ |
| ロジック出力 (SDA) ³ | | | |
| V_{OL} (出力ローレベル電圧) | 0.4 | V (max) | $I_{SINK}=3\text{mA}$ |
| | 0.6 | V (max) | $I_{SINK}=6\text{mA}$ |
| スリーステート・リーク電流 | ± 1 | μA (max) | |
| スリーステート出力容量 | 8 | pF (typ) | |
| 電源条件 | | | |
| AV_{DD} | 4.5/5.5 | V (min/max) | |
| DV_{DD} | 2.7/5.5 | V (min/max) | |
| 電源電圧変動感度 ³ | | | |
| Δ ミッドスケール/ ΔAV_{DD} | -85 | dB (typ) | |
| AI_{DD} | 0.375 | mA/チャンネル (max) | 出力は無負荷、ブーストをオフ。 チャンネル当たり 0.25mA (typ) |
| | 0.475 | mA/チャンネル (max) | 出力は無負荷、ブーストをオン。 チャンネル当たり 0.325mA (typ) |
| DI_{DD} | 1 | mA (max) | $V_{IH}=DV_{DD}$ 、 $V_{IL}=DGND$ |
| AI_{DD} (パワーダウン) | 2 | μA (max) | 200nA (typ) |
| DI_{DD} (パワーダウン) | 20 | μA (max) | $3 \mu\text{A}$ (typ) |
| 消費電力 | 80 | mW (max) | 出力は無負荷、ブーストをオフ、 $AV_{DD}=DV_{DD}=5V$ |

¹ AD5380-5は外付けの2.5Vリファレンス電圧を使用して校正。全バージョンの温度範囲： $-40 \sim +85^\circ\text{C}$ 。

² $V_{OUT}=10\text{mV} \sim AV_{DD}-50\text{mV}$ で精度を保証。

³ 特性評価により保証。出荷テストは行っていません。

⁴ AD5380-5のデフォルトは2.5V。AD5380の制御レジスタ、CR12を使用して1.25Vに設定可能。AD5380-5は1.25Vのリファレンスで動作させると精度仕様が低下します。

AD5380

仕様

AD5380-3の仕様

表4. $AV_{DD} = 2.7 \sim 3.6V$ 、 $DV_{DD} = 2.7 \sim 5.5V$ 、 $AGND = DGND = 0V$ 、外部REFIN = 1.25V
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

| パラメータ | AD5380-3 ¹ | 単位 | テスト条件/コメント |
|--------------------------------|-----------------------|---------------------------|---|
| 精度 | | | |
| 分解能 | 14 | ビット | |
| 相対精度 ² (INL) | ±4 | LSB (max) | |
| 微分非直線性(DNL) | -1/+2 | LSB (max) | 全温度範囲に対して単調増加性を保証 |
| ゼロスケール誤差 | 4 | mV (max) | |
| オフセット誤差 | ±4 | mV (max) | 直線領域内のコード64で測定 |
| オフセット誤差TC | ±5 | $\mu V/^\circ C$ (typ) | |
| ゲイン誤差 | ±0.024 | %FSR (max) | 25°Cで測定 |
| | ±0.06 | %FSR (max) | $T_{MIN} \sim T_{MAX}$ |
| ゲインの温度係数 ³ | 2 | ppm FSR/ $^\circ C$ (typ) | |
| DCクロストーク ³ | 0.5 | LSB (max) | |
| リファレンス入出力 | | | |
| リファレンス入力 ³ | | | |
| リファレンス入力電圧 | 1.25 | V | 規定性能に対して±1% |
| DC入力インピーダンス | 1 | M Ω (min) | 100M Ω (typ) |
| 入力電流 | ±1 | μA (max) | ±30nA (typ) |
| リファレンス電圧範囲 | 1~ $AV_{DD}/2$ | V (min/max) | |
| リファレンス出力 ⁴ | | | AD5380制御レジスタのCR10を使いイネーブル。 CR12でリファレンス電圧を選択。 室温。CR12=0。1.25V動作に最適化。 |
| 出力電圧 | 1.247/1.253 | V (min/max) | CR12=1。 温度範囲: +25~+85°C |
| | 2.43/2.57 | V (min/max) | 温度範囲: -40~+85°C |
| リファレンスTC | ±10 | ppm/ $^\circ C$ (max) | |
| | ±15 | ppm/ $^\circ C$ (max) | |
| 出力インピーダンス | 2.2 | k Ω (typ) | |
| 出力特性 ³ | | | |
| 出力電圧範囲 ² | 0/ AV_{DD} | V (min/max) | |
| 短絡電流 | 40 | mA (max) | |
| 負荷電流 | ±1 | mA (max) | |
| 容量負荷安定性 | | | |
| $R_L = \infty$ | 200 | pF (max) | |
| $R_L = 5k\Omega$ | 1000 | pF (max) | |
| DC出力インピーダンス | 0.5 | Ω (max) | |
| モニタ・ピン | | | |
| 出力インピーダンス | 500 | Ω (typ) | |
| スリーステート・リーク電流 | 100 | nA (typ) | |
| ロジック入力(SDA/SCL以外) ³ | | | $DV_{DD} = 2.7 \sim 3.6V$ |
| V_{IH} (入力ハイレベル電圧) | 2 | V (min) | |
| V_{IL} (入力ローレベル電圧) | 0.8 | V (max) | |
| 入力電流 | ±10 | μA (max) | すべてのピンの合計。 $T_A = T_{MIN} \sim T_{MAX}$ |
| ピン容量 | 10 | pF (max) | |
| ロジック入力(SDA、SCLのみ) | | | |
| V_{IH} (入力ハイレベル電圧) | 0.7 DV_{DD} | V (min) | $DV_{DD} < 3.6V$ でSMBus互換 |
| V_{IL} (入力ローレベル電圧) | 0.3 DV_{DD} | V (max) | $DV_{DD} < 3.6V$ でSMBus互換 |
| I_{IN} (入力リーク電流) | ±1 | μA (max) | |
| V_{HYST} (入力ヒステリシス) | 0.05 DV_{DD} | V (min) | |
| C_{IN} (入力容量) | 8 | pF (typ) | |
| グリッチ除去 | 50 | ns (max) | 50ns以下のノイズ・スパイクは入力フィルタで除去 |

| パラメータ | AD5380-3 ¹ | 単位 | テスト条件/コメント |
|--|-----------------------|----------------|--|
| ロジック出力 ($\overline{\text{BUSY}}$ 、SDO) ³ | | | |
| V_{OL} (出力ローレベル電圧) | 0.4 | V (max) | シンク電流200 μ A |
| V_{OH} (出力ハイレベル電圧) | DV _{DD} -0.5 | V (min) | ソース電流200 μ A |
| 高インピーダンス・リーク電流 | ± 1 | μ A (max) | SDOのみ |
| 高インピーダンス出力容量 | 5 | pF (typ) | SDOのみ |
| ロジック出力 (SDA) ³ | | | |
| V_{OL} (出力ローレベル電圧) | 0.4 | V (max) | I _{SINK} =3mA |
| | 0.6 | V (max) | I _{SINK} =6mA |
| スリーステート・リーク電流 | ± 1 | μ A (max) | |
| スリーステート出力容量 | 8 | pF (typ) | |
| 電源条件 | | | |
| AV _{DD} | 2.7/3.6 | V (min/max) | |
| DV _{DD} | 2.7/5.5 | V (min/max) | |
| 電源電圧変動感度 ³ | | | |
| Δ ミッドスケール/ Δ AV _{DD} | -85 | dB (typ) | |
| AI _{DD} | 0.375 | mA/チャンネル (max) | 出力は無負荷、ブーストをオフ。 チャンネル当たり0.25mA (typ) |
| | 0.475 | mA/チャンネル (max) | 出力は無負荷、ブーストをオン。 チャンネル当たり0.325mA (typ) |
| DI _{DD} | 1 | mA (max) | V _{IH} =DV _{DD} 、V _{IL} =DGND |
| AI _{DD} (パワーダウン) | 2 | μ A (max) | 200nA (typ) |
| DI _{DD} (パワーダウン) | 20 | μ A (max) | 3 μ A (typ) |
| 消費電力 | 80 | mW (max) | 出力は無負荷、ブーストをオフ、AV _{DD} =DV _{DD} =3V |

¹ AD5380-3は外付けの1.25Vリファレンス電圧を使用して校正。温度範囲:-40~+85°C。

² V_{OUT}=10mV~AV_{DD}-50mVで精度を保証。

³ 特性評価により保証。出荷テストは行っていません。

⁴ AD5380-3のデフォルトは1.25V。AD5380の制御レジスタ、CR12を使用して2.5Vに設定可能。AD5380-3は2.5Vのリファレンスで動作させると精度仕様が低下し、入力コード範囲が制限されます。

AC特性¹

表5. AV_{DD} = 2.7 ~ 3.6Vおよび4.5 ~ 5.5V; DV_{DD} = 2.7 ~ 5.5V; AGND = DGND = 0V

| パラメータ | 全バージョン | 単位 | テスト条件/コメント |
|----------------------------|--------|------------------------------|---------------------------------------|
| 動的性能 | | | |
| 出力電圧セトリング・タイム ² | 8 | μ s (typ) | 1/4スケールから3/4スケールへの変化が ± 1 LSBに整定。 |
| | 10 | μ s (max) | |
| スルーレート ² | 2 | V/ μ s (typ) | ブースト・モードをオフ、CR11=0 |
| | 3 | V/ μ s (typ) | ブースト・モードをオン、CR11=1 |
| デジタル/アナログのグリッチ・エネルギー | 12 | nV-s (typ) | |
| グリッチ・インパルスのピーク振幅 | 15 | mV (typ) | |
| チャンネル間アイソレーション | 100 | dB (typ) | 「用語の説明」を参照 |
| DAC間のクロストーク | 1 | nV-s (typ) | 「用語の説明」を参照 |
| デジタル・クロストーク | 0.8 | nV-s (typ) | |
| デジタル・フィードスルー | 0.1 | nV-s (typ) | テスト対象のDAC出力に対する入力バス動作の影響。 |
| 出力ノイズ: 0.1~10Hz | 15 | μ V p-p (typ) | 外付けリファレンス、DACにミッドスケールをロード。 |
| | 40 | μ V p-p (typ) | 内蔵リファレンス、DACにミッドスケールをロード。 |
| 出力ノイズ・スペクトル密度 | | | |
| @1kHz | 150 | nV/ $\sqrt{\text{Hz}}$ (typ) | |
| @10kHz | 100 | nV/ $\sqrt{\text{Hz}}$ (typ) | |

¹ 設計および特性評価により保証。出荷テストは行っていません。

² スルーレートは、AD5380制御レジスタの電流ブースト制御ビット (CR11) を使用して設定可能。

AD5380

タイミング特性

シリアル・インターフェース

表6. $DV_{DD} = 2.7 \sim 5.5V$, $AV_{DD} = 4.5 \sim 5.5V$ または $2.7 \sim 3.6V$, $AGND = DGND = 0V$
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

| パラメータ ^{1, 2, 3} | T_{MIN} , T_{MAX} での限界値 | 単位 | 説明 |
|--------------------------|-----------------------------|---------------|---|
| t_1 | 33 | ns (min) | SCLKサイクル・タイム |
| t_2 | 13 | ns (min) | SCLKのハイレベル時間 |
| t_3 | 13 | ns (min) | SCLKのローレベル時間 |
| t_4 | 13 | ns (min) | \overline{SYNC} の立下がりエッジからSCLKの立下がりエッジまでのセットアップ・タイム |
| t_5^4 | 13 | ns (min) | SCLKの24番目の立下がりエッジから \overline{SYNC} の立下がりエッジまで |
| t_6^4 | 33 | ns (min) | \overline{SYNC} の最小ローレベル時間 |
| t_7 | 10 | ns (min) | \overline{SYNC} の最小ハイレベル時間 |
| t_{7A} | 50 | ns (min) | リードバック・モードでの \overline{SYNC} の最小ハイレベル時間 |
| t_8 | 5 | ns (min) | データのセットアップ・タイム |
| t_9 | 4.5 | ns (min) | データのホールド・タイム |
| t_{10}^4 | 30 | ns (max) | SCLKの24番目の立下がりエッジから \overline{BUSY} の立下がりエッジまで |
| t_{11} | 670 | ns (max) | \overline{BUSY} のローレベル・パルス幅 (1チャンネル更新時) |
| t_{12}^4 | 20 | ns (min) | SCLKの24番目の立下がりエッジから \overline{LDAC} の立下がりエッジまで |
| t_{13} | 20 | ns (min) | \overline{LDAC} のローレベル・パルス幅 |
| t_{14} | 100 | ns (max) | \overline{BUSY} の立上がりエッジからDAC出力までの応答時間 |
| t_{15} | 0 | ns (min) | \overline{BUSY} の立上がりエッジから \overline{LDAC} の立下がりエッジまで |
| t_{16} | 100 | ns (min) | \overline{LDAC} の立下がりエッジからDAC出力までの応答時間 |
| t_{17} | 8 | μs (typ) | DAC出力のセトリング・タイム |
| t_{18} | 20 | ns (min) | \overline{CLR} のローレベル・パルス幅 |
| t_{19} | 35 | μs (max) | \overline{CLR} パルスが有効になるまでの時間 |
| t_{20}^5 | 20 | ns (max) | SCLKの立上がりエッジからSDOの有効まで |
| t_{21}^5 | 5 | ns (min) | SCLKの立下がりエッジから \overline{SYNC} の立上がりエッジまで |
| t_{22}^5 | 8 | ns (min) | \overline{SYNC} の立上がりエッジからSCLKの立上がりエッジまで |
| t_{23} | 20 | ns (min) | \overline{SYNC} の立上がりエッジから \overline{LDAC} の立下がりエッジまで |

¹ 設計と特性評価により保証。出荷テストは行っていません。

² すべての入力信号は $t_r = t_f = 5ns$ (V_{CC} の10%から90%)で規定し、1.2Vの電圧レベルからの時間とします。

³ 図2、図3、図4、図5を参照。

⁴ スタンドアロン・モードのみ。

⁵ デイジーチェーン・モードのみ。

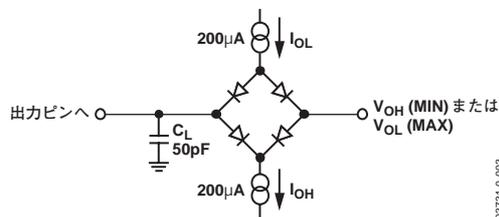


図2. デジタル出力タイミング測定時の負荷回路

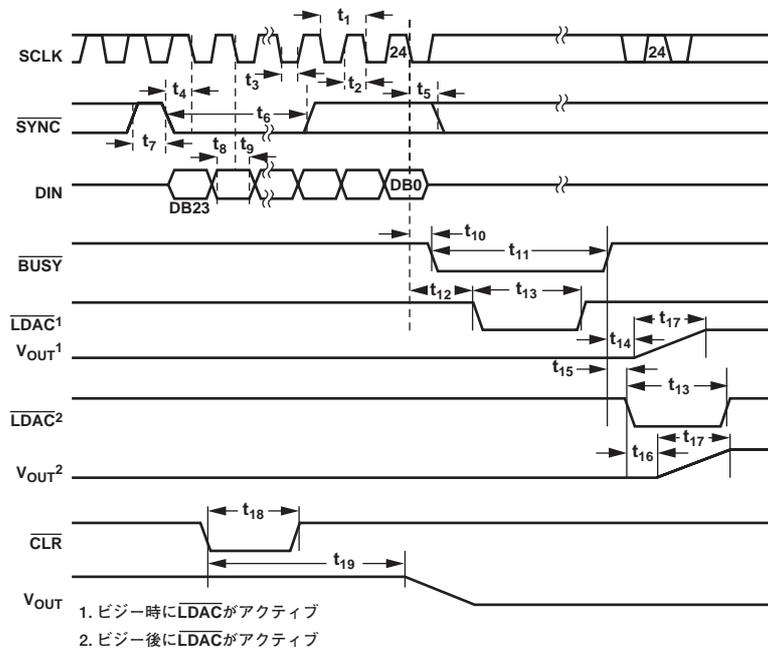


図3. シリアル・インターフェースのタイミング図 (スタンドアロン・モード)

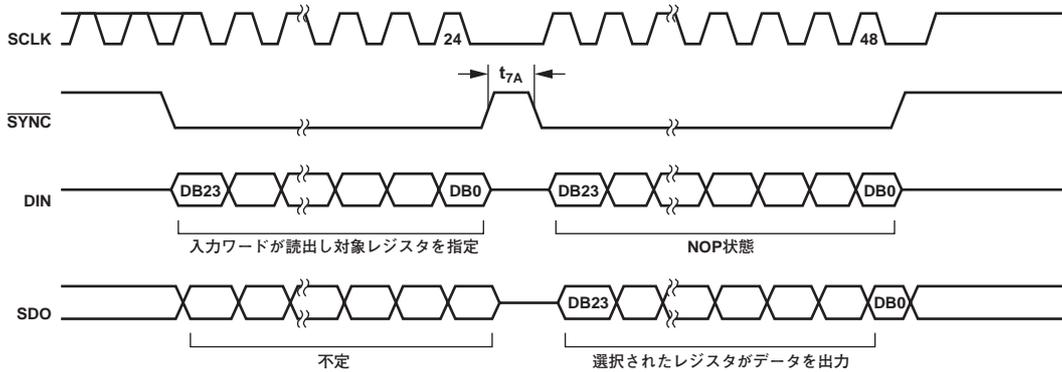


図4. シリアル・インターフェースのタイミング図 (データ・リードバック・モード)

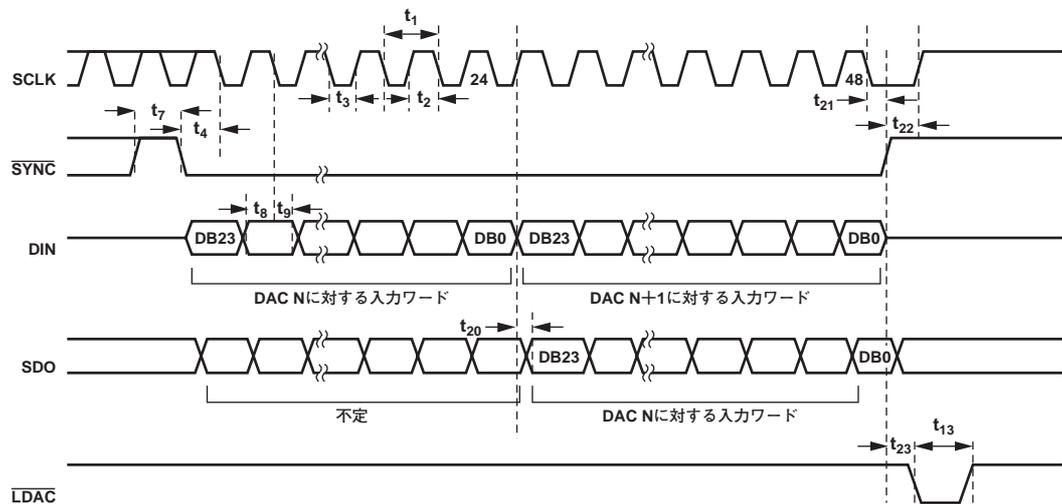


図5. シリアル・インターフェースのタイミング図 (デージーチェーン・モード)

AD5380

I²Cシリアル・インターフェース

表7. $DV_{DD} = 2.7 \sim 5.5V$, $AV_{DD} = 4.5 \sim 5.5V$ または $2.7 \sim 3.6V$, $AGND = DGND = 0V$
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

| パラメータ ^{1, 2} | T_{MIN} , T_{MAX} での限界値 | 単位 | 説明 |
|-----------------------|-----------------------------|---------------|--|
| F_{SCL} | 400 | kHz (max) | SCLクロックの周波数 |
| t_1 | 2.5 | μs (min) | SCLのサイクル・タイム |
| t_2 | 0.6 | μs (min) | t_{HIGH} , SCLのハイレベル時間 |
| t_3 | 1.3 | μs (min) | t_{LOW} , SCLのローレベル時間 |
| t_4 | 0.6 | μs (min) | $t_{HD,STA}$, スタート/繰返しスタート状態のホールド・タイム |
| t_5 | 100 | ns (min) | $t_{SU,DAT}$, データのセットアップ・タイム |
| t_6^3 | 0.9 | μs (max) | $t_{HD,DAT}$, データのホールド・タイム |
| | 0 | μs (min) | $t_{HD,DAT}$, データのホールド・タイム |
| t_7 | 0.6 | μs (min) | $t_{SU,STA}$, 繰返しスタートのセットアップ・タイム |
| t_8 | 0.6 | μs (min) | $t_{SU,STO}$, ストップ状態のセットアップ・タイム |
| t_9 | 1.3 | μs (min) | t_{BUF} , ストップ状態とスタート状態との間のバス開放時間 |
| t_{10} | 300 | ns (max) | t_R , 受信時のSCLとSDAの立上がり時間 |
| | 0 | ns (min) | t_R , 受信時のSCLとSDAの立上がり時間 (CMOS互換) |
| t_{11} | 300 | ns (max) | t_F , 送信時のSDAの立下がり時間 |
| | 0 | ns (min) | t_F , 受信時のSDAの立下がり時間 (CMOS互換) |
| | 300 | ns (max) | t_F , 受信時のSCLとSDAの立下がり時間 |
| | $20 + 0.1C_b^4$ | ns (min) | t_F , 送信時のSCLとSDAの立下がり時間 |
| C_b | 400 | pF (max) | 各バス・ラインの容量性負荷 |

¹ 設計と特性評価により保証。出荷テストは行っていません。

² 図6を参照。

³ SCLの立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA信号に対して最小でも300nsのホールド・タイムを用意する必要があります (SCL信号の $V_{IH min}$ を基準として)。

⁴ C_b は1本のバス・ラインの合計容量 (pF)です。 t_R と t_F は、 $0.3 \times DV_{DD}$ と $0.7 \times DV_{DD}$ との間で測定。

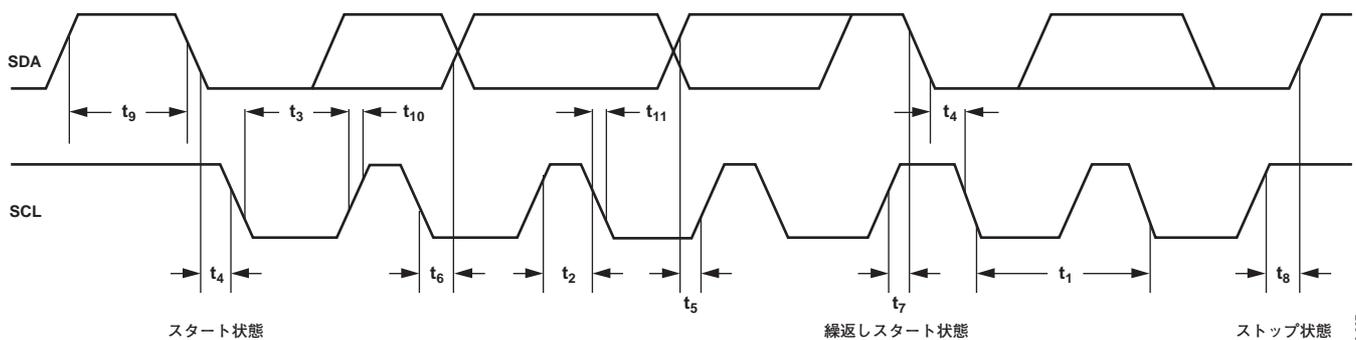


図6. I²C互換シリアル・インターフェースのタイミング図

03731-0-007

パラレル・インターフェース

表8. $DV_{DD} = 2.7 \sim 5.5V$ 、 $AV_{DD} = 4.5 \sim 5.5V$ または $2.7 \sim 3.6V$ 、 $AGND = DGND = 0V$
特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

| パラメータ ^{1, 2, 3} | T_{MIN} 、 T_{MAX} での限界値 | 単位 | 説明 |
|--------------------------|-----------------------------|---------------|---|
| t_0 | 4.5 | ns (min) | REG0、REG1、アドレスから \overline{WR} の立上がりエッジまでのセットアップ・タイム |
| t_1 | 4.5 | ns (min) | REG0、REG1、アドレスから \overline{WR} の立上がりエッジまでのホールド・タイム |
| t_2 | 20 | ns (min) | \overline{CS} のローレベル・パルス幅 |
| t_3 | 20 | ns (min) | \overline{WR} のローレベル・パルス幅 |
| t_4 | 0 | ns (min) | \overline{CS} から \overline{WR} の立下がりエッジまでのセットアップ・タイム |
| t_5 | 0 | ns (min) | \overline{WR} から \overline{CS} の立上がりエッジまでのホールド・タイム |
| t_6 | 4.5 | ns (min) | データから \overline{WR} の立上がりエッジまでのセットアップ・タイム |
| t_7 | 4.5 | ns (min) | データから \overline{WR} の立上がりエッジまでのホールド・タイム |
| t_8 | 20 | ns (min) | \overline{WR} のハイレベル・パルス幅 |
| t_9^4 | 700 | ns (min) | 最小 \overline{WR} サイクル・タイム(1チャンネル書込み) |
| t_{10} | 30 | ns (max) | \overline{WR} の立上がりエッジから \overline{BUSY} の立下がりエッジまで |
| t_{11}^4 | 670 | ns (max) | \overline{BUSY} のローレベル・パルス幅(1チャンネル更新) |
| t_{12} | 30 | ns (min) | \overline{WR} の立上がりエッジから \overline{LDAC} の立下がりエッジまで |
| t_{13} | 20 | ns (min) | \overline{LDAC} のローレベル・パルス幅 |
| t_{14} | 100 | ns (max) | \overline{BUSY} の立上がりエッジからDAC出力までの応答時間 |
| t_{15} | 20 | ns (min) | \overline{LDAC} の立上がりエッジから \overline{WR} の立上がりエッジまで |
| t_{16} | 0 | ns (min) | \overline{BUSY} の立上がりエッジから \overline{LDAC} の立下がりエッジまで |
| t_{17} | 100 | ns (min) | \overline{LDAC} の立下がりエッジからDAC出力までの応答時間 |
| t_{18} | 8 | μs (typ) | DAC出力のセリング・タイム |
| t_{19} | 20 | ns (min) | \overline{CLR} のローレベル・パルス幅 |
| t_{20} | 35 | μs (max) | \overline{CLR} パルスが有効になるまでの時間 |

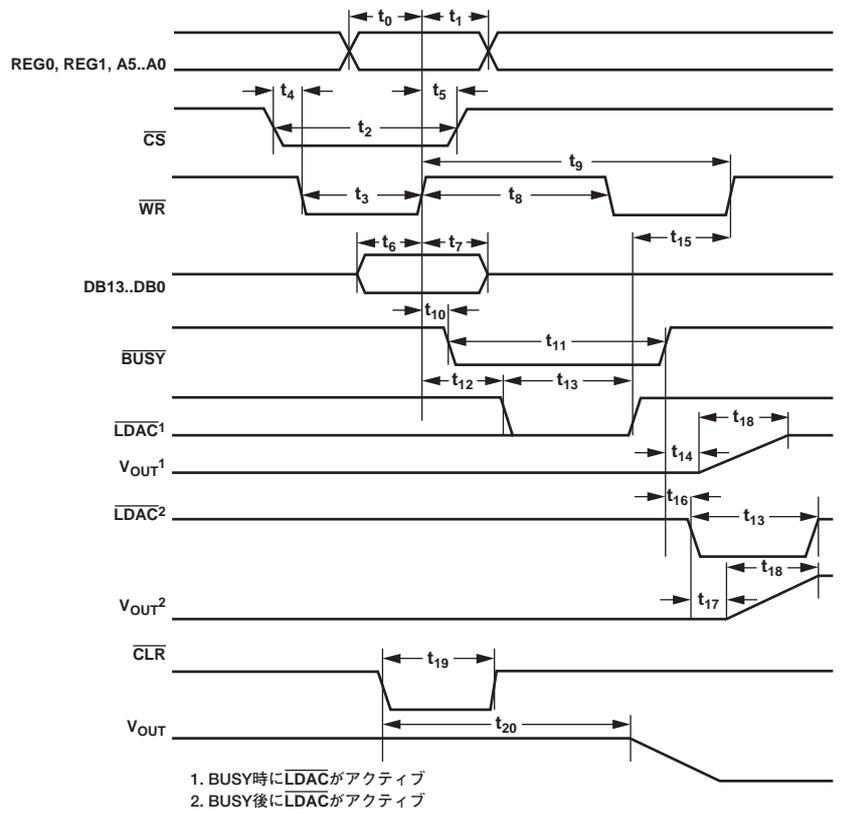
¹ 設計と特性評価により保証。出荷テストは行っていません。

² すべての入力信号は $t_r = t_f = 5ns$ (DV_{DD} の10%から90%)で規定し、1.2Vの電圧レベルからの時間とします。

³ 図7を参照。

⁴ 図29を参照。

AD5380



02731-0-008

図7. パラレル・インターフェースのタイミング図

絶対最大定格

表9. 特に指定のない限り、 $T_A = 25$ °C¹。

| パラメータ | 定格 |
|--------------------------|-----------------------|
| AGNDに対する AV_{DD} | -0.3~+7V |
| DGNDに対する DV_{DD} | -0.3~+7V |
| DGNDに対するデジタル入力 | -0.3V~ $DV_{DD}+0.3V$ |
| DGNDに対するSDA/SCL | -0.3~+7V |
| DGNDに対するデジタル出力 | -0.3V~ $DV_{DD}+0.3V$ |
| AGNDに対するREFIN/REFOUT | -0.3V~ $AV_{DD}+0.3V$ |
| DGNDに対するAGND | -0.3~+0.3V |
| AGNDに対する $VOUT_x$ | -0.3V~ $AV_{DD}+0.3V$ |
| AGNDに対するアナログ入力 | -0.3V~ $AV_{DD}+0.3V$ |
| 動作温度範囲 | |
| 商用 (Bバージョン) | -40~+85°C |
| 保存温度範囲 | -65~+150°C |
| ジャンクション温度 ($T_J \max$) | 150°C |
| 100ピンLQFPパッケージ | |
| θ_{JA} 熱抵抗 | 44°C/W |
| ハンダ・リフロー | |
| ピーク温度 | 230°C |

¹ 最大100mAまでの過渡電流ではSCRラッチ・アップは生じません。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定は、ストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。



AD5380

ピン配置および機能の説明

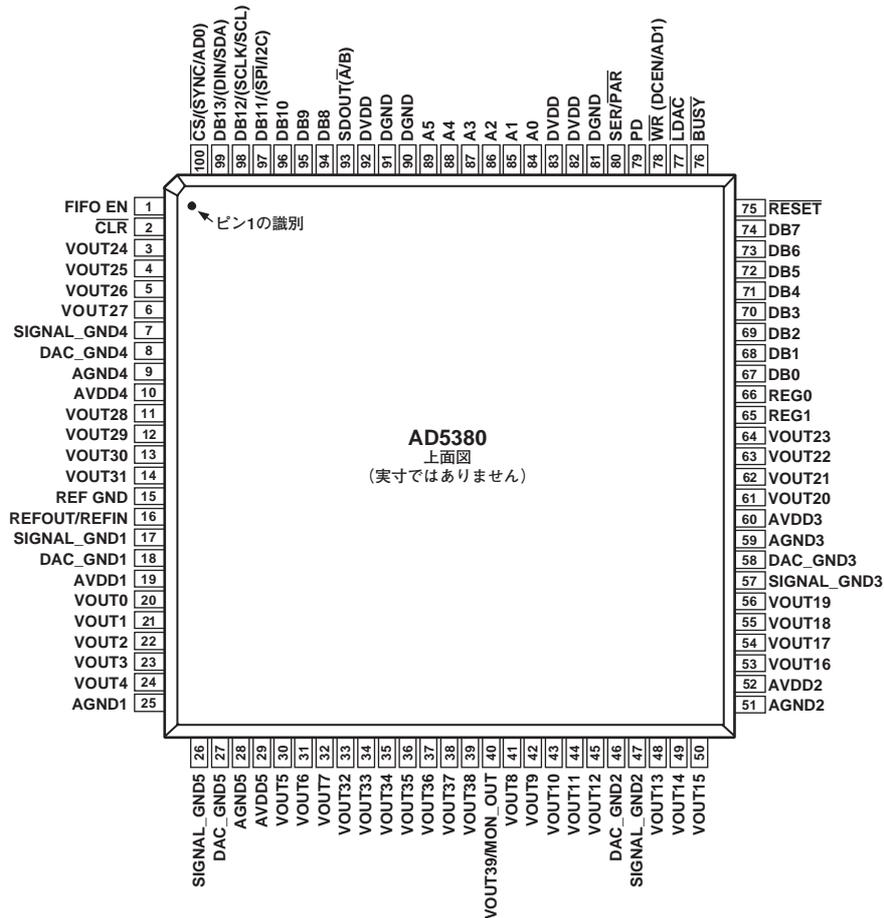


図8. 100ピンLQFPのピン配置

表10. ピンの機能説明

| 記号 | 機能 |
|-------------------|---|
| VOUT _x | チャンネル _x のバッファ付きアナログ出力。各アナログ出力は、ゲイン=2で動作するレールtoレールの出力アンプから駆動されます。各出力は、グラウンドに接続した5kΩの出力負荷を駆動できます。出力インピーダンスは0.5Ω (typ)です。 |
| SIGNAL_GND (1~5) | 8チャンネルの出力のグループの各々に対するアナログ・グラウンド基準。すべてのSIGNAL_GNDピンは内部で接続されており、AD5380にできるだけ近づけてAGNDプレーンに接続する必要があります。 |
| DAC_GND (1~5) | 8チャンネルのグループは各々1本のDAC_GNDピンを持っています。このピンは、内部14ビットDACのグラウンド基準です。これらのピンはAGNDプレーンに接続する必要があります。 |
| AGND (1~5) | アナログ・グラウンド基準ポイント。8チャンネルのグループは各々1本のAGNDピンを持っています。これらのAGNDピンはAGNDプレーンに外部接続する必要があります。 |
| AVDD (1~5) | アナログ電源ピン。8チャンネルのグループは各々1本のAVDDピンを持っています。これらのピンは内部で接続されており、0.1μFのセラミック・コンデンサおよび10μFのタンタル・コンデンサでデカップリングする必要があります。AD5380-5とAD5380-3の動作範囲は、それぞれ4.5~5.5Vと2.7~3.6Vです。 |
| DGND | すべてのデジタル回路のグラウンド。 |
| DVDD | ロジック電源。保証動作範囲は2.7~5.5Vです。これらのピンは、0.1μFのセラミック・コンデンサおよび10μFタンタル・コンデンサを使ってDGNDへデカップリングすることを推奨します。 |
| REF GND | 内蔵リファレンスに対するグラウンド基準ポイント。 |
| REFOUT/REFIN | AD5380はREFOUT/REFINピンが共通となっています。内蔵リファレンスを選択すると、このピンはリファレンス出力になります。アプリケーションで外付けリファレンスが必要な場合、このピンに接続し、制御レジスタを使って内蔵リファレンスをディスエーブルにできます。デフォルトでは、リファレンス入力です。 |

| 記号 | 機能 |
|--|---|
| VOUT39/MON_OUT | このピンは、2つの機能を持っています。デフォルト・モードではチャンネル39のバッファ付き出力として機能します。モニタ機能がイネーブルになると、このピンは39:1のチャンネル・マルチプレクサ出力として機能し、チャンネル0~38の中から1チャンネルを選択し、MON_OUTピンに出力するように設定できます。MON_OUTピンの出力インピーダンスは500Ω (typ)で、SAR ADC入力による高入力インピーダンスなどを駆動するためのものです。 |
| SER/ $\overline{\text{PAR}}$ | インターフェース選択入力。シリアル・インターフェースまたはパラレル・インターフェースの選択が行えます。このピンをハイレベルに接続するとシリアル・インターフェース・モードが選択され、さらにピン97 ($\overline{\text{SPI}}/\text{I}^2\text{C}$)を使用してSPIまたはI ² Cのインターフェース・モードを選択します。SER/ $\overline{\text{PAR}}$ がローレベルの場合は、パラレル・インターフェース・モードが選択されます。 |
| $\overline{\text{CS}}/(\overline{\text{SYNC}}/\text{AD0})$ | パラレル・インターフェース・モードでは、このピンはチップ・セレクト入力として機能します(レベル検出、アクティブ・ローレベル)。ローレベルのとき、AD5380が選択されます。 シリアル・インターフェース・モード。アドレス指定されたレジスタが更新される前のシリアル・クロックに対するフレーム同期化入力信号です。 |
| $\overline{\text{WR}}/(\text{DCEN}/\text{AD1})$ | I ² Cモード。このピンはハードウェア・アドレス・ピンとして機能し、AD1との組み合わせにより、I ² Cバス上にあるデバイスのソフトウェア・アドレスを指定します。 多機能ピン。パラレル・インターフェース・モードでは、このピンは書込みイネーブルとして機能します。シリアル・インターフェース・モードでは、このピンはSPIモード時にデジタイゼーション・イネーブルとして、I ² Cモード時にハードウェア・アドレス・ピンとして機能します。 パラレル・インターフェース書込み入力(エッジ検出)。選択されたデバイス・レジスタに書込みを行うとき、 $\overline{\text{WR}}$ の立上がりエッジを、 $\overline{\text{CS}}$ のローレベルおよびアドレス・バス入力と組み合わせで使用します。 シリアル・インターフェース。デジタイゼーション選択入力(レベル検出、アクティブ・ハイレベル)。この信号がハイレベルのとき、SER/ $\overline{\text{PAR}}$ のハイレベルとの組み合わせにより、SPIシリアル・インターフェースのデジタイゼーション・モードをイネーブルにします。 I ² Cモード。このピンはハードウェア・アドレス・ピンとして機能し、AD0との組み合わせにより、I ² Cバス上にあるデバイスのソフトウェア・アドレスを指定します。 |
| DB13~DB0 | パラレル・データ・バス。AD5380上の入力データワードのDB13はMSBで、DB0はLSBです。 |
| A5~A0 | パラレル・アドレス入力。A5~A0はデコードされて、AD5380の40チャンネルの入力チャンネルの1つをアドレス指定します。REG1ピンおよびREG0ピンとの組み合わせにより、入力データのディスティネーション・レジスタを指定します。 |
| REG1、REG0 | パラレル・インターフェース・モードでは、入力データのディスティネーション・レジスタをデコードする際にREG1とREG0を使います。REG1とREG0はデコードされて、入力データ・レジスタ、オフセット・レジスタ、または選択されたチャンネルに対するゲイン・レジスタのアドレス指定を行い、さらにスペシャル・ファンクション・レジスタの指定にも使われます。 |
| SDO/($\overline{\text{A}}/\text{B}$) | シリアル・インターフェース・モードでは、シリアル・データ出力になります。スリーステートが可能なCMOS出力です。SDOは、複数のデバイスをデジタイゼーション接続する場合にも使用できます。データはSCLKの立上がりエッジでSDOに出力され、SCLKの立下がりエッジで有効になります。 パラレル・インターフェース・モードで動作する場合、トグル・モードを選択してAD5380のデータ・レジスタにデータを書き込む際に、このピンによってデータ・レジスタのAまたはBを選択します(「トグル・モード機能」を参照)。トグル・モードでは、データが格納されているAデータ・レジスタまたはBデータ・レジスタからの出力の切替えは、 $\overline{\text{LDAC}}$ を使って行います。すべてのDACチャンネルに2個のデータ・レジスタがあります。ノーマル・モード時、デフォルトではデータ・レジスタAがデータ転送用に指定されています。 |
| $\overline{\text{BUSY}}$ | デジタルCMOS出力。 $\overline{\text{BUSY}}$ は、DACデータ・レジスタにロードされたデータ(x2)を内部で計算している間はローレベルになります。この間は、x1レジスタ、cレジスタ、mレジスタへの新しいデータの書込みを続けることはできませんが、DACレジスタとDAC出力の更新はありません。 $\overline{\text{BUSY}}$ がローレベルのときに $\overline{\text{LDAC}}$ をローレベルにすると、このイベントは保存されます。パワーオン・リセット時にも $\overline{\text{BUSY}}$ はローレベルになります。さらに、 $\overline{\text{BUSY}}$ ピンがローレベルのときにはインターフェースがディスエーブルになり、 $\overline{\text{LDAC}}$ 上のすべてのイベントが無視されます。 $\overline{\text{CLR}}$ 動作でも $\overline{\text{BUSY}}$ はローレベルになります。 |
| $\overline{\text{LDAC}}$ | ロードDACロジック入力(アクティブ・ローレベル)。 $\overline{\text{BUSY}}$ が非アクティブ(ハイレベル)のときに $\overline{\text{LDAC}}$ をローレベルにすると、入力レジスタの値がDACレジスタに転送され、DAC出力が更新されます。 $\overline{\text{BUSY}}$ がアクティブのときに $\overline{\text{LDAC}}$ をローレベルにして内部計算を開始させると、 $\overline{\text{LDAC}}$ イベントが保存され、 $\overline{\text{BUSY}}$ が非アクティブになったときにDACレジスタが更新されます。ただし、パワーオン・リセットまたはRESETの間は $\overline{\text{LDAC}}$ 上のすべてのイベントが無視されます。 |
| $\overline{\text{CLR}}$ | 非同期のクリア入力。 $\overline{\text{CLR}}$ 入力は、立下がりエッジで検出されます。 $\overline{\text{CLR}}$ がアクティブになると、すべてのチャンネルが $\overline{\text{CLR}}$ コード・レジスタに格納されているデータで更新されます。 $\overline{\text{CLR}}$ コードですべてのチャンネルを更新している間、 $\overline{\text{BUSY}}$ は35μsの間、ローレベルになります。 |

AD5380

| 記号 | 機能 |
|-----------------|--|
| RESET | 非同期のデジタル・リセット入力(立下がりエッジ検出)。このピンの機能は、パワーオン・リセット・ジェネレータの機能と同じです。このピンをローレベルにすると、ステート・マシンがリセット・シーケンスを開始し、x1レジスタ、mレジスタ、cレジスタ、x2レジスタをデフォルトのパワーオン値にデジタル的にリセットします。このシーケンスには270 μ s (typ)を要します。RESETの立下がりエッジはRESET プロセスを起動して、この間、BUSY がローレベルになり、RESET が完了するとハイレベルに戻ります。BUSY がローレベルの間、すべてのインターフェースがデイスエーブルになるため、すべてのLDACパルスが無視されます。BUSY がハイレベルに戻ると、ノーマル動作が開始され、RESET ピンの状態は次の立下がりエッジが検出されるまで無視されます。 |
| PD | パワーダウン(レベル検出、アクティブ・ハイレベル)。PDはデバイスを低消費電力モードにするときに使います。AIDDは2 μ Aに、DIDDは20 μ Aに減少します。パワーダウン・モードでは、すべての内部アナログ回路が低消費電力モードになり、アナログ出力はパワーダウン・モードの設定に応じて、高インピーダンス出力に設定されるか、グラウンドに100k Ω の負荷を与えます。シリアル・インターフェースはパワーダウン時もアクティブのままです。 |
| FIFO EN | FIFOイネーブル(レベル検出、アクティブ・ハイレベル)。DVDDに接続すると、内蔵FIFOがイネーブルになり、フル速度でのデバイスへの書き込みが可能になります。FIFOは、パラレル・インターフェース・モードでのみ使用可能です。FIFO_ENピンの状態はパワーアップ時や、CLEARの後またはRESETの後にもサンプルされ、FIFOがイネーブルかどうか調べられます。シリアル・インターフェース・モードまたはI ² Cインターフェース・モードでは、FIFO_ENピンはローレベルに接続しておく必要があります。 |
| DB11 (SPI/I2C) | 多機能入力ピン。パラレル・インターフェース・モードでは、このピンはパラレル入力データワードのDB11として機能します。シリアル・インターフェース・モードでは、シリアル・インターフェース・モード選択として機能します。シリアル・インターフェース・モードが選択され(SER/ $\overline{\text{PAR}}$ =1)、かつこの入力が高レベルの場合には、SPIモードが選択されます。SPIモードでは、DB12はシリアル・クロック(SCLK)入力、DB13はシリアル・データ(DIN)入力です。シリアル・インターフェース・モードが選択され(SER/ $\overline{\text{PAR}}$ =1)、かつこの入力が高レベルの場合には、I ² Cモードが選択されます。このモードでは、DB12はシリアル・クロック(SCL)入力、DB13はシリアル・データ(SDA)入力です。 |
| DB12 (SCLK/SCL) | 多機能入力ピン。パラレル・インターフェース・モードでは、このピンはパラレル入力データワードのDB12として機能します。シリアル・インターフェース・モードでは、シリアル・クロック入力として機能します。シリアル・インターフェース・モード。シリアル・インターフェース・モードでは、データはSCLKの立下がりエッジでシフト・レジスタに入力されます。この動作は最大30MHzのクロック速度まで可能です。I ² Cモード。I ² Cモードでは、このピンはデバイスにデータを入力するSCLとして機能します。I ² Cモードでのデータ転送レートは、100kHzおよび400kHzの動作モードと互換性があります。 |
| DB13/(DIN/SDA) | 多機能データ入力ピン。パラレル・インターフェース・モードでは、このピンはパラレル入力データワードのDB13として機能します。シリアル・インターフェース・モード。シリアル・インターフェース・モードでは、このピンはシリアル・データ入力として機能します。データは、SCLKの立下がりエッジで有効である必要があります。I ² Cモード。I ² Cモードでは、このピンはオープン・ドレイン入出力として動作するシリアル・データ・ピン(SDA)です。 |

用語の説明

相対精度(積分非直線性、INL)

相対精度またはエンドポイント非直線性とは、DAC伝達関数の両端を結ぶ直線からの最大偏差値を表します。ゼロスケール誤差とフルスケール誤差を調整した後に測定し、LSBで表します。

微分非直線性(DNL)

微分非直線性とは、隣接する2つのコード間で測定した変化と理論的な1LSB変化との差をいいます。最大-1LSBの規定された微分非直線性によって、単調増加性が保証されます。

ゼロスケール誤差

ゼロスケール誤差とは、全ビット0をDACレジスタにロードしたときのDAC出力電圧の誤差です。理論的には、全ビット0をDACにロードし、 $m = \text{全ビット}1$ 、 $c = 2^{m-1}$ の場合、以下のようになります。

$$V_{OUT}(\text{Zero-Scale}) = 0V$$

ゼロスケール誤差は、 V_{OUT} (実測値)と V_{OUT} (理論値)の差をいい、 mV で表します。主に、出力アンプのオフセットに起因します。

オフセット誤差

オフセット誤差とは、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論値)の差をいい、 mV で表示します。オフセット誤差は、AD5380-5ではコード32を、AD5380-3ではコード64をDACレジスタにロードして測定します。

ゲイン誤差

ゲイン誤差は、 $V_{OUT} = 10mV$ と $V_{OUT} = AV_{DD} - 50mV$ との間の出力範囲の直線領域で規定されます。DAC伝達特性傾斜の理論値からの偏差で、DAC出力無負荷時の%FSRで表します。

DCクロストーク

これは、ミッドスケールに設定された1つのDACの出力が、他のすべてのDACの全コードを同時に変化させたときに受けるDC変化量のことです。LSBで表します。

DC出力インピーダンス

有効出力ソース抵抗です。パッケージのピン抵抗によって決まります。

出力電圧セトリング・タイム

これは、1/4から3/4へのフルスケール入力の変化に対して、DAC出力が規定のレベルに安定するまでに要する時間で、 \overline{BUSY} の立上がりエッジから測定されます。

デジタル/アナログ・グリッチ・エネルギー

大きなコード遷移があったときにアナログ出力に現れるエネルギー量のことです。グリッチの面積として規定され、 $nV \cdot s$ で表示します。0x1FFFと0x2000との間でDACレジスタ・データをトグルさせて測定します。

DACからDACへのクロストーク

DACからDACへのクロストークは、デジタル変化とそれに続く別のDACでのアナログ出力変化の両方に起因して、ある1個のDAC出力に発生するグリッチ・インパルスです。クロストークを受けるチャンネルにはミッドスケールがロードされます。DACからDACへのクロストークは $nV \cdot s$ で表します。

デジタル・クロストーク

別のコンバータのDACレジスタでのコード変化に起因して、ある1個のコンバータの出力に混入するグリッチ・インパルスは、デジタル・クロストークとして定義され、 $nV \cdot s$ で表します。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを通して容量的に結合され、 V_{OUT} ピンにノイズとして現れます。電源ラインとグラウンド・ラインで結合することもあります。このノイズがデジタル・フィードスルーです。

出力ノイズ・スペクトル密度

内部で発生したランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度(V/\sqrt{Hz})で表されます。全DACにミッドスケールを入力してから、出力でのノイズを測定します。1Hz帯域幅の10kHzでの nV/\sqrt{Hz} で測定します。

AD5380

代表的な性能特性

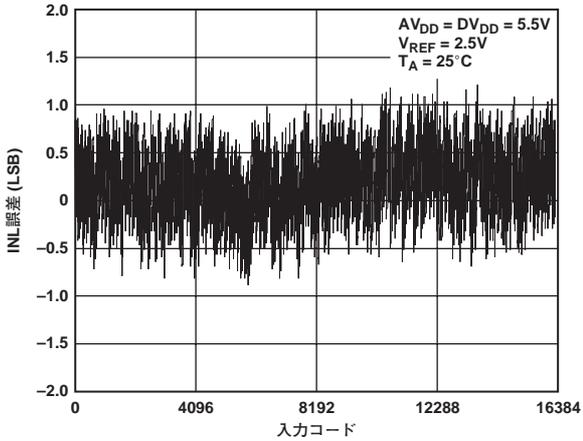


図9. AD5380-5のINLプロット (typ値)

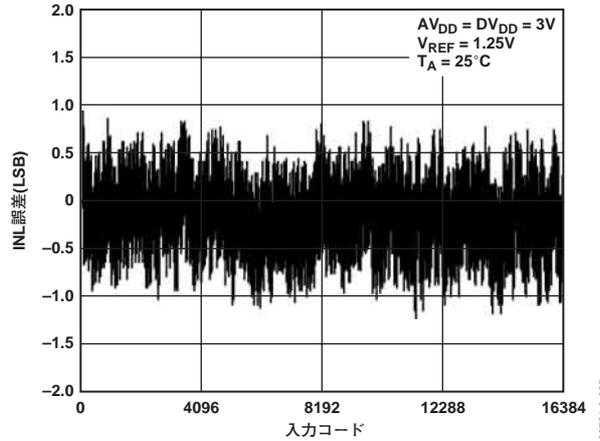


図12. AD5380-3のINLプロット (typ値)

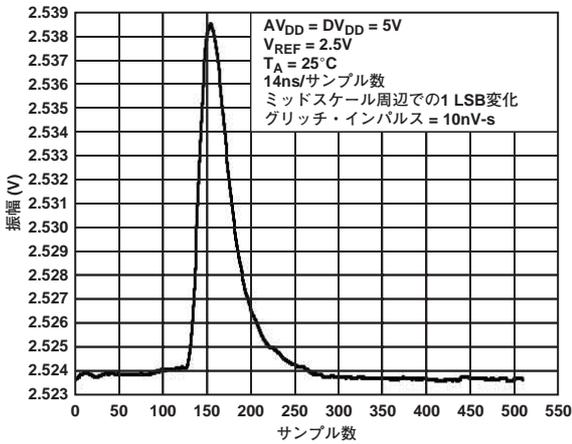


図10. AD5380-5のグリッチ・インパルス

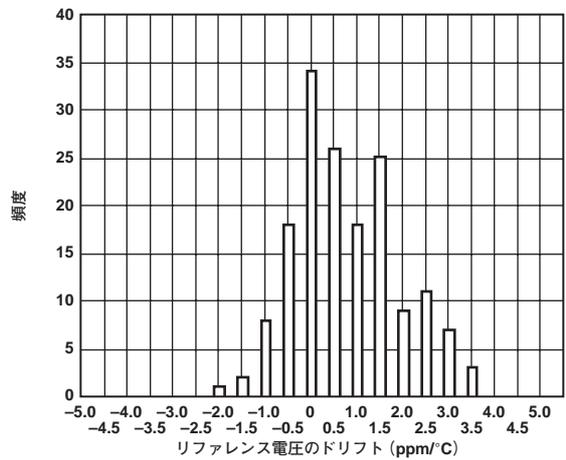


図13. AD5380のREFOUT温度係数

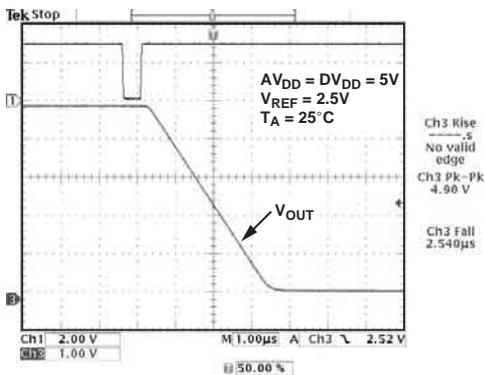


図11. プースト・オフ時のスルーレート

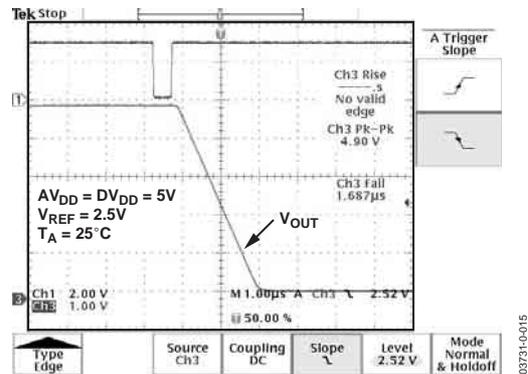


図14. プースト・オン時のスルーレート

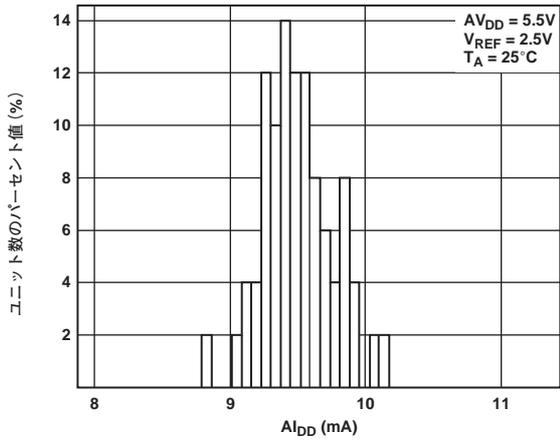


図15. ブースト・オフ時のI_{DD}ヒストグラム

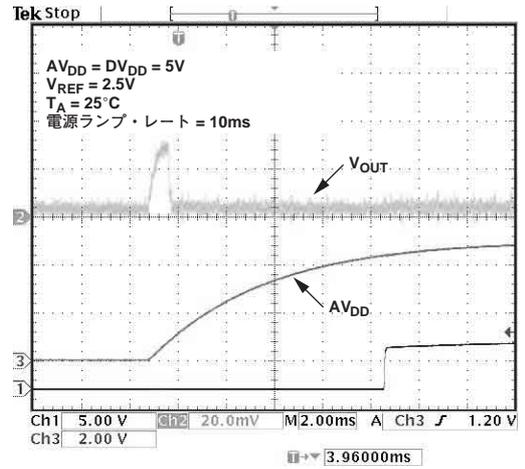


図18. AD5380のパワーアップ時過渡電圧

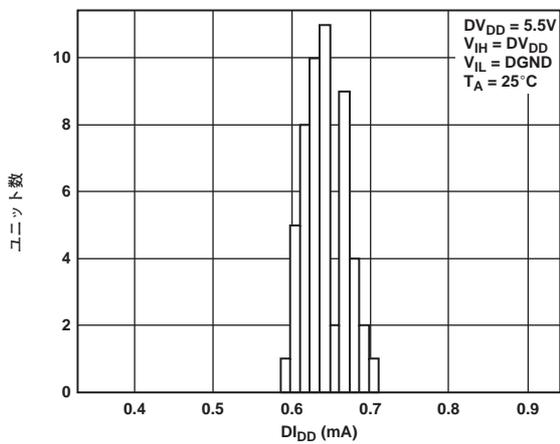


図16. DI_{DD}のヒストグラム

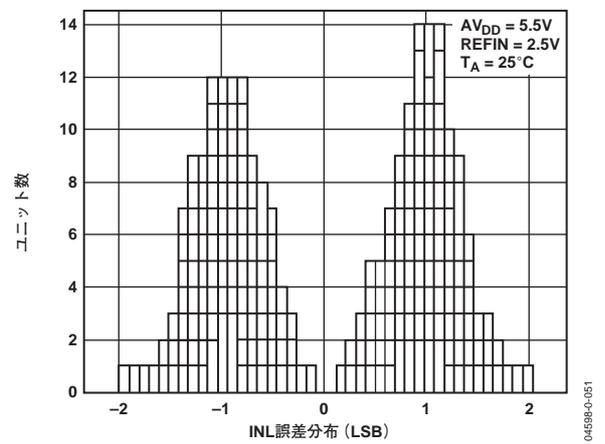


図19. INLの分布

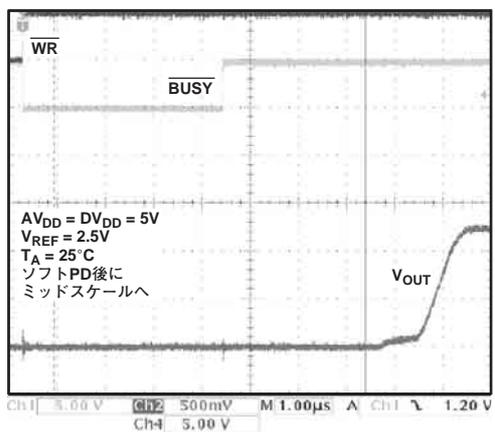


図17. ソフト・パワーダウンの終了

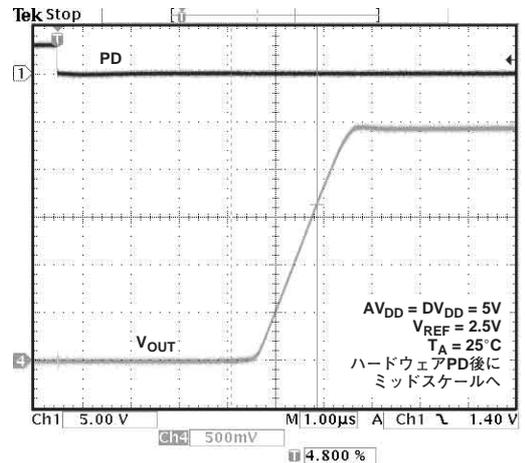


図20. ハードウェア・パワーダウンの終了

AD5380

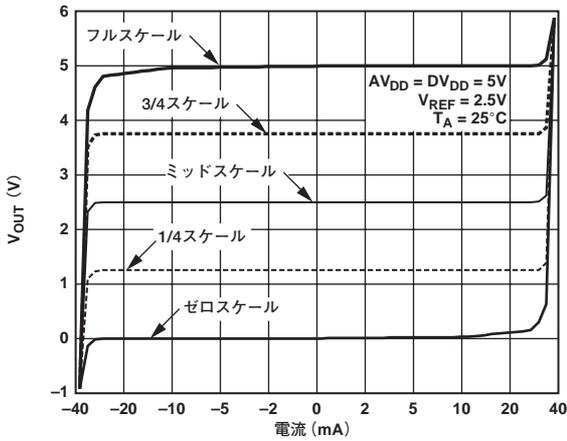


図21. AD5380-5出力アンプのソース能力とシンク能力

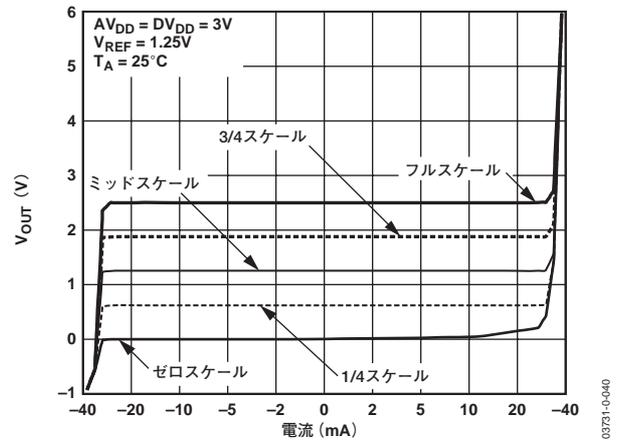


図24. AD5380-3出力アンプのソース能力とシンク能力

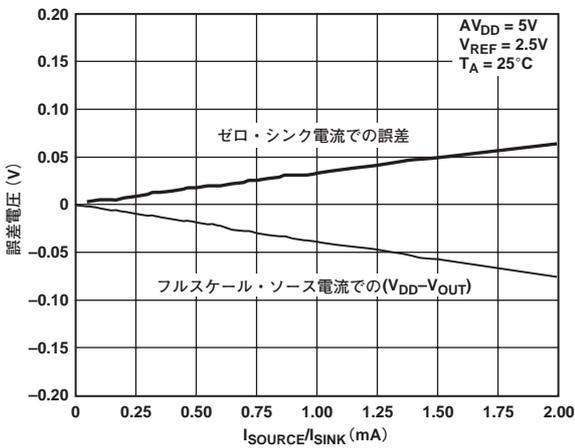


図22. ソース/シンク電流対レールのヘッドルーム

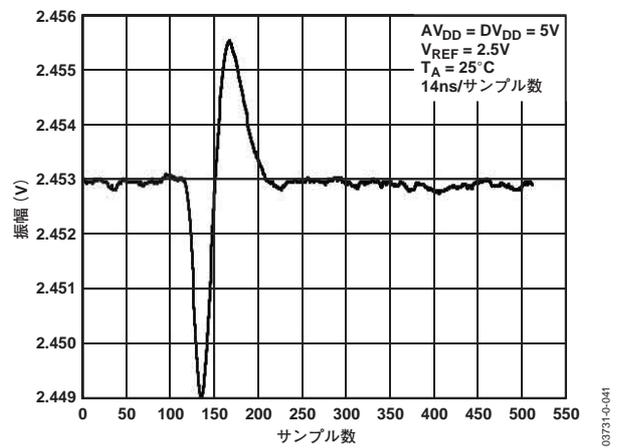


図25. 隣接チャンネルのDACからDACへのクロストーク

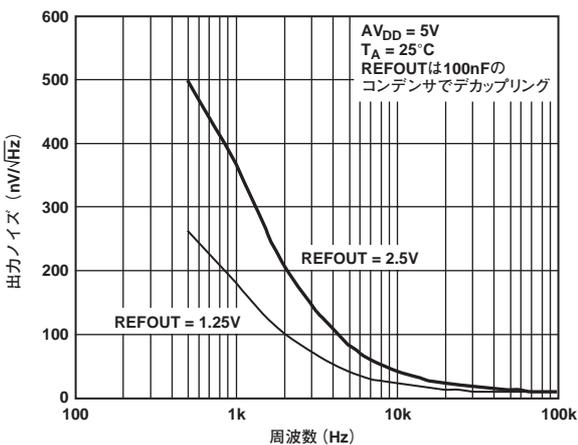


図23. REFOUTのノイズ・スペクトル密度

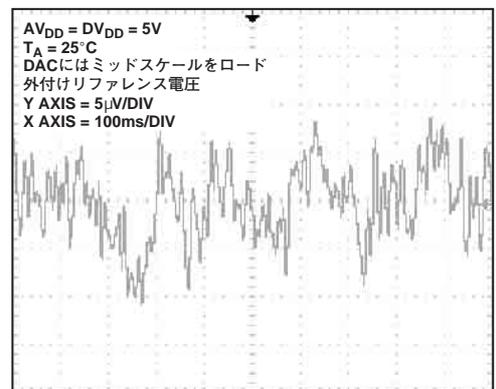


図26. 0.1~10Hzでのノイズ・プロット

機能説明

DACのアーキテクチャ—概要

AD5380は、自己完結型の単電源動作、40チャンネル電圧出力の14ビットDACです。100ピンLQFPパッケージを採用し、パラレルおよびシリアル両方のインターフェースを内蔵しています。また、ソフトウェアから選択可能な1.25V/2.5Vの10ppm/°Cリファレンスを内蔵しており、それを使用してバッファ付きリファレンス入力を駆動できます。あるいは、外付けリファレンスを接続して駆動することもできます。リファレンスの内部か外付けかの選択は、制御レジスタのCR10ビットで行います。内蔵リファレンスを選択した場合には、CR12でリファレンス電圧の大きさを選択できます。すべてのチャンネルにレールtoレール出力の出力アンプが内蔵されており、5kΩと200pFの並列接続負荷を駆動できます。

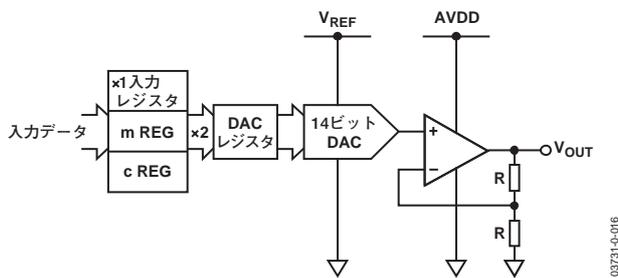


図27. 1チャンネルのアーキテクチャ

DAC 1チャンネルのアーキテクチャは、14ビットの抵抗ストリングDACと、これに続くゲイン=2で動作する出力バッファ・アンプから構成されています。この抵抗ストリング・アーキテクチャがDACの単調増加性を保証しています。DACレジスタにロードされる14ビットのバイナリ・デジタル・コードが、電圧を取り出すストリング上のノードを決め、取り出された電圧が出力アンプに入力されます。これらのデバイスの各チャンネルには、独立したオフセット制御レジスタおよびゲイン制御レジスタが内蔵されているため、オフセットとゲインをデジタル的に調整できます。これらのレジスタにより、補正係数を格納している内蔵のmレジスタとcレジスタを使用し、DACを含むシグナル・チェーン全体を校正して誤差をなくすことができます。すべてのチャンネルがダブル・バッファされているため、 $\overline{\text{LDAC}}$ ピンを使用して全チャンネルの同期更新が可能です。図27に、AD5380の1チャンネルのブロック図を示します。各DACのデジタル入力伝達関数は、次のように表せます。

$$x2 = [(m+2)/2^n \times x1] + (c-2^{n-1})$$

ここで、

x2は抵抗ストリングDACにロードされるデータワード

x1はDAC入力レジスタに書き込まれる14ビットのデータワード

mはゲイン係数(AD5380でのデフォルトは0x3FFE)。ゲイン係数は上位13ビット(DB13~DB1)に書き込まれ、LSB(DB0)はゼロです。

n=DACの分解能(AD5380の場合n=14)

cは14ビット・オフセット係数(デフォルトは0x2000)。

これらのデバイスの完全な伝達関数は、次のように表すことができます。

$$V_{OUT} = 2 \times V_{REF} \times x2/2^n$$

x2は抵抗ストリングDACにロードされるデータワード。V_{REF}は、内蔵リファレンス電圧または外部からDACのREFOUT/REFINピンに入力されたリファレンス電圧。規定性能を得るには、AD5380-5には2.5V、AD5380-3には1.25Vの外付けリファレンス電圧を推奨します。

データのデコーディング

AD5380には14ビットのデータ・バス(DB13~DB0)が内蔵されています。REG1とREG0の値に応じて(表3を参照)、このデータがアドレス指定されたDAC入力レジスタ、オフセット・レジスタ(c)、またはゲイン・レジスタ(m)にロードされます。DACデータのフォーマット、オフセット・レジスタ(c)、ゲイン・レジスタ(m)のフォーマットを表12~14に示します。

表11. レジスタの選択

| REG1 | REG0 | 選択されるレジスタ |
|------|------|--------------------------|
| 1 | 1 | 入力データ・レジスタ (x1) |
| 1 | 0 | オフセット・レジスタ (c) |
| 0 | 1 | ゲイン・レジスタ (m) |
| 0 | 0 | スペシャル・ファンクション・レジスタ (SFR) |

表12. DACデータのフォーマット(REG1 = 1, REG0 = 1)

| DB13~DB0 | | | | DAC出力 (V) |
|----------|------|------|------|-----------------------------------|
| 11 | 1111 | 1111 | 1111 | 2V _{REF} × (16383/16384) |
| 11 | 1111 | 1111 | 1110 | 2V _{REF} × (16382/16384) |
| 10 | 0000 | 0000 | 0001 | 2V _{REF} × (8193/16384) |
| 10 | 0000 | 0000 | 0000 | 2V _{REF} × (8192/16384) |
| 01 | 1111 | 1111 | 1111 | 2V _{REF} × (8191/16384) |
| 00 | 0000 | 0000 | 0001 | 2V _{REF} × (1/16384) |
| 00 | 0000 | 0000 | 0000 | 0 |

表13. オフセット・データのフォーマット(REG1 = 1, REG0 = 0)

| DB13~DB0 | | | | オフセット (LSB) |
|----------|------|------|------|-------------|
| 11 | 1111 | 1111 | 1111 | +8191 |
| 11 | 1111 | 1111 | 1110 | +8190 |
| 10 | 0000 | 0000 | 0001 | +1 |
| 10 | 0000 | 0000 | 0000 | 0 |
| 01 | 1111 | 1111 | 1111 | -1 |
| 00 | 0000 | 0000 | 0001 | -8191 |
| 00 | 0000 | 0000 | 0000 | -8192 |

表14. ゲイン・データのフォーマット(REG1 = 0, REG0 = 1)

| DB13~DB0 | | | | ゲイン係数 |
|----------|------|------|------|-------|
| 11 | 1111 | 1111 | 1110 | 1 |
| 10 | 1111 | 1111 | 1110 | 0.75 |
| 01 | 1111 | 1111 | 1110 | 0.5 |
| 00 | 1111 | 1111 | 1110 | 0.25 |
| 00 | 0000 | 0000 | 0000 | 0 |

AD5380

内蔵スペシャル・ファンクション・レジスタ(SFR)

AD5380は多くのスペシャル・ファンクション・レジスタ(SFR)を内蔵しています(表15)。SFRはREG1=REG0=0でアドレス指定され、アドレス・ビットA5~A0を使ってデコードされます。

表15. SFRレジスタの機能(REG1 = 0、REG0 = 0)

| R/W | A5 | A4 | A3 | A2 | A1 | A0 | 機能 |
|-----|----|----|----|----|----|----|------------|
| X | 0 | 0 | 0 | 0 | 0 | 0 | NOP (動作なし) |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | CLRコードの書込み |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | ソフトCLR |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | ソフト・パワーダウン |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | ソフト・パワーアップ |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 制御レジスタの書込み |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 制御レジスタの読出し |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | チャンネルのモニタ |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | ソフト・リセット |

SFRコマンド

NOP(動作なし)

REG1=REG0=0、A5~A0=000000

動作なしですが、シリアル・リードバック・モード時に診断目的でD_{OUT}にデータ出力するのに便利です。NOP動作中は、 $\overline{\text{BUSY}}$ パルスはローレベルになります。

CLRコードの書込み

REG1=REG0=0、A5~A0=000001
DB13~DB0=CLRデータを格納

$\overline{\text{CLR}}$ ラインをローレベルにするかソフト・クリア機能を実行すると、ユーザ設定可能なCLRレジスタ内のデータが各DACレジスタにロードされ、この値に基づいてVOUT0~VOUT39が設定されます。この機能は、クリア状態で特定の出力電圧を設定する際に非常に便利です。これはキャリブレーション目的にも便利です。すなわち、フルスケールまたはゼロスケールをクリア・コード・レジスタにロードし、ハードウェア・クリアまたはソフトウェア・クリアを実行することで、このコードを全DACにロードできるため、各DACに対する個々の書込みが不要になります。パワーアップ時のデフォルトは、全ビット・ゼロです。

ソフトCLR

REG1=REG0=0、A5~A0=000010
DB13~DB0=ドント・ケア

この命令を実行するとCLRが実行されます。CLRの機能は、外部 $\overline{\text{CLR}}$ ピンと同じです。DAC出力には、CLRコード・レジスタ内のデータがロードされます。ソフトCLRの実行には $\overline{\text{BUSY}}$ のローレベル時間で表示した35 μ sを要します。

ソフト・パワーダウン

REG1=REG0=0、A5~A0=001000
DB13~DB0=ドント・ケア

この命令を実行すると、グローバル・パワーダウン機能が実行されて全チャンネルが低消費電力モードになり、アナログ電源電流が最大2 μ Aに、デジタル電流が最大20 μ Aに削減されます。パワーダウン・モードでは、出力アンプは高インピーダンス出力に設定されるか、またはグラウンドに100k Ω の負荷を与えます。すべての内部レジスタの値はパワーダウン・モードで保持されます。パワーダウンでは、どのレジスタに対しても書込みはできません。

ソフト・パワーアップ

REG1=REG0=0、A5~A0=001001
DB13~DB0=ドント・ケア

この命令は、出力アンプと内蔵リファレンスをパワーアップするときに使います。パワーダウンを終了するには8 μ sを要します。ハードウェア・パワーダウンとソフトウェア機能は、デジタルOR機能により内部で結合されています。

ソフト・リセット

REG1=REG0=0、A5~A0=001111
DB13~DB0=ドント・ケア

この命令は、ソフトウェア・リセットを実行するときに使います。すべての内部レジスタがそれぞれのデフォルト値にリセットされ、mはフルスケールに、cはゼロに対応します。DACレジスタの値はクリアされ、すべてのアナログ出力が0Vになります。ソフト・リセットの実行時間は135 μ sです。

表16. 制御レジスタの値

| MSB | | | | | | | | | | | LSB | | |
|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| CR13 | CR12 | CR11 | CR10 | CR9 | CR8 | CR7 | CR6 | CR5 | CR4 | CR3 | CR2 | CR1 | CR0 |

制御レジスタの書込み／読出し

REG1=REG0=0、A5~A0=001100、R/ \bar{W} の状態が書込み動作(R/ \bar{W} =0)か読出し動作(R/ \bar{W} =1)かを指定。DB13~DB0には、制御レジスタ・データを格納。

制御レジスタの値

CR13: パワーダウン・ステータス。このビットは、パワーダウン時の出力アンプの状態を設定するときに使います。

CR13=1: アンプ出力は高インピーダンスになります(パワーアップ時のデフォルト)。

CR13=0: アンプ出力とグラウンドとの間に100k Ω が接続されます。

CR12: REFの選択。このビットは、AD5380の内蔵リファレンス電圧を選択します。CR12は次のように設定します。

CR12=1: 内蔵リファレンスを2.5V(AD5380-5のデフォルト)に設定。これはAD5380-5の推奨動作リファレンスです。

CR12=0: 内蔵リファレンスを1.25V(AD5380-3のデフォルト)に設定。これはAD5380-3の推奨動作リファレンスです。

CR11: 電流ブーストの制御。このビットは、出力アンプの電流をブーストし、それによってスルーレートを変更するときに使います。このビットは次のように設定します。

CR11=1: ブースト・モードをオン。出力アンプのバイアス電流を最大にし、スルーレートを最適化しますが、消費電力は増えます。

CR11=0: ブースト・モードをオフ(パワーアップ時のデフォルト)。出力アンプのバイアス電流を減らし、全体の消費電力を減らします。

CR10: 内蔵／外付けリファレンス。このビットは、DACが内蔵リファレンスを使用するか、外付けリファレンスを使用するかを指定します。

CR10=1: 内蔵リファレンスをイネーブル。リファレンス出力は、CR12に格納されているデータによって決定されます。

CR10=0: 外付けリファレンスを選択(パワーアップ時のデフォルト)。

CR9: チャンネル・モニタのイネーブル(チャンネル・モニタ機能を参照)

CR9=1: モニタをイネーブル。チャンネル・モニタ機能がイネーブルになります。SFRレジスタ内のモニタ・チャンネルに書込み後、選択されたチャンネルの出力がMON_OUTピンに接続されます。VOUT 39は、MON_OUTピンとして機能します。

CR9=0: モニタをディスエーブル(パワーアップ時のデフォルト)。モニタがディスエーブルになると、MON_OUTピンは通常のDAC出力機能を開始します。

CR8: サーマル・モニタ機能。この機能がイネーブルになると、AD5380の内部チップ温度をモニタします。サーマル・モニタは、チップ温度が130 $^{\circ}$ Cを超えると出力アンプをパワーダウンさせます。この機能は、多数の出力チャンネルが同時に短絡されて消費電力が大きくなった場合に、デバイスを保護するのに使用できます。チップ温度が130 $^{\circ}$ Cを下回ると、ソフト・パワーアップが出力アンプを再イネーブルします。

CR8=1: サーマル・モニタをイネーブル。

CR8=0: サーマル・モニタをディスエーブル(パワーアップ時のデフォルト)。

CR7: ドント・ケア。

CR6~CR2: トグル機能をイネーブル。この機能により、各DACのAレジスタとBレジスタにロードされた2つのコードの間で出力をトグルすることができます。制御レジスタ・ビットCR6~CR2を使用し、トグル・モードでの動作に8チャンネルからなる各グループを個別にイネーブルにできます。任意のビットにロジック「1」を書き込むと、チャンネルのグループがイネーブルになり、ロジック「0」を書き込むと、グループがディスエーブルになります。 $\overline{\text{LDAC}}$ は、2個のレジスタ間でトグルするときに使います。表17に、トグル・モード動作のデコーディングを示します。たとえば、CR6はチャンネル32~39を含むグループ4を制御し、CR6=1でこれらのチャンネルがイネーブルになります。

CR1およびCR0: ドント・ケア。

表17.

| CRビット | グループ | チャンネル |
|-------|------|-------|
| CR6 | 4 | 32~39 |
| CR5 | 3 | 24~31 |
| CR4 | 2 | 16~23 |
| CR3 | 1 | 8~15 |
| CR2 | 0 | 0~7 |

チャンネル・モニタ機能

REG1=REG0=0、A5~A0=001010

DB13~DB8=モニタされるチャンネルをアドレス指定するデータを格納

AD5380には、チャンネル・モニタ機能があります。この機能はインターフェースを介してアドレス指定されるマルチプレクサから構成されており、任意のチャンネル出力をMON_OUTピンに接続できるので、外付けADCを使った監視が可能です。チャンネル・モニタ・モードでは、VOUT 39がMON_OUTピンとして機能し、モニタされるすべてのピンがこのピンに接続されます。チャンネル・モニタ機能を制御レジスタでイネーブルにした後に、チャンネルをMON_OUTに接続する必要があります。AD5380では、モニタされるチャンネルのチャンネル・アドレスがDB13~DB8に格納されます。チャンネル・アドレス63(10進値)を選択すると、MON_OUTがスリープ状態になります。

AD5380

表18. AD5380チャンネル・モニタのデコーディング

| REG1 | REG0 | A5 | A4 | A3 | A2 | A1 | A0 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7~DB0 | MON_OUT |
|------|------|----|----|----|----|----|----|------|------|------|------|-----|-----|---------|----------|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | Vout 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | X | Vout 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | X | Vout 2 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | X | Vout 3 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | X | Vout 4 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | X | Vout 5 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | X | Vout 6 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X | Vout 7 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | X | Vout 8 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | X | Vout 9 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | X | Vout 10 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | X | Vout 11 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | X | Vout 12 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | X | Vout 13 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | X | Vout 14 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | X | Vout 15 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | X | Vout 16 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | X | Vout 17 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | X | Vout 18 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | X | Vout 19 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | X | Vout 20 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | X | Vout 21 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | X | Vout 22 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | X | Vout 23 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | X | Vout 24 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X | Vout 25 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | X | Vout 26 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | X | Vout 27 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | X | Vout 28 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | X | Vout 29 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | X | Vout 30 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X | Vout 31 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | X | Vout 32 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | X | Vout 33 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | X | Vout 34 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | X | Vout 35 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | Vout 36 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | X | Vout 37 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | X | Vout 38 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | X | 未定義 |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | X | 未定義 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | X | スリープステート |

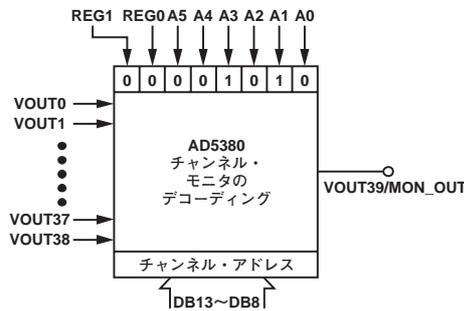


図28. チャンネル・モニタのデコーディング

ハードウェア機能

リセット機能

$\overline{\text{RESET}}$ ラインをローレベルにすると、全内部レジスタの値がそれぞれのパワーオン・リセット状態にリセットされます。 $\overline{\text{RESET}}$ は立下がりエッジを検出する入力です。デフォルトでは、mがフルスケールに、cがゼロに設定されます。DACレジスタの値はクリアされ、VOUT 0～VOUT 39は0Vに設定されます。ハードウェア・リセットの実行時間は270 μs です。 $\overline{\text{RESET}}$ の立下がりエッジは $\overline{\text{RESET}}$ プロセスを起動します。このとき $\overline{\text{BUSY}}$ はローレベルになりますが、 $\overline{\text{RESET}}$ が完了するとハイレベルに戻ります。 $\overline{\text{BUSY}}$ がローレベルの間、すべてのインターフェースはディスエーブルになり、すべての $\overline{\text{LDAC}}$ パルスは無視されます。 $\overline{\text{BUSY}}$ がハイレベルに戻ると、ノーマル動作が開始され、 $\overline{\text{RESET}}$ ピンの状態は次の立下がりエッジが検出されるまで無視されます。

非同期クリア機能

$\overline{\text{CLR}}$ ラインをローレベルにすると、ユーザ設定可能なCLRレジスタ内のデータが各DACレジスタにロードされ、この値に基づいてVOUT0～VOUT39が設定されます。この機能は、ゼロスケールとフルスケールを全チャンネルにロードするシステム・キャリブレーションで使用できます。CLRの実行時間は35 μs です。

BUSY 機能および LDAC 機能

$\overline{\text{BUSY}}$ はAD5380のステータスを表示するデジタルCMOS出力です。DACデータ・レジスタにロードされる内部データx2の値は、対応するx1レジスタ、cレジスタ、またはmレジスタに新しいデータを書き込むたびに計算されます。x2の計算中、 $\overline{\text{BUSY}}$ 出力はローレベルになります。 $\overline{\text{BUSY}}$ がローレベルの間、x1レジスタ、mレジスタ、またはcレジスタへの新しいデータを書込みを続けることはできますが、DAC出力を更新することはできません。 $\overline{\text{LDAC}}$ 入力をローレベルにすると、DAC出力を更新できます。 $\overline{\text{BUSY}}$ がアクティブのときに $\overline{\text{LDAC}}$ をローレベルにすると、 $\overline{\text{LDAC}}$ イベントが保存され、 $\overline{\text{BUSY}}$ がハイレベルになると直ちにDAC出力が更新されます。 $\overline{\text{LDAC}}$ 入力は永久にローレベルに固定できます。この場合、 $\overline{\text{BUSY}}$ がハイレベルになると直ちに、DAC出力が更新されます。パワーオン・リセット時や $\overline{\text{RESET}}$ ピンで立下がりエッジが検出されたときにも、 $\overline{\text{BUSY}}$ はローレベルになります。この間、すべてのインターフェースがディスエーブルになるため、 $\overline{\text{LDAC}}$ 上のすべてのイベントが無視されます。AD5380には追加機能があり、 $\overline{\text{LDAC}}$ がローレベルになった後に対応するx2レジスタに書込みがない限り、DACレジスタは更新されません。通常、 $\overline{\text{LDAC}}$ がローレベルになると、DACレジスタにはx2レジスタの値がロードされます。ただし、AD5380はx2データが変更された場合にのみDACレジスタを更新するため、不要なデジタル・クロストークが発生しません。

パラレル・モードでのFIFO動作

AD5380は、パラレル・インターフェース・モードでの動作を最適化するFIFOを内蔵しています。FIFOイネーブル(レベル検出、アクティブ・ハイレベル)は、内蔵FIFOをイネーブルするときに使います。DVDDに接続すると、内部FIFOがイネーブルになり、フル速度でのデバイスへの書込みが可能になります。FIFOは、パラレル・インターフェース・モードでのみ使用可能です。FIFO_ENピンの状態はパワーアップ時および $\overline{\text{CLR}}$ 後または $\overline{\text{RESET}}$ 後にサンプルされて、FIFOがイネーブルになっているかどうかを調べます。シリアル・インターフェース・モードまたはI²Cインターフェース・モードでは、FIFO_ENピンはローレベルに接続しておく必要があります。パラレル・モードでは、最大128個の連続する命令を最高速度でFIFOに書き込むことができます。FIFOがフルになると、デバイスに対するそれ以後の書込みは無視されます。図29に、チャンネル更新時間についてのFIFOモードと非FIFOモードの比較を示します。図29はデジタル・ロード時間も示しています。

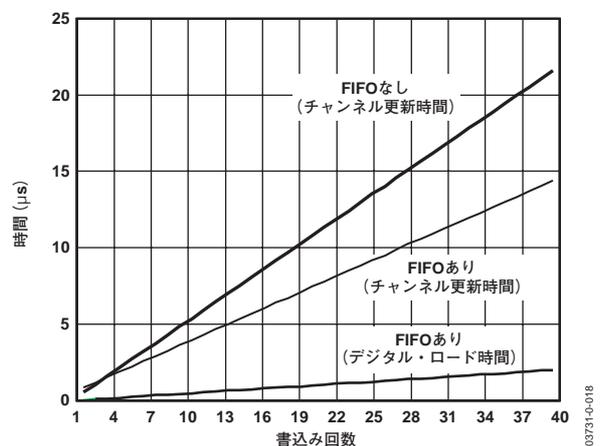


図29. チャンネル更新レート (FIFOと非FIFOの比較)

パワーオン・リセット

AD5380はパワーオン・リセット・ジェネレータとステート・マシンを内蔵しています。パワーオン・リセットでは、全レジスタを既定の状態にリセットし、アナログ出力を高インピーダンスに設定します。パワーオン・リセット・シーケンス中は $\overline{\text{BUSY}}$ ピンがローレベルになり、データがデバイスに書込まれるのを防止します。

パワーダウン

AD5380はグローバル・パワーダウン機能を内蔵しており、全チャンネルを低消費電力モードに設定してアナログ消費電力を最大2 μA に、デジタル消費電力を最大20 μA に減らすことが可能です。パワーダウン・モードでは、出力アンプは高インピーダンス出力に設定されるか、グラウンドに100k Ω の負荷を与えます。すべての内部レジスタの値は、パワーダウン・モード時には保持されます。パワーダウンを終了すると、アンプのセトリング・タイムが経過した後、出力がそれぞれの正しい値に安定します。

AD5380

AD5380の各種インターフェース

AD5380は、パラレル・インターフェースとシリアル・インターフェースの両方を内蔵しています。さらに、シリアル・インターフェースはSPI、DSP、MICROWIRE、I²C互換に設定できます。SER/PARピンにより、パラレル・インターフェース・モードまたはシリアル・インターフェース・モードを選択します。シリアル・モードでは、SPI/I²Cピンを使用し、DSP、SPI、MICROWIRE、I²Cの各インターフェース・モードを選択します。

デバイスは内蔵FIFOメモリを使用し、パラレル・インターフェース・モードでの高速連続書き込みを可能にします。書き込み命令の実行中でも、デバイスに新しいデータの書き込みを続けることができます。BUSY信号はデバイスの現在のステータスを表示し、FIFO内にある命令を実行している間はローレベルになります。パラレル・モードでは、最大128個の連続する命令を最高速度でFIFOに書き込むことができます。FIFOがフルになると、デバイスに対するそれ以後の書き込みは無視されます。

デバイスの消費電力とオンチップ・デジタル・ノイズの両方を最小化するため、デバイスの書き込み時、すなわちWRの立下がりエッジまたはSYNCの立下がりエッジでは、アクティブなインターフェースのみがフルにパワーアップします。

DSP、SPI、MICROWIRE互換のシリアル・インターフェース

シリアル・インターフェースは、スタンドアロン・モードでは3線式、デジタイゼーション・モードでは4線式で動作可能です。デジタイゼーションの場合、多くのデバイスをカスケード接続してシステム・チャンネル数を増やすことができます。DSP/SPI/MICROWIRE互換シリアル・インターフェースをイネーブルにするときは、SER/PARピンをハイレベルに、SPI/I²Cピン(ピン97)をローレベルに接続する必要があります。シリアル・インターフェース・モードでは、パラレル入力データ・ピンを駆動する必要はありません。シリアル・インターフェースの制御ピンを次に示します。

- SYNC、DIN、SCLK—標準の3線式インターフェース・ピン
- DCEN—スタンドアロン・モードまたはデジタイゼーション・モードを選択
- SDO—デジタイゼーション・モードでのデータ出力ピン

表19. 40チャンネル14ビットDACのシリアル入力レジスタの構成

| MSB | | | | | | | | | | | | | | LSB | | | | | | | | | | | | | |
|-----|-----|----|----|----|----|----|----|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--|--|--|--|
| A/B | R/W | A5 | A4 | A3 | A2 | A1 | A0 | REG1 | REG0 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 | | | | |

図3と図5に、スタンドアロン・モードとデジタイゼーション・モードでのAD5380に対するシリアル書き込みのタイミング図を示します。シリアル・インターフェースでの24ビット・データワード・フォーマットを表19に示します。

A/B: トグル・モードがイネーブルになると、このピンはデータの書き込み先としてAレジスタかBレジスタを選択します。トグルがディスエーブルのときは、このビットにゼロを設定し、Aデータ・レジスタを選択する必要があります。

R/W: 読出しまたは書き込みを指定する制御ビット

A5~A0: 入力チャンネルのアドレス指定に使用

REG1とREG0: データを書き込むレジスタを選択(表11)

DB13~DB0: 入力データワードを格納

X: ドント・ケア

スタンドアロン・モード

DCEN(デジタイゼーション・イネーブル)ピンをローレベルにすると、スタンドアロン・モードがイネーブルになります。シリアル・インターフェースは、連続および非連続の両方のシリアル・クロックで動作します。SYNCの最初の立下がりエッジで書き込みサイクルが開始され、カウンタがリセットされます。このカウンタはシリアル・クロック数をカウントして、シリアル・シフト・レジスタに正しいビット数を入力するようにします。それ以後の立下がりエッジ以外のSYNCエッジは、24ビットのクロックが入力されるまで無視されます。24ビットがシフト入力されると、SCLKは無視されます。次のシリアル転送を実行するには、SYNCの立下がりエッジまでにカウンタをリセットする必要があります。

デジチェーン・モード

複数のデバイスを使うシステムでは、SDOピンを使用して複数のデバイスをデジチェーン接続できます。デジチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。

DCEN(デジチェーン・イネーブル)ピンをハイレベルにすると、デジチェーン・モードがイネーブルになります。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始されます。 $\overline{\text{SYNC}}$ がローレベルのとき、SCLKは連続的に入力シフト・レジスタに入力されます。24個を超えるクロック・パルスが入力されると、データはシフト・レジスタからはみ出し、SDOラインに出力されます。このデータはSCLKの立上がりエッジで出力され、SCLKの立下がりエッジで有効になります。最初のデバイスのSDOをチェーン内の次のデバイスのDIN入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスには、24個のクロック・パルスが必要です。したがって、必要な合計クロック・サイクル数は24Nになります。ここで、Nはチェーン内のAD538xデバイスの合計です。

すべてのデバイスに対するシリアル転送が完了したら、 $\overline{\text{SYNC}}$ をハイレベルにします。この動作により、デジチェーンの各デバイス内の入力データがラッチされ、入力シフト・レジスタにさらにデータが入力されるのを防止します。

24個のクロックが入力される前に $\overline{\text{SYNC}}$ をハイレベルにすると、不完備フレームとみなされ、データが廃棄されます。

シリアル・クロックは、連続クロックまたは不連続クロックが可能です。正しい数のクロック・サイクルの間、 $\overline{\text{SYNC}}$ をローレベルに維持する構成ができるなら、連続SCLKソースのみを使用できます。不連続クロック・モードでは、所定数のクロック・サイクルを含んでいるバースト・クロックを使い、最終クロックの後に $\overline{\text{SYNC}}$ をハイレベルにしてデータをラッチする必要があります。

リードバック・モード

シリアル入力レジスタへの書き込みで R/\overline{W} ビット=1を設定すると、リードバック・モードが開始されます。 R/\overline{W} =1のとき、ビットA5～A0およびビットREG1とビットREG0を一緒に使用し、読出し対象レジスタを選択します。書き込みシーケンス内の残りのデータビットは「ドント・ケア」です。次のSPIへの書き込み時にSDOに出力されるデータには、前にアドレス指定したレジスタのデータが含まれます。1個のレジスタを読み出すときは、NOPコマンドを使用し、選択したレジスタのデータをSDOへ出力できます。図30に、リードバック・シーケンスを示します。たとえば、AD5380のチャンネル0のMレジスタをリードバックするときは、次のシーケンスを使います。まず、AD5380の入力レジスタに0x404XXXを書込みます。これにより、AD5380が読出しモードに設定され、チャンネル0のmレジスタが選択されます。データビットDB13～DB0は「ドント・ケア」であることに注意してください。次に、2番目の書き込みでNOP状態0x000000を書き込みます。この書き込みで、mレジスタのデータがSDOラインに出力されます。すなわち、出力されたデータのビットDB13～DB0にはmレジスタのデータが含まれ、上位10ビットには前に書き込まれたアドレス情報が含まれます。リードバック・モードでは、 $\overline{\text{SYNC}}$ 信号がデータをフレーム化する必要があります。データはSCLKの立上がりエッジで出力され、SCLKの立下がりエッジで有効になります。リードバック動作の書き込み動作と読出し動作の間でSCLKがハイレベルでアイドル状態にあると、データの先頭ビットが $\overline{\text{SYNC}}$ の立下がりエッジで出力されます。

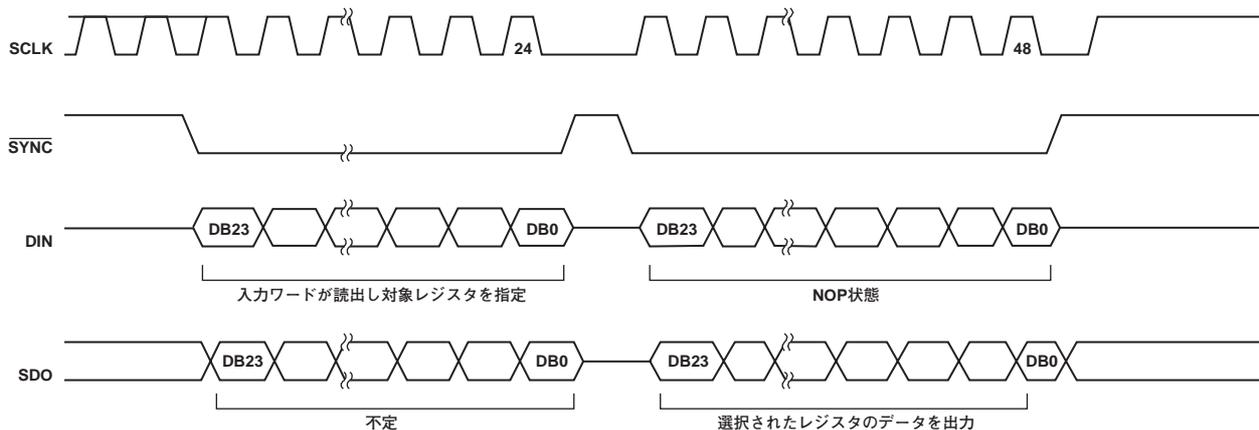


図30. シリアル・リードバック動作

AD5380

I²Cシリアル・インターフェース

AD5380は、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されるI²C互換の2線式インターフェースを内蔵しています。SDAとSCLは、AD5380とマスターとの間の通信を最大レート400kHzで可能にします。図6に、3種類の異なる動作モードを持つ2線式インターフェースのタイミング図を示します。I²C動作モードを選択するときは、まずシリアル動作モード ($\overline{\text{SER}}/\overline{\text{PAR}}=1$) を設定し、次に $\overline{\text{SPT}}/I^2C$ ピンをロジック「1」にしてI²Cモードを設定します。デバイスはスレーブ・デバイスとしてI²Cバスに接続されます (すなわち、AD5380はクロックを発生しません)。AD5380は7ビットのスレーブ・アドレス1010 1 (AD1) (AD0) を持っています。上位5ビットは固定で、下位2ビットはAD1ピンとAD0ピンの状態によって決定されます。ハードウェア設定によりAD1とAD0を決定できるため、4個のデバイスをバスに接続できます。

I²Cのデータ転送

SCLの各クロック・サイクルで1ビットのデータが転送されます。SDA上のデータは、SCLクロック・パルスのハイレベル区間に安定している必要があります。SCLがハイレベルのときのSDA上の変化は、スタート条件とストップ条件を設定する制御信号とみなされます。I²Cバスが非BUSYのとき、外付けプルアップ抵抗を使ってSDAとSCLの両方をハイレベルにします。

スタート条件とストップ条件

マスター・デバイスは、スタート条件を発行して通信を開始します。スタート条件は、SCLがハイレベルのときに、SDA上でハイレベルからローレベルへの遷移が発生したときになります。ストップ条件はSCLがハイレベルのときに、SDA上でローレベルからハイレベルへの遷移が発生したときになります。マスターから発行されたスタート条件が、AD5380に対する送信の開始を通知します。ストップ条件がバスを解放します。ストップ条件ではなく繰返しスタート条件 (Sr) が発行されると、バスはアクティブのままになります。

繰返しスタート条件

繰返しスタート (Sr) 条件では、バス上のデータ方向の変更を表示できます。バス・マスターが複数のI²Cデバイスへ書き込みを行い、かつバスの制御を維持したい場合にSrを使用できます。

アックレッジ・ビット (ACK)

アックレッジ・ビット (ACK) は、すべての8ビットのデータワードに追加された9番目のビットです。ACKは、常に受信側デバイスによって発生されます。AD5380デバイスは、アドレスまたはデータの受信時に9番目のクロック区間でSDAをローレベルにして、ACKを発生します。ACKを監視していると、データ転送の失敗を検出できます。データ転送の失敗は、受信デバイスがBUSYのとき、またはシステムが故障したときに発生します。データ転送が失敗した場合は、バス・マスターは通信を再度試みる必要があります。

AD5380のスレーブ・アドレス

バス・マスターは、スタート条件とそれに続く7ビットのスレーブ・アドレスを発行して、スレーブ・デバイスとの通信を開始させます。AD5380はアイドルのときに、スタート条件とそれに続くスレーブ・アドレスを待ちます。アドレス・ワードの最下位ビットは、読出し/書込み (R/ $\overline{\text{W}}$) ビットです。AD5380は受信専用デバイスです。すなわち、AD5380と通信を行う場合は、R/ $\overline{\text{W}}=0$ です。該当するアドレス1010 1 (AD1) (AD0) を受信すると、AD5380はSDAを1クロック・サイクルの間ローレベルにして、ACKを発行します。

AD5380は、AD1ビットとAD0ビットで指定する、4つの異なるユーザ・プログラム可能なアドレスを持っています。

書込み動作

AD5380のDACへデータを書き込むために3つのモードが用意されています。

4バイト・モード

AD5380のDACへ書き込みを行うとき、まずアドレス・バイト (R/ $\overline{\text{W}}=0$) を送信し、次にDACがSDAをローレベルにして、データ受信の準備ができたことをアックレッジします。アドレス・バイトの後ろにポインタ・バイトが続きます。このポインタ・バイトはDAC内の特定のチャンネルをアドレス指定し、DACによってアックレッジも発行されます。次に2バイトのデータがDACに書き込まれます (図31)。ストップ条件がその後ろに続きます。この方法では、いつでもAD5380の1チャンネルを更新できますが、マスターから4バイトのデータを転送する必要があります。

3バイト・モード

3バイト・モードでは、デバイス・アドレス・バイトを1回ずつ書き込む必要がなく、一度の書き込みシーケンスで複数のチャンネルを更新できます。デバイス・アドレス・バイトは1回のみ必要で、後続のチャンネル更新ではポインタ・バイトとデータバイトが必要です。3バイト・モードでは、まずアドレス・バイト (R/ $\overline{\text{W}}=0$) を送信し、次にDACがSDAをローレベルにして、データ受信の準備ができたことをアックレッジします。アドレス・バイトの後ろにポインタ・バイトが続きます。このポインタ・バイトはDAC内の特定のチャンネルをアドレス指定し、DACによってアックレッジも発行されます。次に2バイトのデータが続きます。REG1とREG0が更新対象のレジスタを指定します。

データ・バイトの後ろにストップ条件を続けずに、新しいポインタ・バイト、データバイトの順に送信すると、別のチャンネルを更新できます。このモードではデバイスが先にアドレス指定されていれば、3バイトを送信するだけで任意のチャンネルを更新できるので、AD5380チャンネル更新におけるソフトウェア負荷を減らすことができます。ストップ条件は、いつでもこのモードを終了します。図32に代表的な構成を示します。

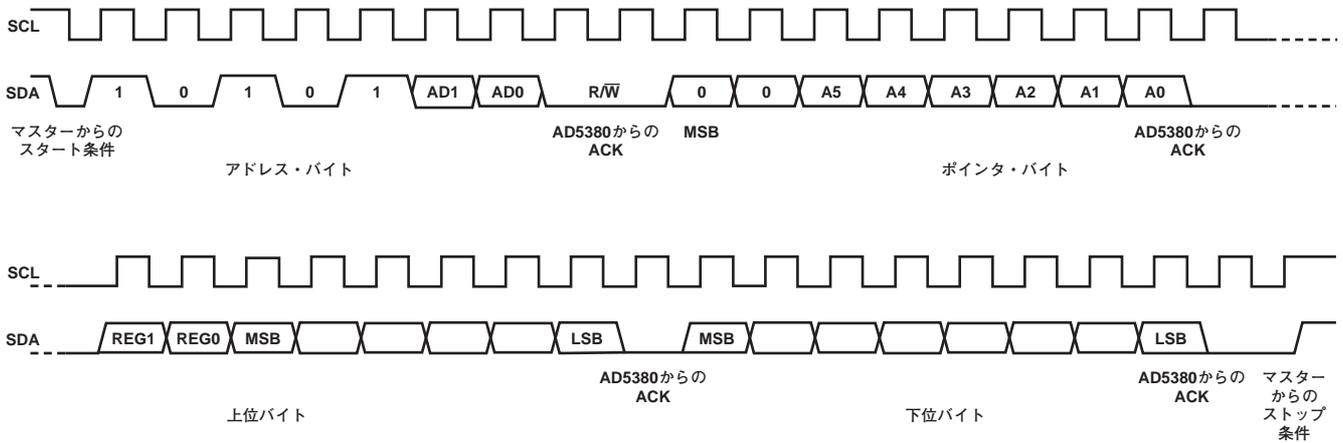


図31. AD5380の4バイト・モード、I²C書き込み動作

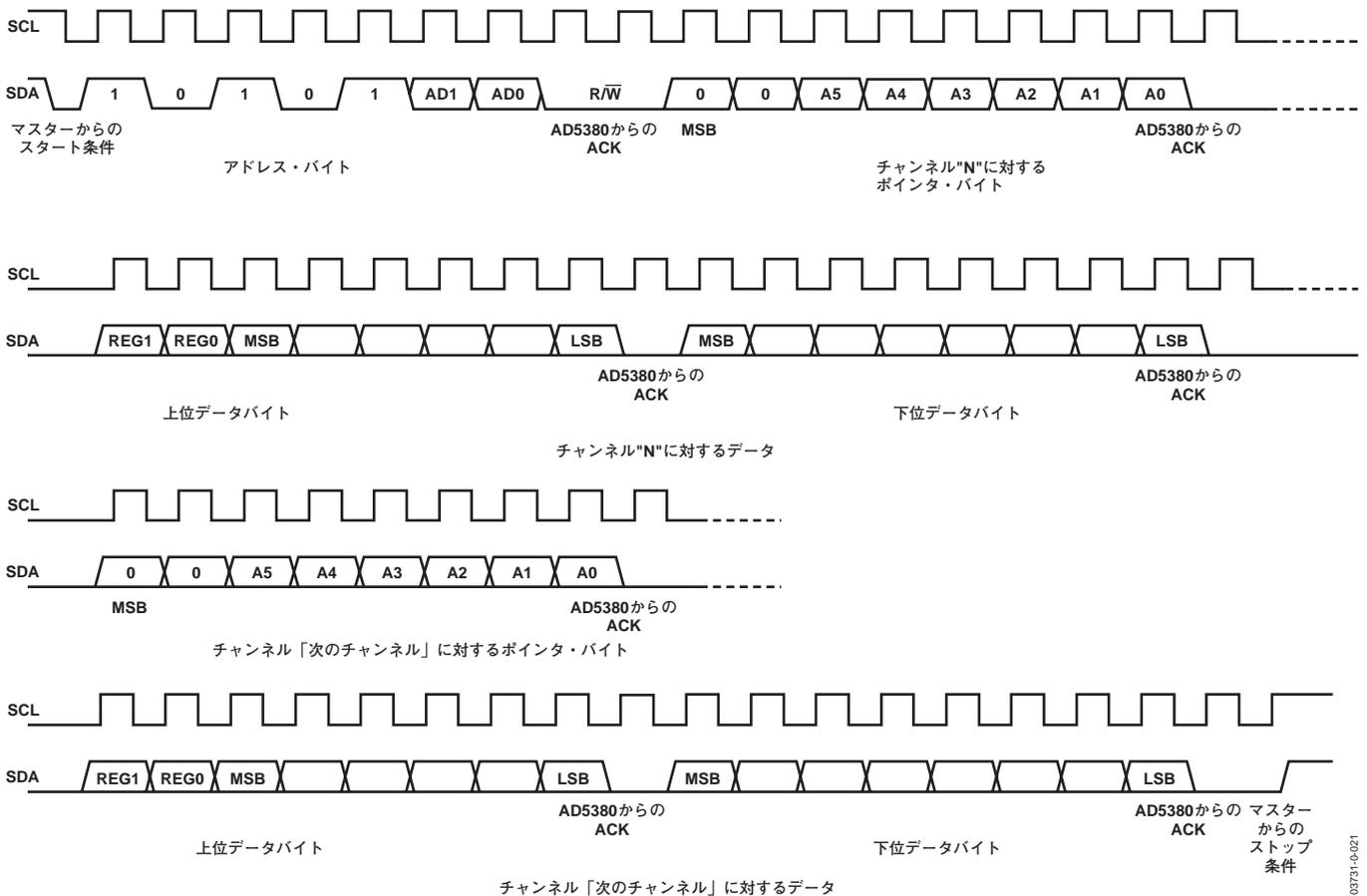


図32. AD5380の3バイト・モード、I²C書き込み動作

AD5380

2バイト・モード

2バイト・モードの初期化に続いて複数のチャンネルを連続して更新できます。デバイスのアドレス・バイトは1回のみ必要で、ポインタ・アドレス・ポインタは自動インクリメント・モードまたはバースト・モードに設定されます。

最初には必ずアドレス・バイト($R/\overline{W}=0$)を送信します。その後、DACはSDAをローレベルにして、データ受信の準備ができたことをアックレッジします。アドレス・バイトの後ろに特定のポインタ・バイト(0xFF)が続き、このバイトがバースト動作モードを開始させます。アドレス・ポインタはチャンネル0に初期化し、ポインタの後ろに続くデータがチャンネル0にロードされ、アドレス・ポインタが自動的にインクリメントされて次のアドレスになります。

データバイト内のREG0ビットとREG1ビットが、更新対象のレジスタを指定します。このモードでは、初期化の後は1つのチャンネルの更新に2バイトのデータのみで済みます。チャンネル・アドレスはアドレス0からチャンネル39へ自動的にインクリメントされた後に、通常の3バイト動作モードに戻ります。このモードでは、全チャンネルへのデータ転送が1ブロックで済むため、全チャンネル設定におけるソフトウェア負荷が減らせます。このモードは、いつでもストップ条件によって終了できます。2バイト・モードでは、トグル・モードはサポートされていません。図33に代表的な構成を示します。

パラレル・インターフェース

パラレル・インターフェースをイネーブルにし、かつシリアル・インターフェースをディスエーブルにするときは、SER/PARピンをローレベルにする必要があります。図7に、パラレル書き込みのタイミング図を示します。パラレル・インターフェースは次のピンを使って制御します。

CSピン

アクティブ・ローレベルのデバイス選択ピン。

WRピン

CSがローレベルのときの \overline{WR} の立上がりエッジで、ピンA5~A0上のアドレスがラッチされます。データ・バス上のデータが、選択された入力レジスタにロードされます。

REG0ピンとREG1ピン

REG0ピンとREG1ピンは、AD5380へ書き込まれるデータのディスティネーション・レジスタを指定します。表11を参照してください。

ピンA5~A0

40個のDACチャンネルを個別にアドレス指定できます。

ピンDB13~DB0

AD5380は、ストレート・バイナリの14ビット・パラレル・ワードをDB13~DB0に受け取ります。ここでDB13がMSBで、DB0がLSBです。

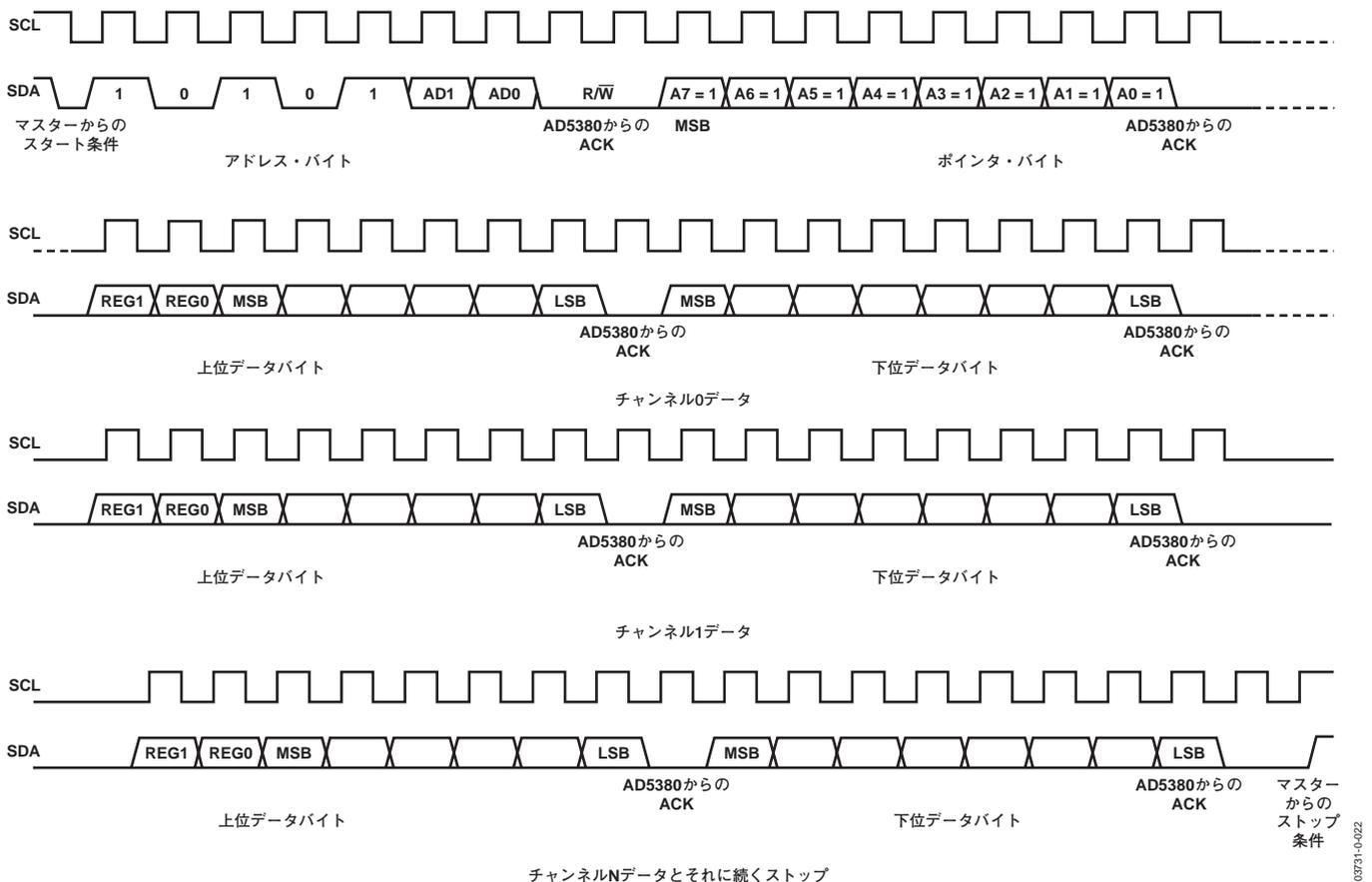


図33. 2バイト・モード、 1^2C 書き込み動作

マイクロプロセッサとのインターフェース

パラレル・インターフェース

AD5380は、さまざまな16ビットのマイクロコントローラまたはDSPプロセッサとインターフェースできます。図35に、AD5380ファミリーと一般的な16ビット・マイクロコントローラ/DSPプロセッサとのインターフェースを示します。プロセッサの下位アドレス・ラインは、AD5380のA0~A5に接続されます。上位アドレス・ラインはデコードされて、AD5380に \overline{CS} 信号と \overline{LDAC} 信号を提供します。AD5380は高速インターフェース・タイミングにより、さまざまなマイクロコントローラやDSPと直接インターフェースが可能です(図35を参照)。

AD5380とMC68HC11とのインターフェース

MC68HC11のシリアル・ペリフェラル・インターフェース(SPI)は、マスター・モード(MSTR)=1、クロック極性ビット(CPOL)=0、クロック位相ビット(CPHA)=1に設定されます。SPIの設定は、SPI制御レジスタ(SPCR)への書き込みで行います。MC68HC11の『ユーザ・マニュアル』を参照してください。68HC11のSCKがAD5380のSCLKを、MOSI出力がAD5380のシリアル・データ・ライン(D_{IN})を駆動し、MISO入力はD_{OUT}で駆動されます。 \overline{SYNC} 信号はポート・ライン(PC7)からつくられます。データを

AD5380に転送するときは、 \overline{SYNC} ラインをローレベルにします(PC7)。MOSIに出力されるデータは、SCKの立下がりエッジで有効になります。シリアル・データは68HC11から8ビット・バイトで転送され、送信サイクル内の8個の立下がりクロック・エッジのみを使用します。

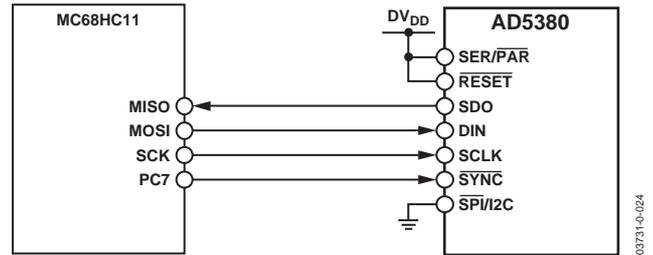
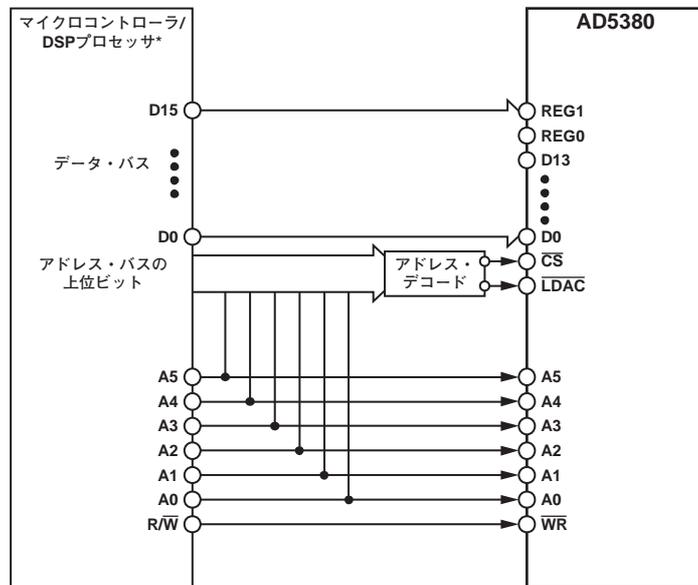


図34. AD5380とMC68HC11とのインターフェース



*わかりやすくするために他のピンは省略

図35. AD5380とのパラレル・インターフェース

AD5380

AD5380とPIC16C6x/7xとのインターフェース

PIC16C6x/7xの同期シリアル・ポート(SSP)はSPIマスターに設定されています(クロック極性ビット=0)。これは、同期シリアル・ポート制御レジスタ(SSPCON)への書き込みによって行われます。PIC16/17マイクロコントローラの『ユーザ・マニュアル』を参照してください。この例では、I/OポートRA1を使ってSYNCパルスを発生し、AD5380のシリアル・ポートをイネーブルにします。このマイクロコントローラは、各シリアル転送動作で8ビットのみのデータを転送します。したがって、モードによっては読出し/書き込み動作を3回続けて行う必要があります。図36に接続図を示します。

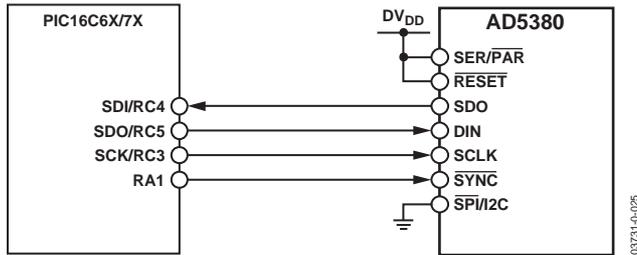


図36. AD5380とPIC16C6x/7xとのインターフェース

AD5380と8051とのインターフェース

AD5380は、シリアル・データに同期したクロックを必要とします。したがって、8051のシリアル・インターフェースをモード0で動作させる必要があります。このモードでは、シリアル・データはRxDから入出力し、シフト・クロックはTxDに出力されます。図37に、8051とAD5380との接続方法を示します。AD5380はシフト・クロックの立上がりエッジでデータを出力し、立下がりエッジでデータをラッチするので、シフト・クロックは反転する必要があります。AD5380はMSBファーストのデータを必要とします。8051はLSBファーストで出力するため、転送ルーチンはこれを考慮に入れる必要があります。

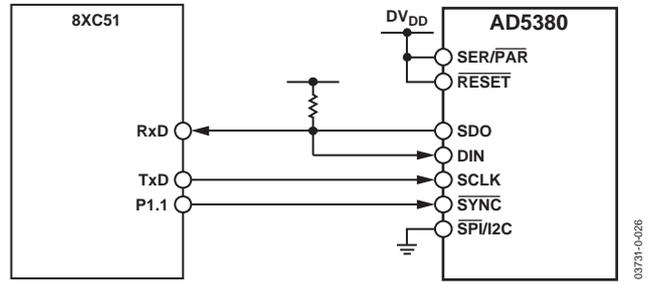


図37. AD5380と8051とのインターフェース

AD5380とADSP-2101/ADSP-2103とのインターフェース

図38に、AD5380とADSP-2101/ADSP-2103とのシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORTオルタネート・フレーム送信モードで動作するように設定する必要があります。ADSP-2101/ADSP-2103のSPORTは、SPORT制御レジスタを使って、内部クロック動作、アクティブ・ローレベル・フレーミング、16ビット・ワード長に設定する必要があります。送信は、SPORTのイネーブル後に、Txレジスタにワードを書き込むことにより起動されます。

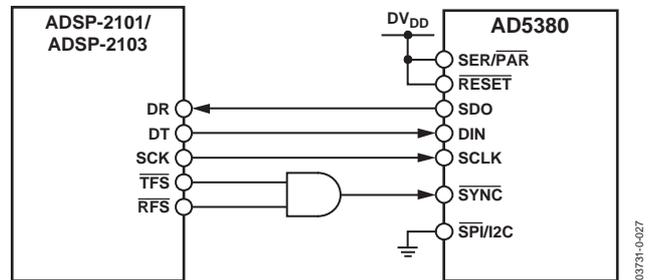


図38. AD5380とADSP-2101/ADSP-2103とのインターフェース

アプリケーション情報

電源デカップリング

精度が重要な回路では、定格性能を保証するために電源とグラウンド・リターンのレイアウトに注意が必要です。AD5380を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離してボードの一定領域にまとめて配置するように、設計する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD5380を使用する場合は、この接続は1カ所のみで行う必要があります。すなわち、デバイスのできるだけ近くにスター結線を設けます。

複数のピン(AV_{DD}、DV_{DD})を持つ電源では、これらのピンを一緒に接続することが必要です。AD5380は、各電源で10 μ Fと0.1 μ Fの並列接続による十分な電源バイパスをパッケージのできるだけ近く、理想的にはデバイスの真上に接続する必要があります。10 μ Fコンデンサはタンタルのビード型を使います。0.1 μ Fコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使用し、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5380の電源ラインには、できるだけ太いパターンを使用して低インピーダンス・パスを実現し、電源ラインでのグリッチの影響を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。D_{IN}ラインとSCLKラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(これは、多層ボードでは別のグラウンド・プレーンがあるので必要ありませんが、ラインを離すことは有用です)。V_{IN}ラインとREFINラインのノイズを最小化することは重要です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの両面のパターンは、互いに直角となるように配置します。これにより、ボードを通過するフィードスルーの影響を削減できます。マイクロストリップ技術は最善ですが、必ずしも両面ボードでは使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置します。

代表的な回路構成

図39に、外部リファレンスを使用した場合のAD5380-5の代表的な構成を示します。この回路では、AGNDピン、SIGNAL_GNDピン、DAC_GNDピンが共通の1つのAGNDに接続されています。AGNDとDGNDは、AD5380デバイスの直近で接続します。パワーアップ時に、AD5380はデフォルトで外付けリファレンス動作に設定されます。すべてのAV_{DD}ラインは一緒に接続され、同じ5V電源で駆動されます。デバイスの近くに0.1 μ Fセラミック・コンデンサと10 μ Fタンタル・コンデンサを接続し、デカップリングすることを推奨します。このアプリケーションでは、ADR421またはADR431の2.5Vリファレンス電圧を使い、外部からAD5380-5のリファレンス電圧を供給しています。AD5380-3に適した外付けリファレンスとしては、ADR280の1.2Vリファレンス電圧などがありま

す。リファレンス電圧は、デバイスのREFOUT/REFINピンに0.1 μ Fのコンデンサを接続してデカップリングする必要があります。

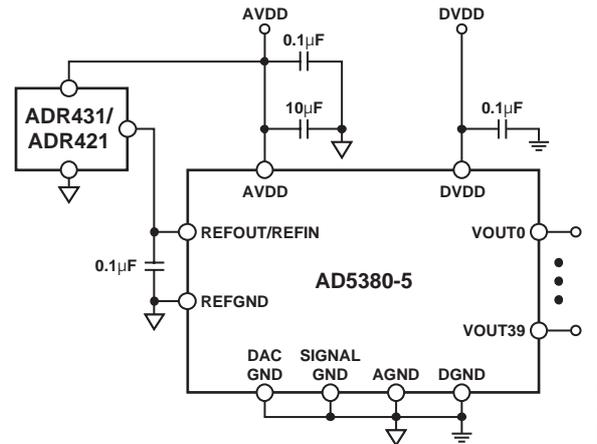


図39. 外付けリファレンスを使用した代表的な構成

図40に、内蔵リファレンスを使用した代表的な構成を示します。パワーアップ時にAD5380はデフォルトで外付けリファレンスに設定されるため、AD5380制御レジスタへの書き込みによって内蔵リファレンスを設定し、オンにする必要があります。制御レジスタのビットCR12で、リファレンス電圧値を選択できます。ビットCR10は内蔵リファレンスの選択に使います。AV_{DD}=5Vのときは2.5Vのリファレンス電圧を、AV_{DD}=3Vのときは1.25Vのリファレンス電圧を推奨します。

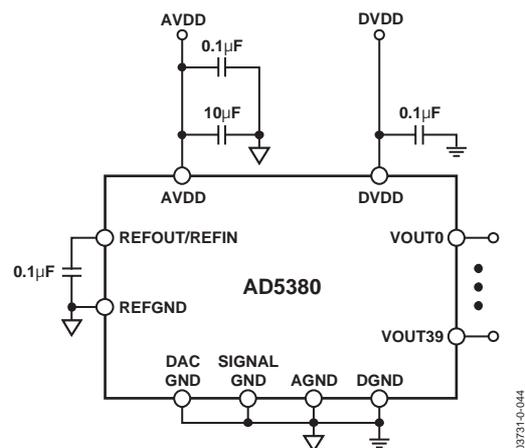


図40. 内蔵リファレンスを使用した代表的な構成

わかりやすくするためにデジタル接続は省略しています。AD5380は有効時間が10msのパワーオン・リセット回路を内蔵しています。電源の上昇率が10msを超える場合は初期化プロセスの中でAD5380をリセットし、デバイスにキャリブレーション・データが正常にロードされるようにする必要があります。

AD5380

AD5380のモニタ機能

AD5380はチャンネル・モニタ機能を内蔵しています。この機能はインターフェースを介してアドレス指定されるマルチプレクサから構成されており、任意のチャンネル出力をこのピンに接続して外付けADCを使って監視できます。チャンネル・モニタ・モードでは、VOUT 39がMON_OUTピンとして機能し、モニタされるすべての信号がこのピンに接続されます。チャンネル・モニタ機能を制御レジスタでイネーブルにした後に、チャンネルをMON_OUTに接続する必要があります。表18に、チャンネルをMON_OUTに接続するために必要なデコーディング情報を示します。チャンネル・アドレス63(10進値)を選択すると、MON_OUTがスリーステートになります。図41に、6ピンのSOT-23パッケージを採用した12ビットの逐次比較型A/Dコンバータ(SAR ADC)を組み込んだ代表的なモニタリング回路を示します。コントローラの出力ポートがモニタ対象のチャンネルを指定し、入力ポートがADCからの変換データを読み込みます。

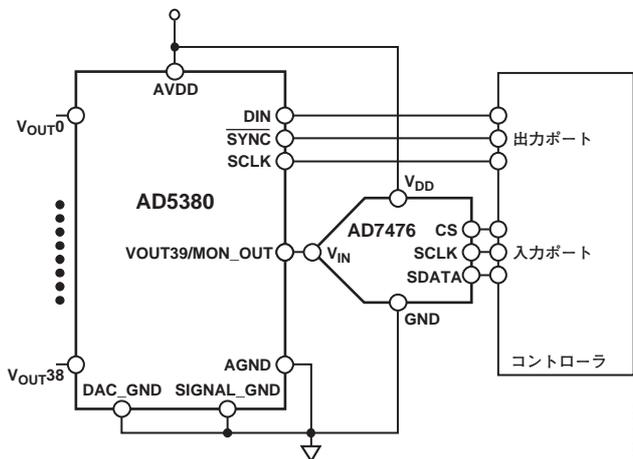


図41. 代表的なチャンネル・モニタリング回路

トグル・モード機能

トグル・モード機能は、2つのDACデータ・レジスタ間で切り替わるLDAC制御信号を使用して出力信号を発生できます。この機能は、SFR制御レジスタを使って、次のように設定します。REG1=REG0=0、かつA5~A0=001100を書き込むと、制御レジスタへの書き込みが指定されます。トグル・モード機能は、制御レジスタのビットCR6~CR2を使用して8チャンネルのグループとしてイネーブルになります。AD5380制御レジスタの説明を参照してください。図42に、トグル・モードのブロック図を示します。AD5380の40個のDACチャンネルには、それぞれAデータ・レジスタとBデータ・レジスタがあります。トグル・モードがイネーブルされている場合にのみ、Bレジスタにロードできることに注意してください。AD5380をトグル・モードに設定する手順を次に示します。

1. 制御レジスタを使って必要なチャンネルでトグル・モードをイネーブルにします。
2. Aレジスタにデータをロードします。
3. Bレジスタにデータをロードします。
4. $\overline{\text{LDAC}}$ を与えます。

$\overline{\text{LDAC}}$ は、AレジスタとBレジスタの間で切り替えてアナログ出力を決定するのに使用します。最初の $\overline{\text{LDAC}}$ はAレジスタのデータを反映するように出力を設定します。このモードは、40個の全チャンネル出力で方形波を発生する際に非常に便利です。これは、液晶ベースの可変光減衰器を駆動する場合に必要になります。この場合には、制御レジスタに書き込みを行い、CR6~CR2=1を設定してトグル機能をイネーブルにすると、5グループ(各グループ8チャンネル)でトグル・モード動作がイネーブルになります。次に、40個すべてのAレジスタとBレジスタにデータをロードします。 $\overline{\text{LDAC}}$ によって、AレジスタとBレジスタにあるデータがトグル出力されます。 $\overline{\text{LDAC}}$ の周波数が、方形波出力の周波数を決定します。

トグル・モードは、制御レジスタでディスエーブルにします。トグル・モードをディスエーブルにした後の最初の $\overline{\text{LDAC}}$ で、出力はAレジスタのデータで更新されます。

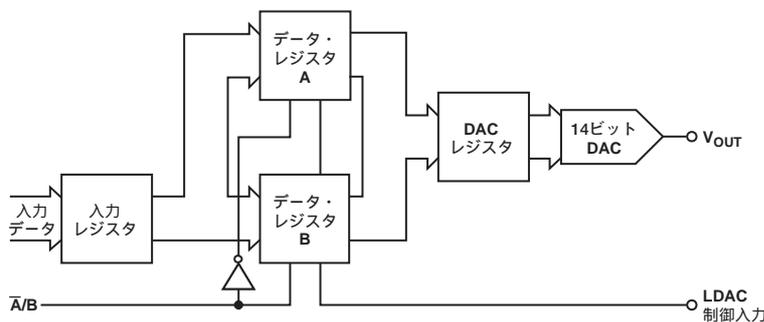


図42. トグル・モード機能

サーマル・モニタ機能

AD5380は、複数の出力が短絡したときにチップを保護するサーマル・シャットダウン機能を内蔵しています。各出力アンプの短絡電流は40mA (typ)です。AD5380を5Vで動作させると、短絡されたアンプ1個当たり200mWの消費電力になります。5チャンネルが短絡されると、消費電力のワット数が大きくなり過ぎます。100ピンLQFPの場合、 θ_{JA} は44°C/W (typ)です。

サーマル・モニタ機能は制御レジスタのCR8を使ってイネーブルにできません。チップ温度が約130°Cを超えると、AD5380の出力アンプは自動的にパワーダウンされます。サーマル・シャットダウンの発生後、温度が130°Cを下回った場合、または制御レジスタを使ってサーマル・モニタ機能をオフにした場合、ソフト・パワーアップを実行してデバイスを再度イネーブルにすることができます。

MEMSベースの光スイッチでのAD5380の使用

MEMSベースの光スイッチは、そのフィード・フォワード制御パスで、14ビットの単調増加性を備えた高チャンネル密度を実現する高分解能DACを必要とします。40チャンネル14ビットのAD5380 DACは、これらの条件を満たします。図43に示す回路で、AD5380の0~5Vの出力は増幅されて出力範囲0~200Vになり、増幅された出力は光スイッチのMEMSミラー・ポジションを決定するアクチュエータの制御に使われます。各ミラーの正確なポジションはセンサーを使って測定されます。センサー出力はマルチプレクスされて高分解能ADCに入力され、ミラー・ポジションを決定します。制御ループは閉じており、ADSP-21065L (SPI互換SPORTインターフェースを持つ32ビットSHARC®DSP)で駆動されます。ADSP-21065Lはシリアル・インターフェースを経由して、DACへのデータ書込み、マルチプレクサの制御、ADCからのデータの読出しを行います。

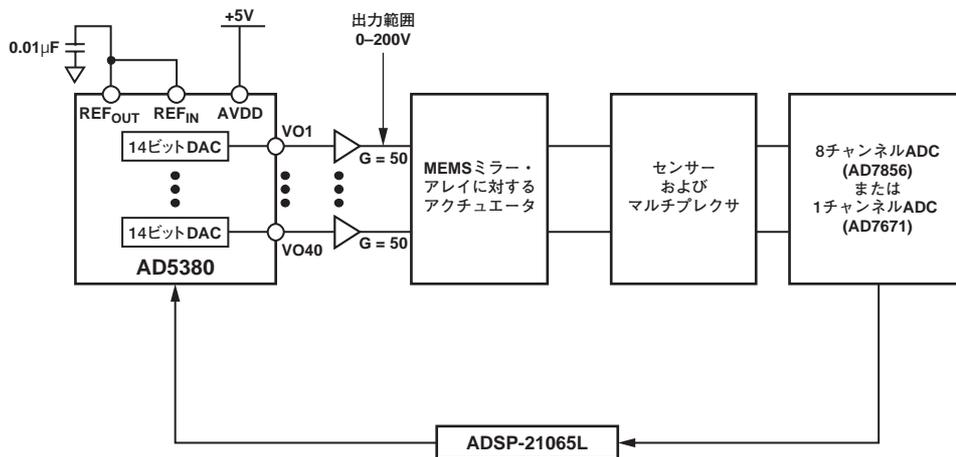


図43. MEMSベースの光スイッチでのAD5380の使用

03731-0-030

AD5380

光減衰器

AD5380は多チャンネル数、高分解能、単調増加性、高集積度という特長により、ダイナミックなゲイン・イコライザ、可変光減衰器 (VOA)、オプティカルADD/DROPマルチプレクサ (OADM) で使用する光減衰アプリケーションに最適です。これらのアプリケーションでは、各波長がアレイ構成のウエイブ・ガイドを使って個別に取り出されます。各波長のパワ

ーは、クローズド・ループ制御システム内で、フォトダイオード、トランスインピーダンス・アンプ、ADCを使って監視されます。AD5380は各波長に対する光減衰器を制御し、全波長でパワーを等化した後に、各波長をマルチプレクスしてファイバに出力します。この処理により、ファイバ上の後段の増幅ステージでの情報損失と飽和を防止します。

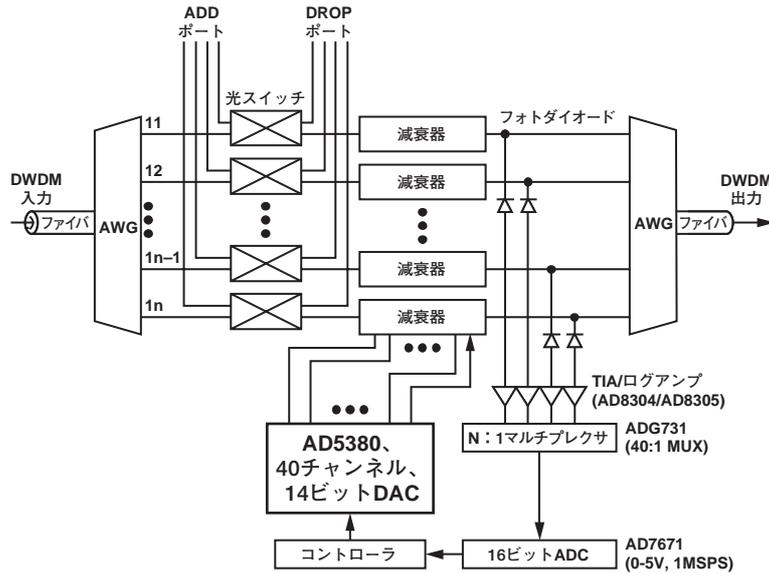


図44. AD5380を光減衰器の一部として使用したOADM

08724-0-031

AD5380 FIFOの使い方

AD5380のFIFOモードは、多数のチャンネルの更新を必要とするアプリケーションで、システムの総合更新レートを最適化します。FIFOモードは、パラレル・インターフェース・モードを選択した場合にのみ使用可能です。FIFO_ENピンは、FIFOをイネーブルにするのに使います。FIFO_ENの状態は、初期化シーケンスでサンプルされます。したがって、FIFOステータスの変更はデバイスのリセットによってのみ可能です。たとえば、大気歪みを相殺する望遠鏡では、短時間に多数のチャンネルを更新することが必要です。このようなシステムでは、400ものチャンネルを40 μ s以

内に更新する必要があります。400チャンネルでは10個のAD5380が必要です。FIFOモードをイネーブルにすると、データ書き込みサイクル・タイムは40nsです。したがって、40チャンネルを構成する各グループは1.6 μ s以内にすべてロードできます。FIFOモードでは、40チャンネルで構成される1グループ全体が14.4 μ s以内に更新されます。400チャンネルすべての更新に要する時間は14.4 μ s + 9 × 1.6 μ s = 28.8 μ sになります。図45に、FIFOの動作を示します。

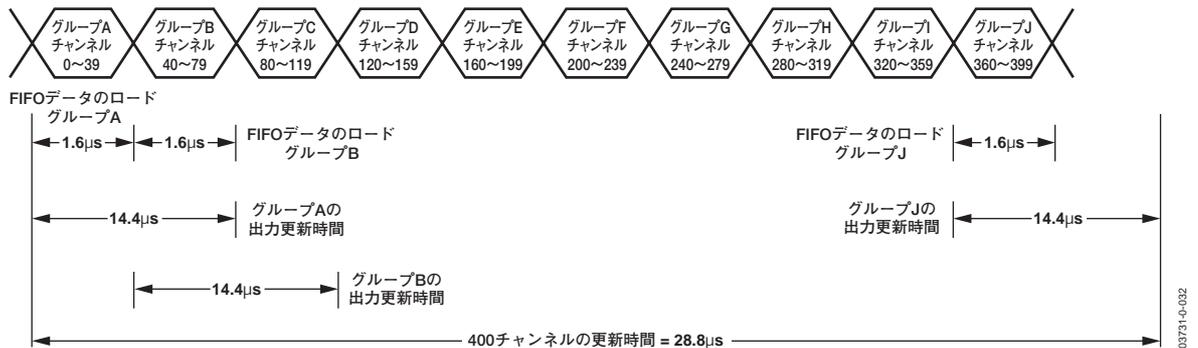
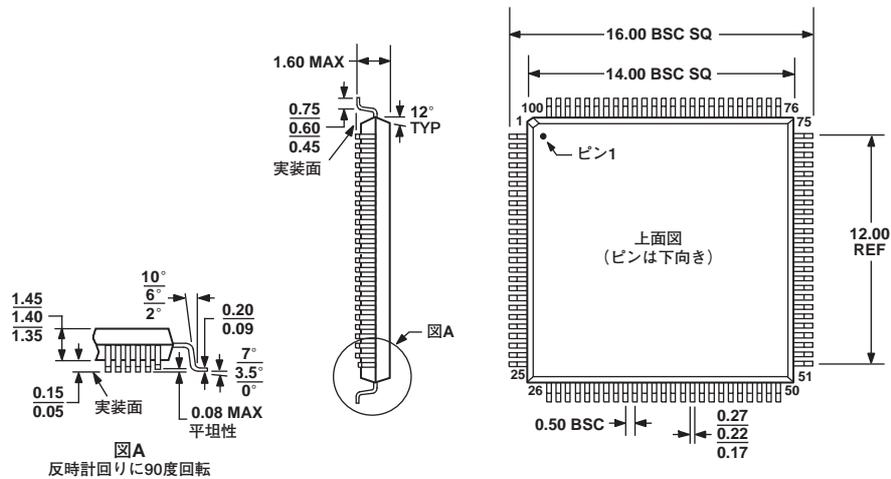


図45. 400チャンネルを30 μ s以内に更新するためにFIFOモードを使用

AD5380

外形寸法



JEDEC規格MS-026BEDに準拠

図46. 100ピンLQFP
(ST-100)
寸法単位：mm

オーダー・ガイド

| 製品モデル | 分解能 | 温度範囲 | AV _{DD} 範囲 | 出力チャンネル数 | 直線性誤差 (LSB) | パッケージ | パッケージ・オプション |
|------------------|-------|----------|---------------------|----------|-------------|-----------|-------------|
| AD5380BST-3 | 14ビット | -40~+85℃ | 2.7~3.6V | 40 | ±4 | 100ピンLQFP | ST-100 |
| AD5380BST-3-REEL | 14ビット | -40~+85℃ | 2.7~3.6V | 40 | ±4 | 100ピンLQFP | ST-100 |
| AD5380BST-5 | 14ビット | -40~+85℃ | 4.5~5.5V | 40 | ±4 | 100ピンLQFP | ST-100 |
| AD5380BST-5-REEL | 14ビット | -40~+85℃ | 4.5~5.5V | 40 | ±4 | 100ピンLQFP | ST-100 |
| EVAL-AD5380EB | | | | | | 評価用キット | |

ノート

ノート

アナログ・デバイセズ社またはその二次ライセンスを受けた関連会社からライセンスの対象となるI²Cコンポーネントを購入した場合、購入者にはこれらのコンポーネントをI²Cシステムで使用するフィリップス社のI²Cの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するI²C規格仕様に準拠したシステムが必要です。