



**ANALOG
DEVICES**

5ppm/°Cのリファレンス電圧とI²C[®]インターフェースを
内蔵するクワッド、12/14/16ビットnanoDAC[®]

AD5625R/AD5645R/AD5665R, AD5625/AD5665

特長

低消費電力、最小サイズのピン互換クワッドnanoDAC

AD5625R/AD5645R/AD5665R

12/14/16ビット

1.25V/2.5V出力の5ppm/°Cリファレンスを内蔵

AD5625/AD5665

12/16ビット

外付けリファレンス電圧を使用

3mm×3mmの10ピンLFCSPまたは14ピンTSSOPを採用

電源電圧：2.7~5.5V

設計により単調性を保証

パワーオン・リセットでDAC出力をゼロスケールに設定

チャンネルごとのパワーダウン

LDACおよびCLRハードウェア機能

標準（100kHz）、ファースト（400kHz）、ハイスピード（3.4MHz）の各モードをサポートするI²C互換シリアル・インターフェース

アプリケーション

プロセス制御

データ・アキュジション・システム

携帯型のバッテリー駆動計測機器

ゲインとオフセットのデジタル調整

プログラマブルな電圧源と電流源

プログラマブルな減衰器

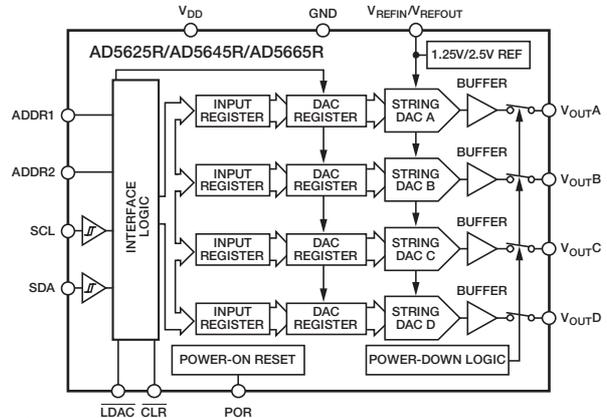
概要

nanoDACファミリー製品のAD5625R/AD5645R/AD5665RおよびAD5625/AD5665は、内部リファレンス電圧または外部リファレンス電圧を使用する低消費電力クワッドのバッファ付き電圧出力12/14/16ビットD/Aコンバータ（DAC）です。各デバイスは2.7~5.5Vの単電源で動作し、設計によって単調性が保証されており、I²C互換シリアル・インターフェースを備えています。

AD5625R/AD5645R/AD5665Rは、リファレンス電圧を内蔵しています。AD56x5RBCPZ（LFCSP）には2.5Vのフルスケール出力電圧範囲を可能にする1.25V、5ppm/°Cのリファレンス電圧が、AD56x5RBRUZ（TSSOP）には5Vのフルスケール出力電圧範囲を可能にする2.5V、5ppm/°Cのリファレンス電圧が、それぞれ内蔵されています。オンチップ・リファレンス電圧はパワーアップ時にオフになるため、外部リファレンス電圧を使用できます。内部リファレンス電圧は、ソフトウェア書込みでイネーブルされます。AD5665/AD5625では、外部リファレンス電圧を使用してDACの出力範囲を設定します。

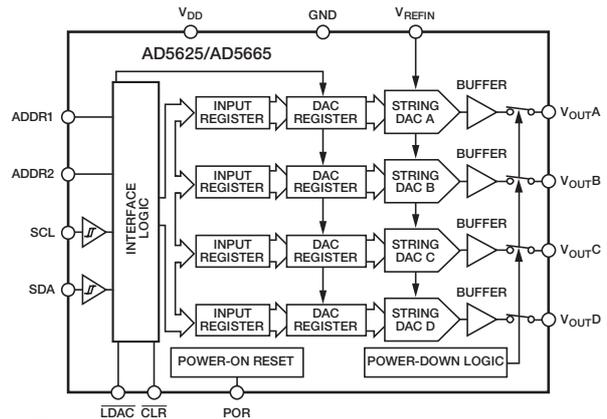
各デバイスは、パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0V（POR=GND）またはミッドスケール（POR=V_{DD}）にリセットされ、有効な書込みが行われるまでこの状態を維持します。オンチップの高精度出力アンプにより、レールtoレールの出力振幅が可能です。

機能ブロック図



NOTES
1. THE FOLLOWING PINS ARE AVAILABLE ONLY ON 14-LEAD PACKAGE:
ADDR2, LDAC, CLR, POR.

図1. AD5625R/AD5645R/AD5665R



NOTES
1. THE FOLLOWING PINS ARE AVAILABLE ONLY ON 14-LEAD PACKAGE:
ADDR2, LDAC, CLR, POR.

図2. AD5625/AD5665

AD56x5R/AD56x5は、標準（100kHz）、ファースト（400kHz）、ハイスピード（3.4MHz）のモードで動作する2線式I²C互換シリアル・インターフェースを使用します。

表1. 関連デバイス

Part No.	Description
AD5624R/AD5644R/AD5664R, AD5624/AD5664	Quad SPI 12-/14-/16-bit DACs, with/without internal reference.
AD5627R/AD5647R/AD5667R, AD5627/AD5667	Dual I ² C 12-/14-/16-bit DACs, with/without internal reference.
AD5666	2.7 V to 5.5 V, quad 16-bit DAC, internal reference, SPI interface

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

AD5625R/AD5645R/AD5665R, AD5625/AD5665

目次

特長	1	シリアル・インターフェース	21
アプリケーション	1	書込み動作	21
概要	1	読出し動作	21
機能ブロック図	1	ハイスピード・モード	23
改訂履歴	2	入力シフト・レジスタ	23
仕様	3	複数バイト動作	23
AC特性	5	ブロードキャスト・モード	25
I ² Cタイミング仕様	6	LDAC機能	25
絶対最大定格	8	パワーダウン・モード	27
ESDに関する注意	8	パワーオン・リセットとソフトウェア・リセット	28
ピン配置とピン機能の説明	9	内部リファレンス電圧のセットアップ (Rバージョン)	28
代表的な性能特性	10	アプリケーション情報	29
用語の説明	18	AD56x5R/AD56x5の電源としてリファレンス電圧を 使用する方	29
動作原理	20	AD56x5R/AD56x5を使用するバイポーラ動作	29
D/A部	20	電源のバイパスとグラウンディング	29
抵抗ストリング	20	外形寸法	30
出力アンプ	20	オーダー・ガイド	31
内部リファレンス電圧	20		
外部リファレンス電圧	20		

改訂履歴

3/07—Revision 0: Initial Version

AD5625R/AD5645R/AD5665R, AD5625/AD5665

仕様

$V_{DD} = 2.7 \sim 5.5V$ 、 $R_L = 2k\Omega$ (GNDに接続)、 $C_L = 200pF$ (GNDに接続)、 $V_{REFIN} = V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表2

Parameter	Min	Typ	Max	Unit	Conditions/Comments ¹
STATIC PERFORMANCE²					
AD5665R/AD5665					
Resolution	16			Bits	
Relative Accuracy		± 8	± 16	LSB	
Differential Nonlinearity			± 1	LSB	Guaranteed monotonic by design
AD5645R					
Resolution	14			Bits	
Relative Accuracy		± 2	± 4	LSB	
Differential Nonlinearity			± 0.5	LSB	Guaranteed monotonic by design
AD5625R/AD5625					
Resolution	12			Bits	
Relative Accuracy		± 0.5	± 1	LSB	
Differential Nonlinearity			± 0.25	LSB	Guaranteed monotonic by design
Zero-Code Error		2	10	mV	All zeroes loaded to DAC register
Offset Error		± 1	± 10	mV	
Full-Scale Error		-0.1	± 0.5	% of FSR	All ones loaded to DAC register
Gain Error		± 0.1	± 1	% of FSR	
Zero-Code Error Drift		± 2		$\mu V/^\circ C$	
Gain Temperature Coefficient		± 2.5		ppm	Of FSR/ $^\circ C$
DC Power Supply Rejection Ratio		-100		dB	DAC code = midscale; $V_{DD} = 5 V \pm 10\%$
DC Crosstalk (External Reference)		15		μV	Due to full-scale output change, $R_L = 2 k\Omega$ to GND or V_{DD}
		10		$\mu V/mA$	Due to load current change
		8		μV	Due to powering down (per channel)
DC Crosstalk (Internal Reference)		25		μV	Due to full-scale output change, $R_L = 2 k\Omega$ to GND or V_{DD}
		20		$\mu V/mA$	Due to load current change
		10		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS³					
Output Voltage Range	0		V_{DD}	V	
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 2 k\Omega$
DC Output Impedance		0.5		Ω	
Short-Circuit Current		30		mA	$V_{DD} = 5 V$
Power-Up Time		4		μs	Coming out of power-down mode; $V_{DD} = 5 V$
REFERENCE INPUTS					
Reference Current		210	260	μA	$V_{REF} = V_{DD} = 5.5 V$
Reference Input Range	0.75		V_{DD}	V	
Reference Input Impedance		26		$k\Omega$	
REFERENCE OUTPUT (LFCSP)					
Output Voltage	1.247		1.253	V	At ambient
Reference TC ³		± 10		ppm/ $^\circ C$	
Output Impedance		7.5		$k\Omega$	

AD5625R/AD5645R/AD5665R, AD5625/AD5665

Parameter	Min	Typ	Max	Unit	Conditions/Comments ¹
REFERENCE OUTPUT (TSSOP)					
Output Voltage	2.495		2.505	V	At ambient
Reference TC ³		±5	±10	ppm/°C	
Output Impedance		7.5		kΩ	
LOGIC INPUTS (ADDRx, CLR, LDAC, POR)³					
I _{IN} , Input Current			±1	μA	
V _{INL} , Input Low Voltage			0.15 × V _{DD}	V	
V _{INH} , Input High Voltage	0.85 × V _{DD}			V	
C _{IN} , Pin Capacitance		2		pF	
V _{HYST} , Input Hysteresis	0.1 × V _{DD}			V	
LOGIC INPUTS (SDA, SCL)³					
I _{IN} , Input Current			±1	μA	
V _{INL} , Input Low Voltage			0.3 × V _{DD}	V	
V _{INH} , Input High Voltage	0.7 × V _{DD}			V	
C _{IN} , Pin Capacitance		2		pF	
V _{HYST} , Input Hysteresis	0.1 × V _{DD}			V	High speed mode
	0.05 × V _{DD}			V	Fast mode
LOGIC OUTPUTS (SDA)³					
V _{OL} , Output Low Voltage			0.4	V	I _{SINK} = 3 mA
			0.6	V	I _{SINK} = 6 mA
Floating-State Leakage Current			±1	μA	
Floating-State Output Capacitance		2		pF	
POWER REQUIREMENTS					
V _{DD}	2.7		5.5	V	
I _{DD} (Normal Mode) ⁴					V _{IH} = V _{DD} , V _{IL} = GND, full-scale loaded
V _{DD} = 4.5 V to 5.5 V		1.0	1.16	mA	Internal reference off
V _{DD} = 2.7 V to 3.6 V		0.9	1.05	mA	Internal reference off
V _{DD} = 4.5 V to 5.5 V		1.9	2.14	mA	Internal reference on
V _{DD} = 2.7 V to 3.6 V		1.4	1.59	mA	Internal reference on
I _{DD} (All Power-Down Modes) ⁵					
V _{DD} = 2.7 V to 5.5 V		0.48	1	μA	V _{IH} = V _{DD} , V _{IL} = GND (LFCSP)
V _{DD} = 3.6 V to 5.5 V		0.48	1	μA	V _{IH} = V _{DD} , V _{IL} = GND (TSSOP)

¹ Bグレード温度範囲：-40～+105°C

² 直線性は狭いコード範囲（AD5665R：コード512～65,024、AD5645R：コード128～16,256、AD5625R：コード32～4064）で計算しています。出力は無負荷。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

⁴ インターフェースが非アクティブ、全DACがアクティブ、DAC出力が無負荷の条件を適用しています。

⁵ 全内蔵DACがパワーダウン。14ピンTSSOPパッケージの製品でV_{DD}<3.6Vの場合は、パワーダウン機能は使用できません。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

AC特性

$V_{DD} = 2.7 \sim 5.5V$ 、 $R_L = 2k\Omega$ (GNDに接続)、 $C_L = 200pF$ (GNDに接続)、 $V_{REFIN} = V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹

表3

Parameter ²	Min	Typ	Max	Unit	Conditions/Comments ³
Output Voltage Settling Time					
AD5625R/AD5625		3	4.5	μs	1/4 to 3/4 scale settling to ± 0.5 LSB
AD5645R		3.5	5	μs	1/4 to 3/4 scale settling to ± 0.5 LSB
AD5665R/AD5665		4	7	μs	1/4 to 3/4 scale settling to ± 2 LSB
Slew Rate		1.8		V/ μs	
Digital-to-Analog Glitch Impulse					1 LSB change around major carry
		15		nV-s	LFCSOP
		5		nV-s	TSSOP
Digital Feedthrough		0.1		nV-s	
Reference Feedthrough		-90		dB	$V_{REF} = 2 V \pm 0.1 V$ p-p, frequency 10 Hz to 20 MHz
Digital Crosstalk		0.1		nV-s	
Analog Crosstalk		1		nV-s	External reference
		4		nV-s	Internal reference
DAC-to-DAC Crosstalk		1		nV-s	External reference
		4		nV-s	Internal reference
Multiplying Bandwidth		340		kHz	$V_{REF} = 2 V \pm 0.1 V$ p-p
Total Harmonic Distortion		-80		dB	$V_{REF} = 2 V \pm 0.1 V$ p-p, frequency = 10 kHz
Output Noise Spectral Density		120		nV/ \sqrt{Hz}	DAC code = midscale, 1 kHz
		100		nV/ \sqrt{Hz}	DAC code = midscale, 10 kHz
Output Noise		15		μV p-p	0.1 Hz to 10 Hz

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

² 「用語の説明」を参照。

³ 温度範囲は $-40 \sim +105^\circ C$ 、 $+25^\circ C$ (typ) で測定。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

I²C タイミング仕様

V_{DD} = 2.7 ~ 5.5V。特に指定のない限り、すべての仕様は T_{MIN} ~ T_{MAX}、f_{SCL} = 3.4MHz で規定。¹

表4

Parameter	Conditions ²	Min	Max	Unit	Description
f _{SCL} ³	Standard mode		100	kHz	Serial clock frequency
	Fast mode		400	kHz	
	High speed mode, C _B = 100 pF		3.4	MHz	
	High speed mode, C _B = 400 pF		1.7	MHz	
t ₁	Standard mode	4		μs	t _{HIGH} , SCL high time
	Fast mode	0.6		μs	
	High speed mode, C _B = 100 pF	60		ns	
	High speed mode, C _B = 400 pF	120		ns	
t ₂	Standard mode	4.7		μs	t _{LOW} , SCL low time
	Fast mode	1.3		μs	
	High speed mode, C _B = 100 pF	160		ns	
	High speed mode, C _B = 400 pF	320		ns	
t ₃	Standard mode	250		ns	t _{SU,DAT} , data setup time
	Fast mode	100		ns	
	High speed mode	10		ns	
t ₄	Standard mode	0	3.45	μs	t _{HD,DAT} , data hold time
	Fast mode	0	0.9	μs	
	High speed mode, C _B = 100 pF	0	70	ns	
	High speed mode, C _B = 400 pF	0	150	ns	
t ₅	Standard mode	4.7		μs	t _{SU,STA} , setup time for a repeated start condition
	Fast mode	0.6		μs	
	High speed mode	160		ns	
t ₆	Standard mode	4		μs	t _{HD,STA} , hold time (repeated) start condition
	Fast mode	0.6		μs	
	High speed mode	160		ns	
t ₇	Standard mode	4.7		μs	t _{BUF} , bus-free time between a stop and a start condition
	Fast mode	1.3		μs	
t ₈	Standard mode	4		μs	t _{SU,STO} , setup time for a stop condition
	Fast mode	0.6		μs	
	High speed mode	160		ns	
t ₉	Standard mode		1000	ns	t _{RDA} , rise time of SDA signal
	Fast mode		300	ns	
	High speed mode, C _B = 100 pF	10	80	ns	
	High speed mode, C _B = 400 pF	20	160	ns	
t ₁₀	Standard mode		300	ns	t _{FDA} , fall time of SDA signal
	Fast mode		300	ns	
	High speed mode, C _B = 100 pF	10	80	ns	
	High speed mode, C _B = 400 pF	20	160	ns	
t ₁₁	Standard mode		1000	ns	t _{RCL} , rise time of SCL signal
	Fast mode		300	ns	
	High speed mode, C _B = 100 pF	10	40	ns	
	High speed mode, C _B = 400 pF	20	80	ns	

AD5625R/AD5645R/AD5665R, AD5625/AD5665

Parameter	Conditions ²	Min	Max	Unit	Description
t_{11A}	Standard mode		1000	ns	t_{RCL1} , rise time of SCL signal after a repeated start condition and after an acknowledge bit
	Fast mode		300	ns	
	High speed mode, $C_B = 100$ pF	10	80	ns	
	High speed mode, $C_B = 400$ pF	20	160	ns	
t_{12}	Standard mode		300	ns	t_{FCL} , fall time of SCL signal
	Fast mode		300	ns	
	High speed mode, $C_B = 100$ pF	10	40	ns	
	High speed mode, $C_B = 400$ pF	20	80	ns	
t_{13}	Standard mode	10		ns	\overline{LDAC} pulse width low
	Fast mode	10		ns	
	High speed mode	10		ns	
t_{14}	Standard mode	300		ns	Falling edge of ninth SCL clock pulse of last byte of a valid write to LDAC falling edge
	Fast mode	300		ns	
	High speed mode	30		ns	
t_{15}	Standard mode	20		ns	\overline{CLR} pulse width low
	Fast mode	20		ns	
	High speed mode	20		ns	
t_{SP}^4	Fast mode	0	50	ns	Pulse width of spike suppressed
	High speed mode	0	10	ns	

¹ 図3を参照。ハイスピード・モードのタイミング仕様は、AD5625RBRUZ-2/AD5625RBRUZ-2REEL7およびAD5665RBRUZ-2/AD5665RBRUZ-2REEL7のみに適用されます。

² C_B は、バス・ラインの容量です。

³ SDAとSCLのタイミングは、入力フィルタをイネーブルして測定。入力フィルタをオフにすると、転送速度は向上しますが、デバイスのEMC動作に悪影響があります。

⁴ SCL入力とSDA入力のフィルタ処理により、ファースト・モードでは50ns未満、ハイスピード・モードでは10ns未満のノイズ・スパイクを抑制できます。

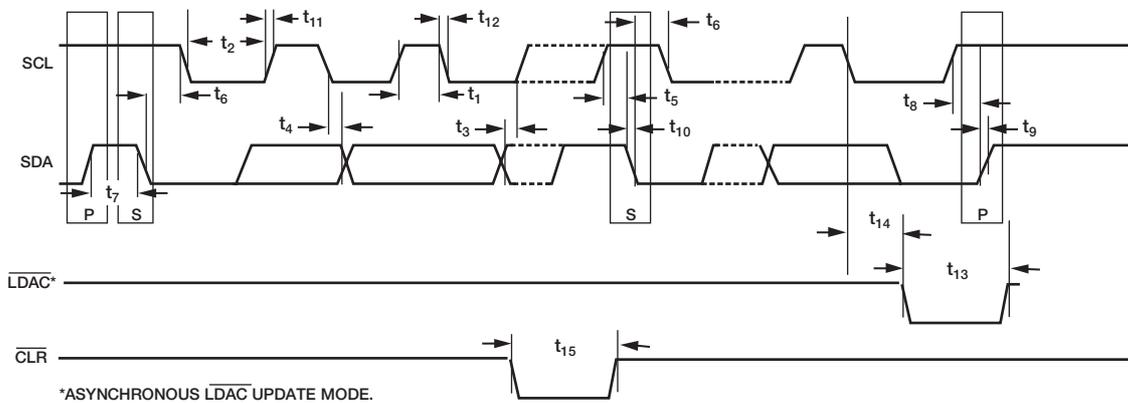


図3. 2線式シリアル・インターフェースのタイミング図

AD5625R/AD5645R/AD5665R, AD5625/AD5665

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表5

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFIN}/V_{REFOUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range, Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J maximum)	150°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
θ_{JA} Thermal Impedance	
LFCSP_WD (4-Layer Board)	61°C/W
TSSOP	150.4°C/W
Reflow Soldering Peak Temperature, RoHS Compliant	260°C \pm 5°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

ピン配置とピン機能の説明

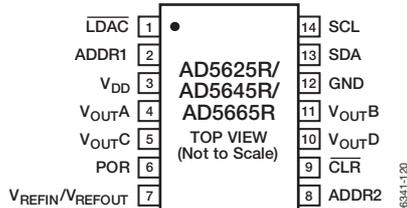


図4. ピン配置 (14ピンTSSOP)、製品番号末尾がRのバージョン

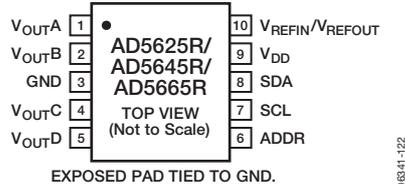


図6. ピン配置 (10ピンLFCSP)、製品番号末尾がRのバージョン

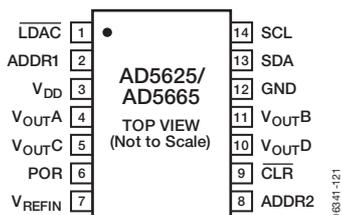


図5. ピン配置 (14ピンTSSOP)

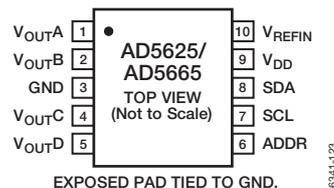


図7. ピン配置 (10ピンLFCSP)

表6. ピン機能の説明

ピン番号		記号	説明
14ピン	10ピン		
1	N/A	LDAC	このピンをローレベルにすると、入力レジスタに新しいデータが存在する場合DACレジスタのいずれかまたはすべてを更新できます。これによって、全DAC出力を同時に更新できます。また、このピンをローレベルに固定することも可能です。
2	N/A	ADDR1	スリーステートのアドレス入力。7ビット・スレーブ・アドレスの下位2ビット (ビットA1、ビットA0) を設定します (表7を参照)。
3	9	V _{DD}	電源入力。デバイスは2.7~5.5Vの電源で動作します。10μFと0.1μFのコンデンサをGNDとの間に並列接続して、電源のデカップリングを行ってください。
4	1	V _{OUTA}	DAC Aからのアナログ出力電圧。出力アンプはレールtoレール動作が可能です。
5	4	V _{OUTC}	DAC Cからのアナログ出力電圧。出力アンプはレールtoレール動作が可能です。
6	N/A	POR	パワーオン・リセット・ピン。PORピンをGNDに接続すると、パワーアップ時にデバイスが0Vにリセットされます。PORピンをV _{DD} に接続すると、パワーアップ時にデバイスがミッドスケールにリセットされます。
7	10	V _{REFIN} /V _{REFOUT}	AD56x5Rには、リファレンス電圧入力用にコモン・ピンが1本あります。内部リファレンス電圧を使用するときはリファレンス電圧出力ピンになり、外部リファレンス電圧を使用するときはリファレンス電圧入力ピンになります。このピンのデフォルト設定は、リファレンス電圧入力です (内部リファレンス電圧とリファレンス電圧出力があるのは製品番号の末尾にRがあるバージョンのみです)。AD56x5は、リファレンス電圧入力ピンのみです。
8	N/A	ADDR2	スリーステートのアドレス入力。7ビット・スレーブ・アドレスのビットA3とビットA2を設定します (表8を参照)。
9	N/A	CLR	非同同期クリア入力。CLR入力は、立下がりエッジでアクティブになります。CLRがローレベルのときは、すべてのLDACパルスが無視されます。CLRがアクティブになると、全入力レジスタと全DACレジスタにゼロ・スケールがロードされます。これによって、出力が0Vにクリアされます。有効な書込みの最終バイトの9番目のクロック・パルスの立下がりエッジで、デバイスはクリア・コード・モードを終了します。書込みシーケンスの間にCLRがアクティブになると、書込みがアボートされます。ハイスピード・モード時にCLRがアクティブになると、ハイスピード・モードを終了します。
10	5	V _{OUTD}	DAC Dからのアナログ出力電圧。出力アンプはレールtoレール動作が可能です。
11	2	V _{OUTB}	DAC Bからのアナログ出力電圧。出力アンプはレールtoレール動作が可能です。
12	3	GND	デバイス上の全回路のグラウンド基準ポイント
13	8	SDA	シリアル・データ・ライン。SCLラインと組み合わせて使用して、16ビットの入力レジスタにデータを入力するか、入力レジスタから出力します。これは、外部プルアップ抵抗を使用して電源に接続が必要な双方向のオープンドレイン・データ・ラインです。
14	7	SCL	シリアル・クロック・ライン。SDAラインと組み合わせて使用して、データを16ビットの入力レジスタに入力するか、入力レジスタから出力します。
N/A	6	ADDR	スリーステートのアドレス入力。7ビット・スレーブ・アドレスの下位2ビット (ビットA1、ビットA0) を設定します (表7を参照)。

代表的な性能特性

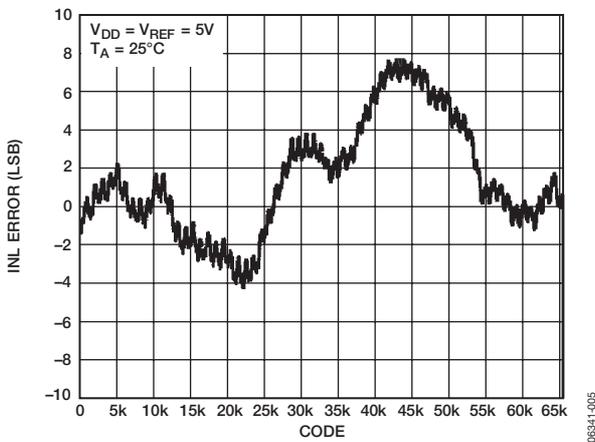


図8. AD5665のINL (外部リファレンス電圧)

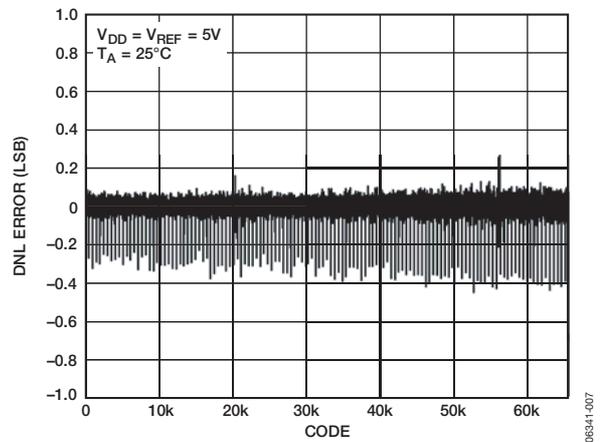


図11. AD5665のDNL (外部リファレンス電圧)

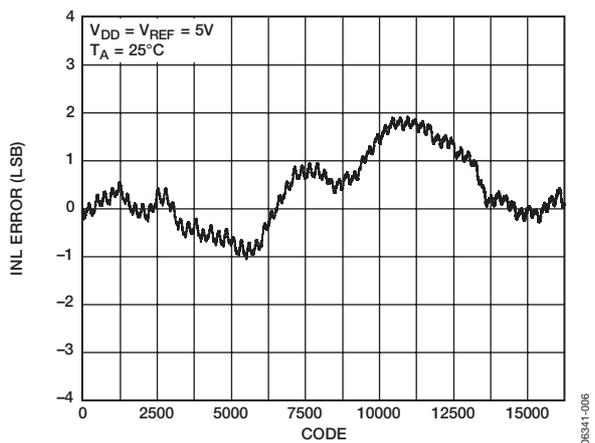


図9. AD5645RのINL (外部リファレンス電圧)

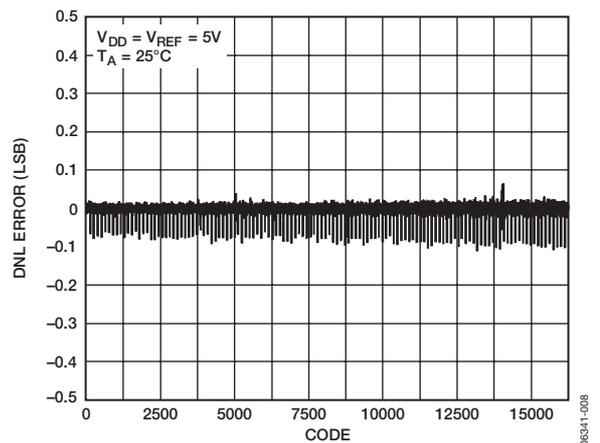


図12. AD5645RのDNL (外部リファレンス電圧)

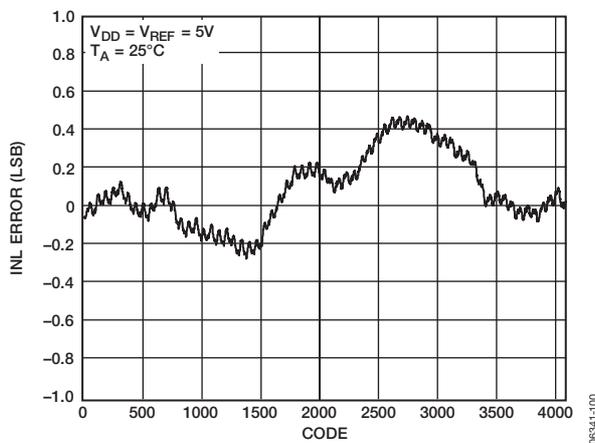


図10. AD5625のINL (外部リファレンス電圧)

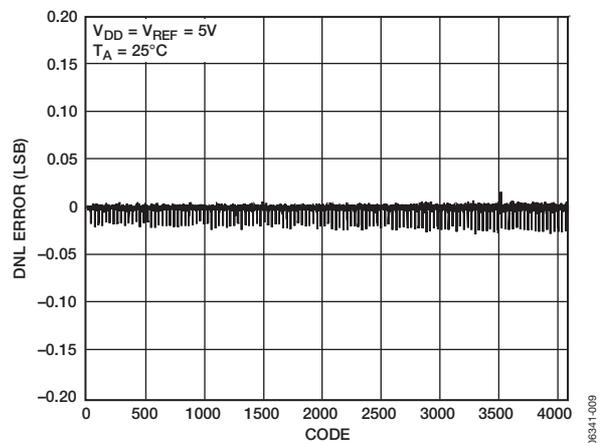


図13. AD5625のDNL (外部リファレンス電圧)

AD5625R/AD5645R/AD5665R, AD5625/AD5665

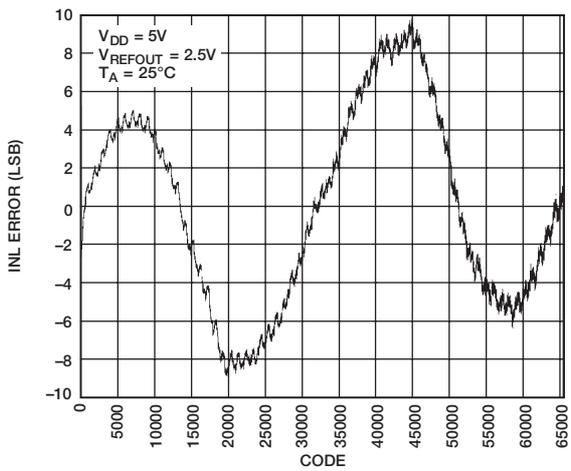


図14. AD5665RのINL
(2.5V内部リファレンス電圧)

08341-010

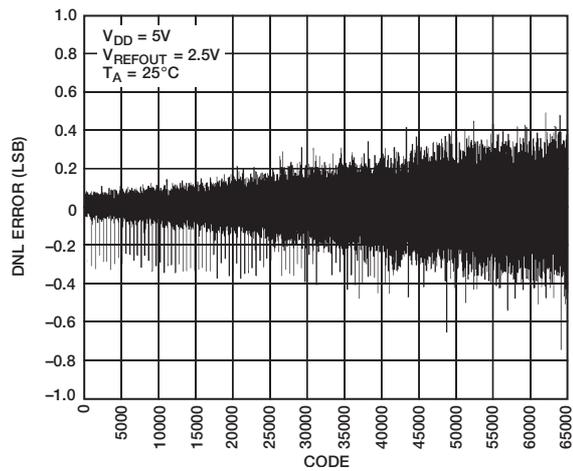


図17. AD5665RのDNL
(2.5V内部リファレンス電圧)

08341-013

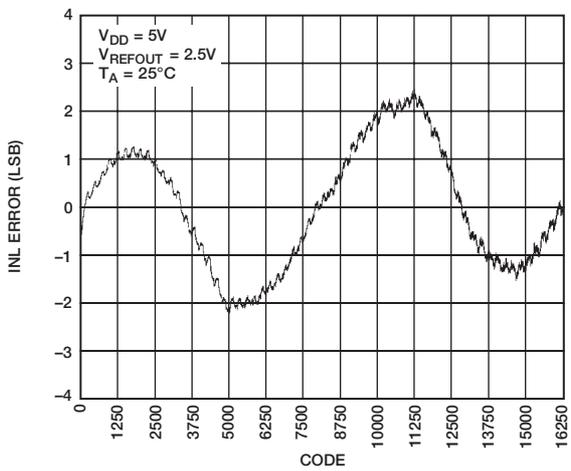


図15. AD5645RのINL
(2.5V内部リファレンス電圧)

08341-011

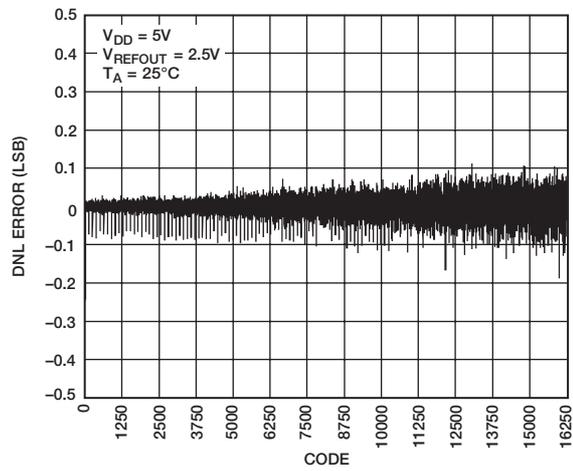


図18. AD5645RのDNL
(2.5V内部リファレンス電圧)

08341-014

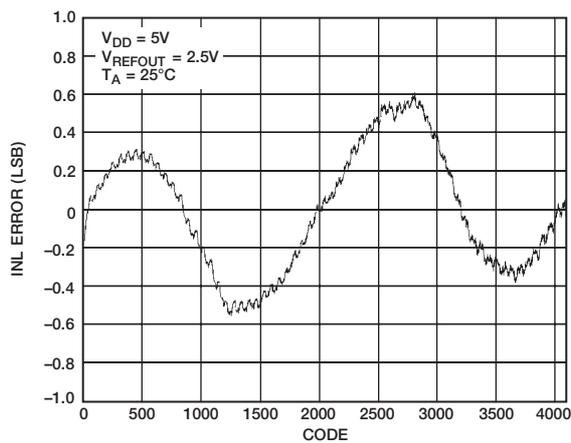


図16. AD5625RのINL
(2.5V内部リファレンス電圧)

08341-012

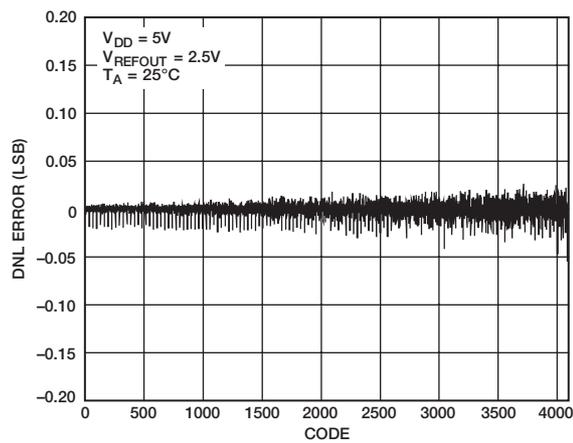


図19. AD5625RのDNL
(2.5V内部リファレンス電圧)

08341-015

AD5625R/AD5645R/AD5665R, AD5625/AD5665

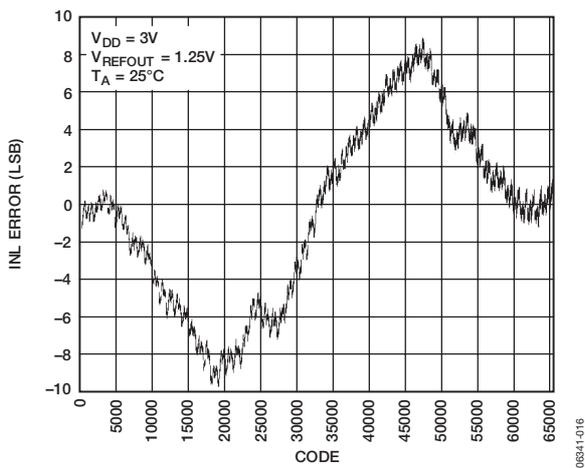


図20. AD5665RのINL
(1.25V内部リファレンス電圧)

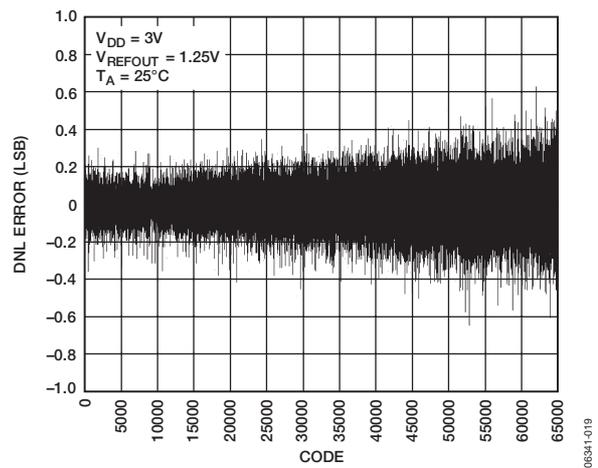


図23. AD5665RのDNL
(1.25V内部リファレンス電圧)

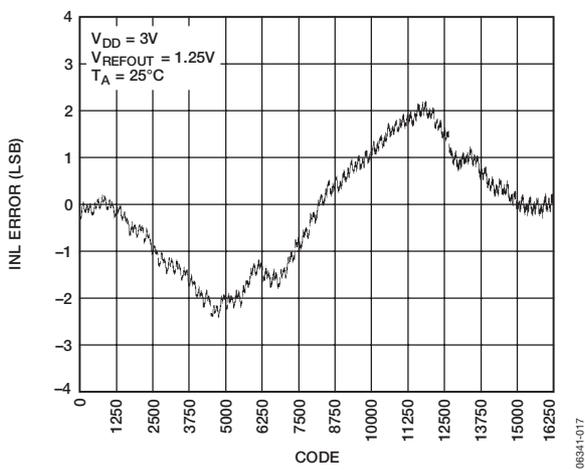


図21. AD5645RのINL
(1.25V内部リファレンス電圧)

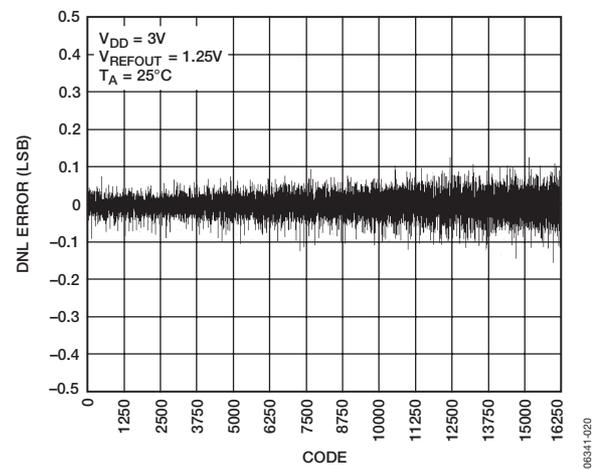


図24. AD5645RのDNL
(1.25V内部リファレンス電圧)

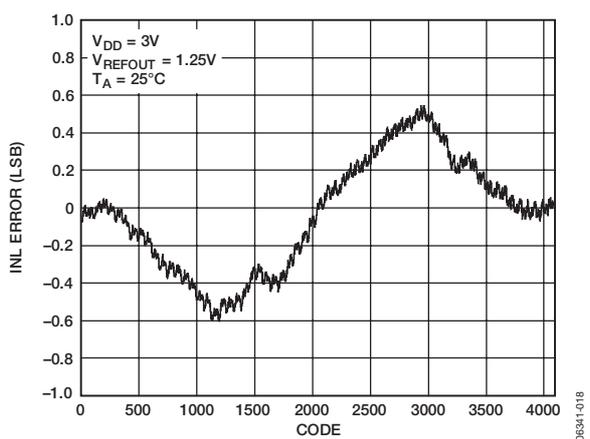


図22. AD5625RのINL
(1.25V内部リファレンス電圧)

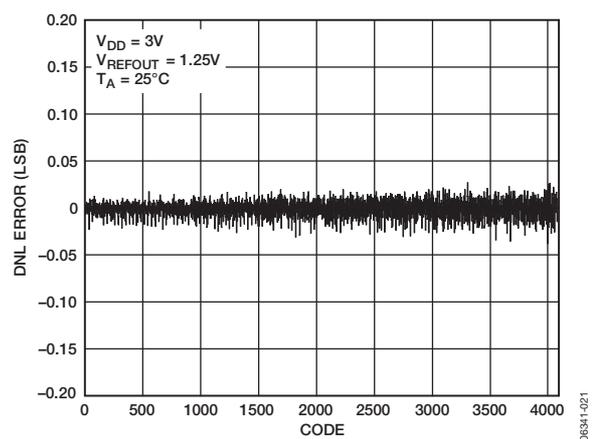


図25. AD5625RのDNL
(1.25V内部リファレンス電圧)

AD5625R/AD5645R/AD5665R, AD5625/AD5665

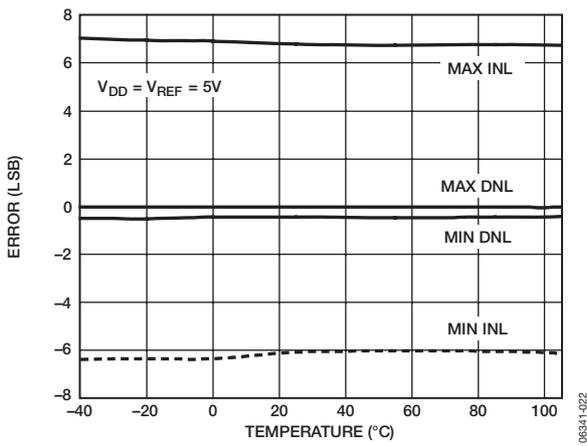


図26. INL誤差とDNL誤差の温度特性

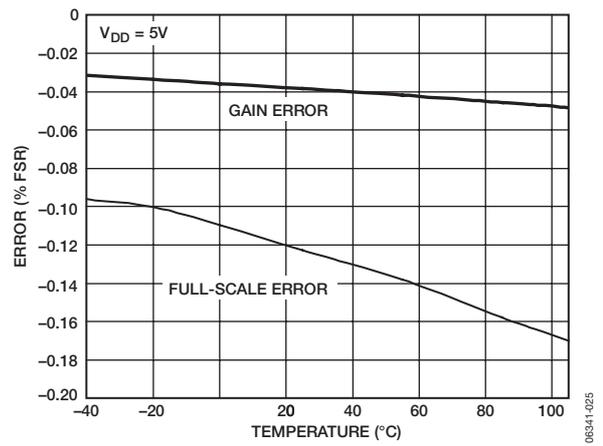


図29. ゲイン誤差とフルスケール誤差の温度特性

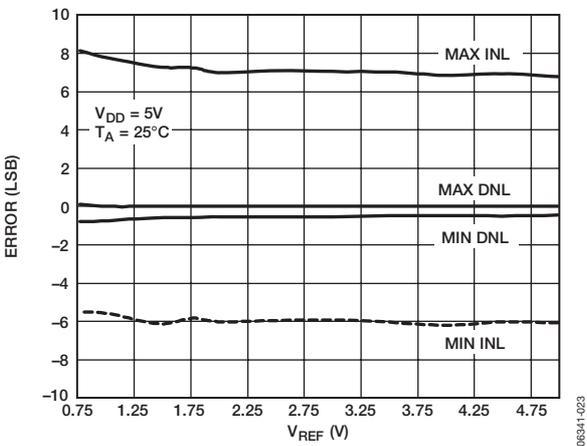


図27. V_{REF} 対 INLおよびDNL誤差

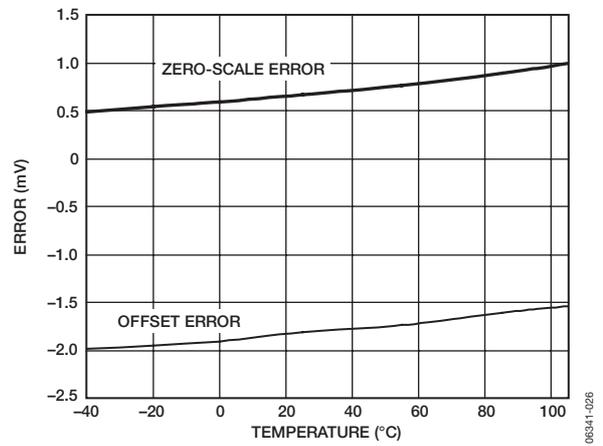


図30. ゼロスケール誤差とオフセット誤差の温度特性

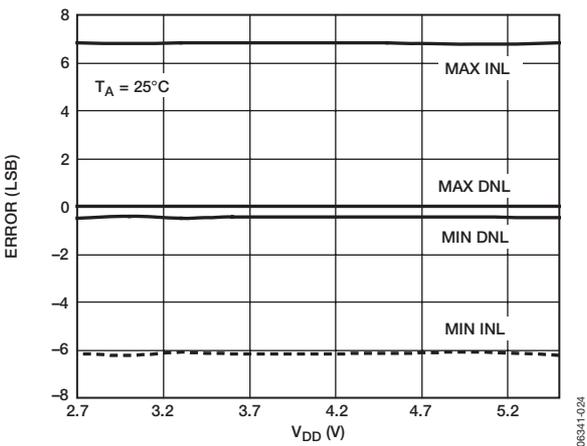


図28. 電源 対 INLおよびDNL誤差

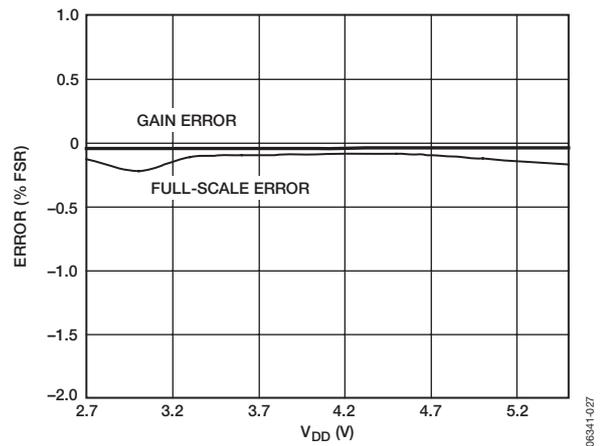


図31. 電源 対 ゲイン誤差およびフルスケール誤差

AD5625R/AD5645R/AD5665R, AD5625/AD5665

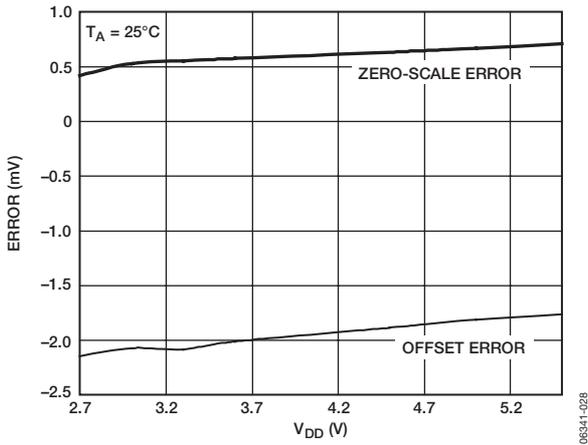


図32. 電源対ゼロスケール誤差およびオフセット誤差

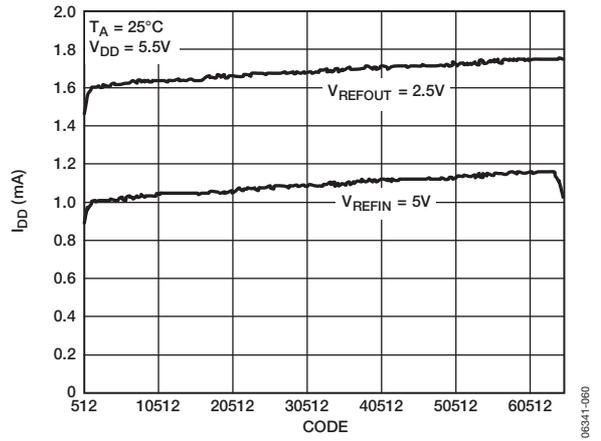


図35. DACコード対電源

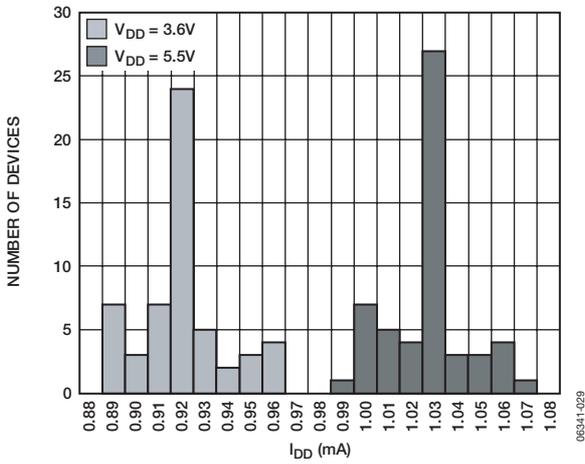


図33. 外部リファレンス電圧使用時のI_{DD}ヒストグラム

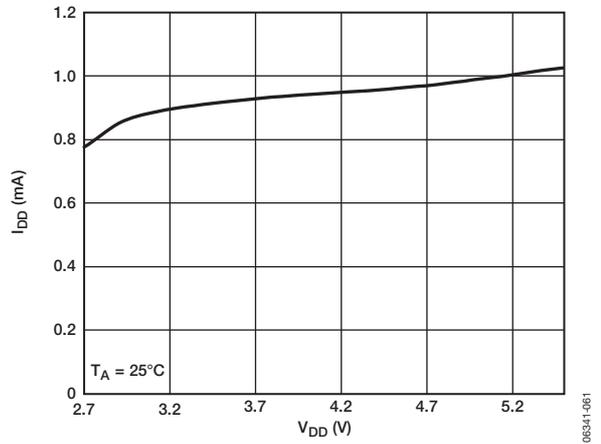


図36. 電源対電源電流

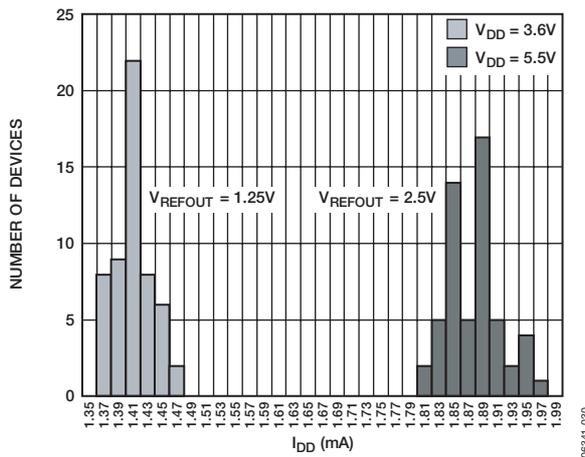


図34. 内部リファレンス電圧使用時のI_{DD}ヒストグラム

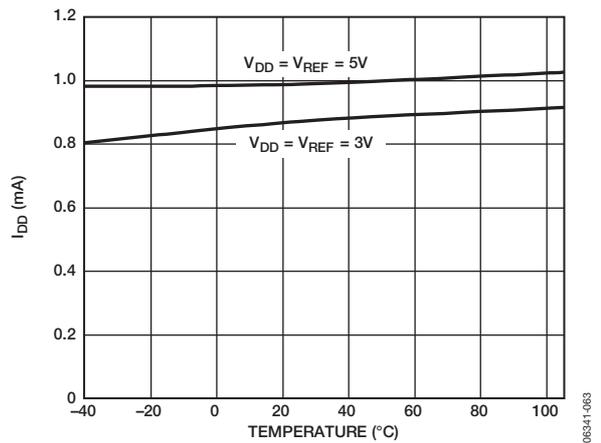


図37. 電源電流の温度特性

AD5625R/AD5645R/AD5665R, AD5625/AD5665

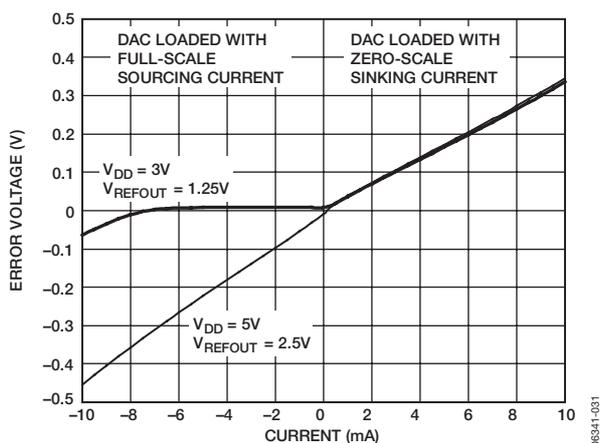


図38. ソースおよびシンク 対 電源レールのヘッドルーム

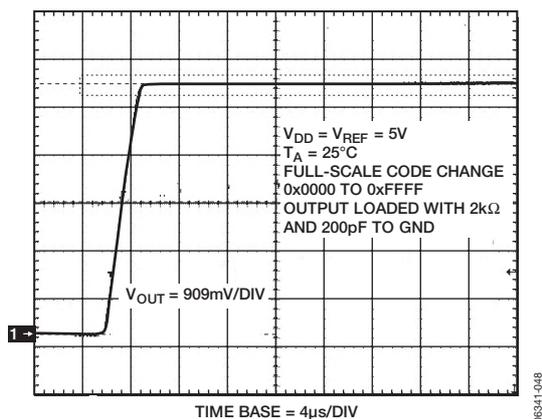


図41. フルスケールのセリング時間 (5V)

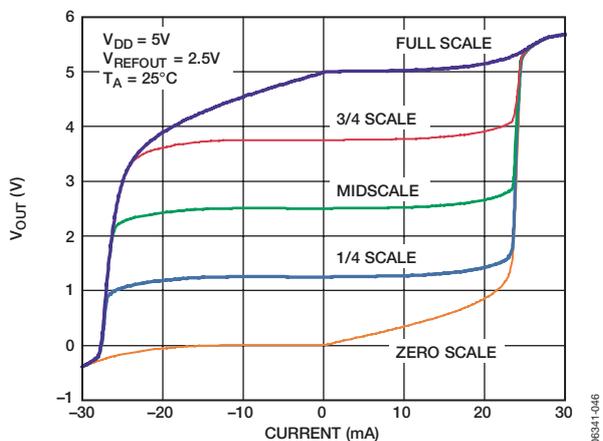


図39. AD56x5Rのソースおよびシンク能力 (2.5Vリファレンス電圧)

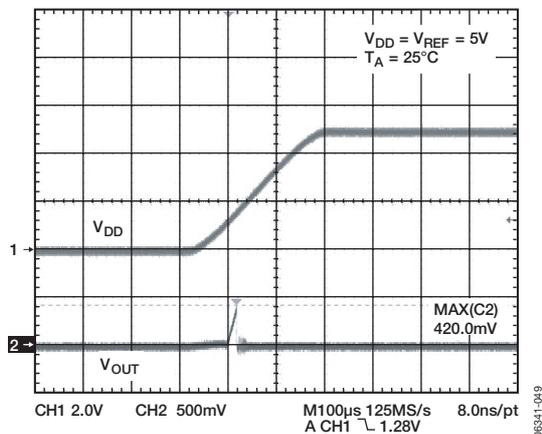


図42. パワーオン・リセット時の0V出力

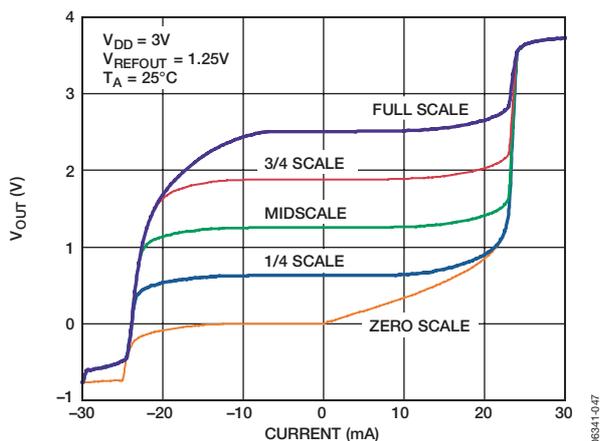


図40 AD56x5Rのソースおよびシンク能力 (1.25Vリファレンス電圧)

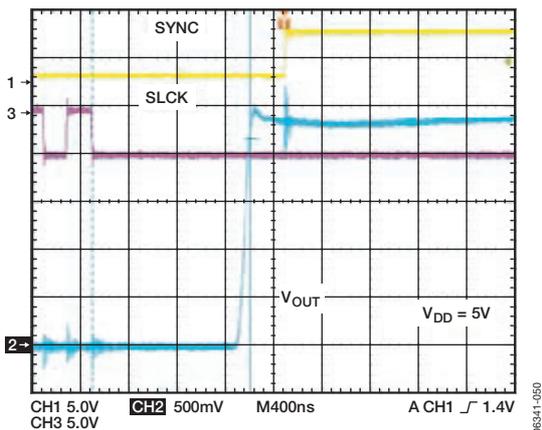


図43. パワーダウン終了からミッドスケールまで

AD5625R/AD5645R/AD5665R, AD5625/AD5665

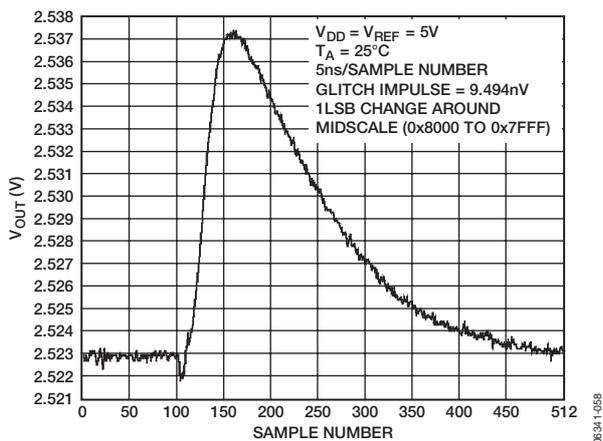


図44. デジタル/アナログ・グリッチ・インパルス (負側)

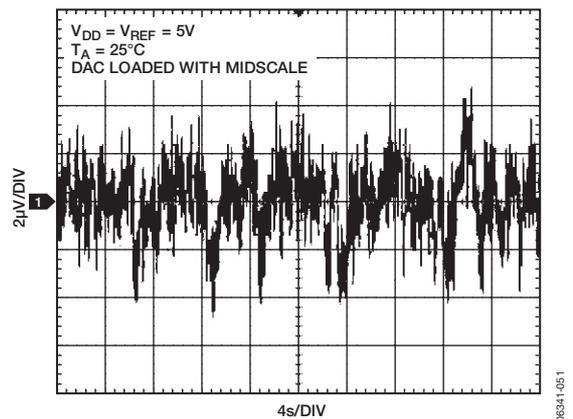


図47. 0.1~10Hz出力ノイズのプロット (外部リファレンス電圧)

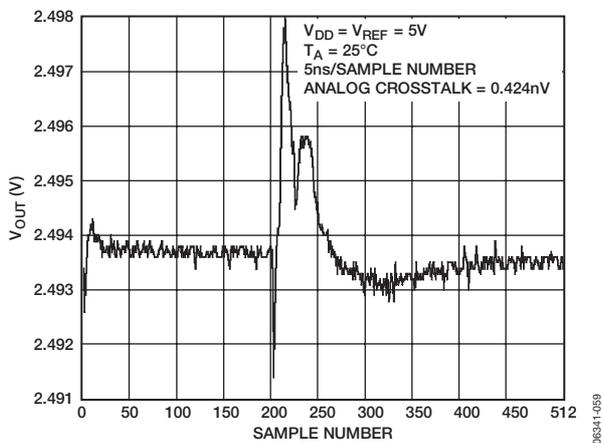


図45. アナログ・クロストーク (外部リファレンス電圧)

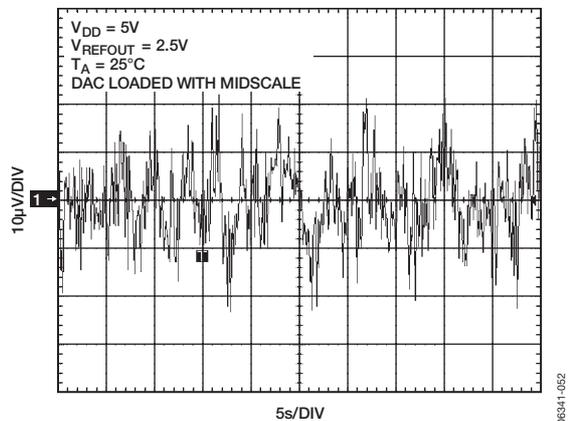


図48. 0.1~10Hz出力ノイズのプロット (2.5Vの内部リファレンス電圧)

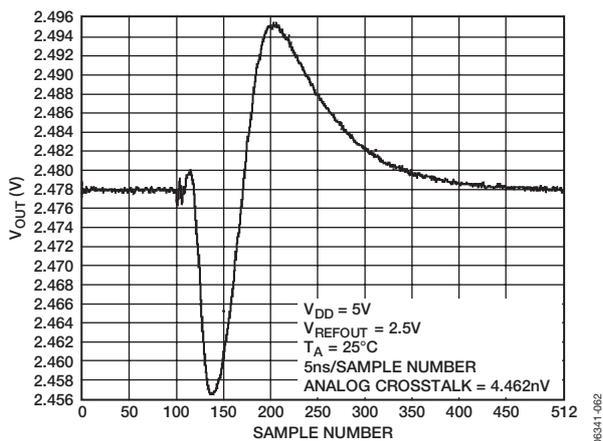


図46. アナログ・クロストーク (内部リファレンス電圧)

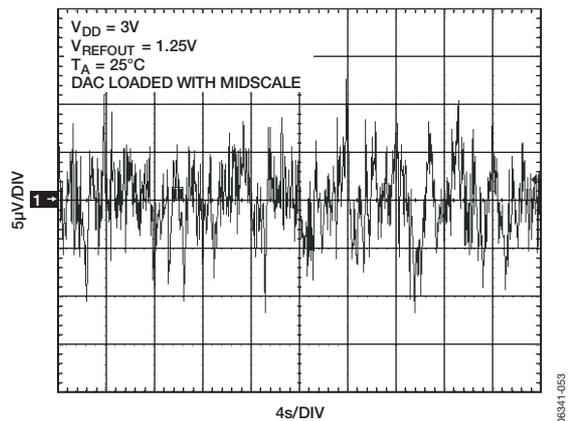


図49. 0.1~10Hz出力ノイズのプロット (1.25Vの内部リファレンス電圧)

AD5625R/AD5645R/AD5665R, AD5625/AD5665

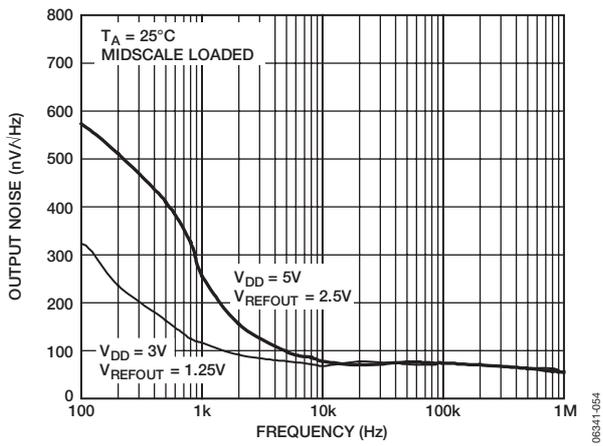


図50. ノイズ・スペクトル密度
(内部リファレンス電圧)

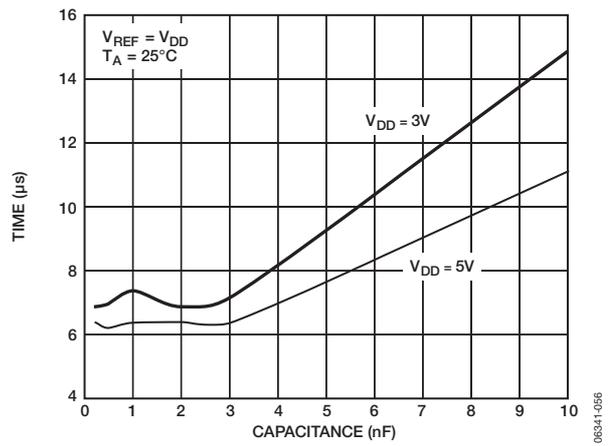


図52. 容量負荷 対 セトリング時間

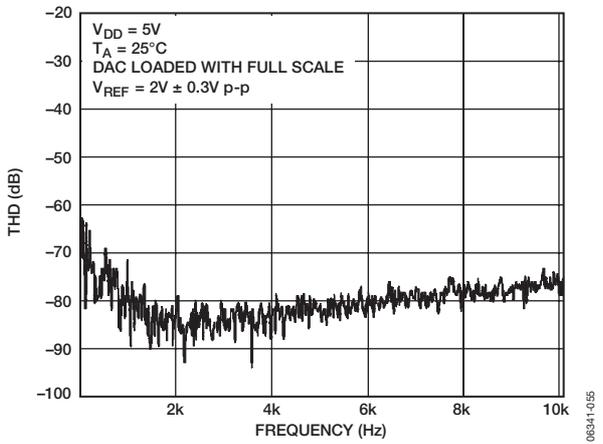


図51. 全高調波歪み

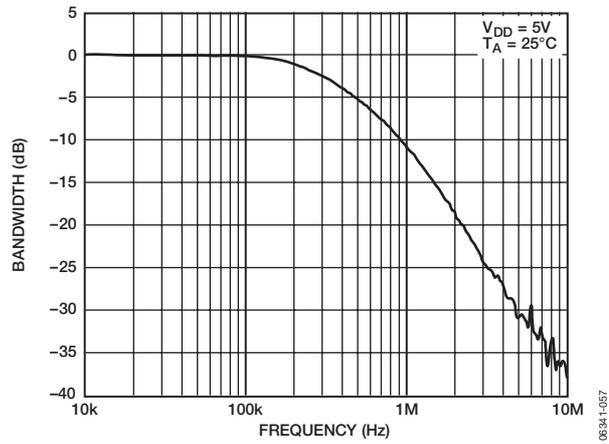


図53. 乗算帯域幅

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調性が保証されています。このDACは設計により単調性を保証しています。

ゼロスケール誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5665RではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジ (FSR) の%値で表します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾きの差を示すもので、FSRの%値で表します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ の単位で表します。

ゲイン温度係数

温度変化にともなうゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$ をppmで表します。

オフセット誤差

伝達関数の直線領域における V_{OUT} (測定値) と V_{OUT} (理論値) との差をmV単位で表します。AD5665Rのオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

DC電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力での V_{OUT} の変動と V_{DD} の変動の比を表します。これはdBの単位で測定します。 V_{REF} を2Vに保持し、 V_{DD} を $\pm 10\%$ のレンジで変動させます。

出力電圧セトリング時間

入力フルスケールの1/4から3/4に変化するときに、DACの出力が規定のレベルにセトリングするまでの所要時間を表し、SCLKの24番目の立下がりエッジから測定します。

デジタル/アナログ・グリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリーの変化 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です (図44を参照)。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に出力されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが変化するときに測定します。

リファレンス電圧フィードスルー

リファレンス電圧フィードスルーは、DAC出力の更新が行われていないときのDAC出力の信号振幅とリファレンス電圧入力力の比を表します。dBの単位で表します。

出力ノイズ・スペクトル密度

内部で発生したランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度 ($\sqrt{\text{Hz}}$ を基準とする電圧) として特性付けられます。この測定は、DACにミッドスケールをロードし、そのときに出力で発生するノイズを計測する方法によって行います。これは $\text{nV}/\sqrt{\text{Hz}}$ の単位で測定します。ノイズ・スペクトル密度のプロットを図50に示します。

DCクロストーク

DCクロストークは、1つのDACの出力変化に対応してもう1つのDACに生じる出力レベルのDC変化です。測定では、1つのDACでフルスケール出力を変化させて (あるいはソフト・パワーダウンとパワーアップを行って)、ミッドスケールに維持されているもう1つのDACをモニタリングします。 μV の単位で表します。

負荷電流の変化によって生じるDCクロストークは、DACの負荷電流の変化がミッドスケールに維持されているもう1つのDACに及ぼす影響を表します。これは、 $\mu\text{V}/\text{mA}$ の単位で表します。

デジタル・クロストーク

1つのDACの入力レジスタで発生するフルスケール・コード変化 (全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード変化) に対応して、ミッドスケールでもう1つのDACの出力に出力されるグリッチ・インパルスです。スタンドアロン・モードで測定し、nV-s単位で表します。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

アナログ・クロストーク

1つDACの出力変化に起因してもう1つのDAC出力に出力されるグリッチ・インパルスです。フルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード変化）を入力レジスタの1つにロードし、ソフトウェアLDACを実行し、デジタル・コード変化のないDACの出力をモニタリングして測定します。グリッチの面積をnV-s単位で表します。

DAC間クロストーク

1つのDACのデジタル・コード変化とこれに続くアナログ出力変化に起因して、もう1つのDACの出力に出力されるグリッチ・インパルスです。LDACをローレベルにしてフルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード変化）を影響を与える側のチャンネルにロードすると同時に、ミッドスケールを維持している影響を受けるチャンネル側の出力をモニタリングします。グリッチのエネルギーをnV-s単位で表します。

乗算帯域幅

乗算帯域幅はDAC内のアンプ帯域幅が有限であることを表します。リファレンス電圧に正弦波を加えると（DACはフルスケール・コードをロードした状態）、正弦波が出力に現れます。乗算帯域幅は、この出力振幅が入力よりも3dB低くなる時の周波数です。

全高調波歪み（THD）

DACにより減衰した正弦波と理論正弦波との差を表します。DACのリファレンス電圧として正弦波を使用し、DACの出力に現れる高調波成分を測定した値がTHDになります。dBの単位で測定します。

動作原理

D/A部

AD56x5R/AD56x5 DACは、CMOSプロセスで製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプで構成されています。図54にDACアーキテクチャのブロック図を示します。

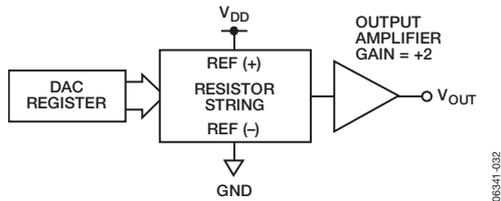


図54. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、外部リファレンス電圧を使用するときの理論出力電圧は、次式で求めることができます。

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

内部リファレンス電圧を使用するときの理論出力電圧は、次式で求めることができます。

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

ここで、

DはDACレジスタにロードされるバイナリ・コードの10進値です。

AD5625R/AD5625 (12ビット) は0~4095
 AD5645R (14ビット) は0~16383
 AD5665R/AD5665 (16ビット) は0~65535

N=DACの分解能

抵抗ストリング

図55に抵抗ストリングを示します。これは、値Rの抵抗を単純に縦続接続したものです。DACレジスタにロードされるコードに基づいて、出力アンプに電圧を分割供給するストリングのノードが決定されます。ストリングとアンプを接続するスイッチの1つが閉じると、電圧が分割供給されます。抵抗ストリングであるため、単調性は保証されます。

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を発生できます。これによって、出力電圧範囲が0VからV_{DD}になります。このアンプは、GNDとの間に並列接続した1000pFコンデンサと2kΩの抵抗負荷を駆動できます。アンプ出力電流のソース能力およびシンク能力を図38と図39に示します。スルーレートは1.8V/μsで、フルスケールの1/4から3/4に変化するときのセトリング時間は7μsです。

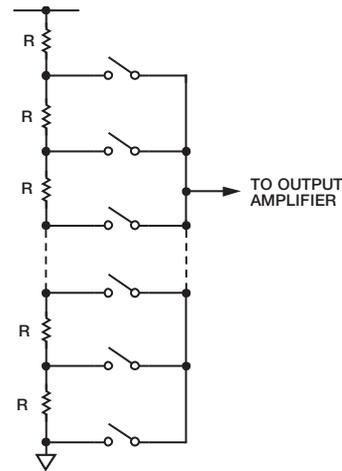


図55. 抵抗ストリング

内部リファレンス電圧

AD5625R/AD5645R/AD5665Rには、リファレンス電圧が内蔵されています。製品番号末尾にRが付かないバージョンでは、外部リファレンス電圧が必要です。内部リファレンス電圧はパワーアップ時にオフになり、コントロール・レジスタへの書込みによってイネーブルされます。詳細については、「内部リファレンス電圧のセットアップ」を参照してください。

10ピンLFCSPパッケージのバージョンは、2.5Vのフルスケール出力が可能な1.25Vリファレンス電圧を内蔵しています。これらのデバイスは、2.7~5.5VのV_{DD}電源動作が可能です。14ピンTSSOPパッケージのバージョンは、5Vのフルスケール出力が可能な2.5Vリファレンス電圧を内蔵しています。これらのデバイスは、2.7~5.5VのV_{DD}電源で動作しますが、V_{DD}電源が5V以下の場合には出力がV_{DD}にクランプされます。各モデルの詳細については、「オーダー・ガイド」を参照してください。各デバイスの内部リファレンス電圧は、V_{REFOUT}ピン（製品番号末尾がRのバージョンの場合）に出力されます。

リファレンス電圧出力で外部負荷を駆動する場合はバッファが必要です。内部リファレンス電圧を使用するときは、リファレンス電圧の安定のために、リファレンス電圧出力とGNDとの間に100nFコンデンサを接続することを推奨します。

外部リファレンス電圧

AD56x5RにはV_{REFIN}ピンが用意されているため、アプリケーションで必要な場合に外部リファレンス電圧を使用できます。内蔵のリファレンス電圧は、デフォルト設定でパワーアップ時にオフになっています。いずれのデバイスも2.7~5.5Vの単電源で動作します。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

シリアル・インターフェース

AD56x5R/AD56x5には、2線式のI²C互換シリアル・インターフェースがあります（フィリップス・セミコンダクター社が提供している2000年1月発行の『I²Cバス仕様書』を参照）。AD56x5R/AD56x5をマスター・デバイスから制御するスレーブ・デバイスとしてI²Cバスに接続できます。代表的な書込みシーケンスのタイミング図については、図3を参照してください。

AD56x5R/AD56x5では、標準（100kHz）、ファースト（400kHz）、ハイスピード（3.4MHz）のデータ転送モードが可能です。ハイスピード動作は特定のモデルでのみ提供しています。各モデルの詳細については、「オーダー・ガイド」を参照してください。10ビットのアドレッシングとゼネラル・コール・アドレッシングには対応していません。

AD56x5R/AD56x5には、それぞれ7ビットのスレーブ・アドレスがあります。10ピン・バージョンのデバイスのスレーブ・アドレスは、上位5ビットが00011で、下位2ビットがADDRアドレス・ピンの状態によって設定されて、A0とA1のアドレス・ビットの状態が決まります。14ピン・バージョンのデバイスのスレーブ・アドレスは、上位3ビットが001で、下位4ビットがADDR1とADDR2のアドレス・ピンによって設定されて、それぞれA0、A1、A2、A3のアドレス・ビットの状態が決まります。

ADDRピンに対するハードワイヤ変更により、表7に示すようにこれらのデバイスを3個まで1つのバスに接続することができます。

表7. ADDRピンの設定（10ピン・パッケージ）

ADDR Pin Connection	A1	A0
V _{DD}	0	0
NC	1	0
GND	1	1

ADDR1とADDR2の各ピンに対するハードワイヤ変更により、表8に示すようにこれらのデバイスを9個まで1つのバスに接続することができます。

表8. ADDR1およびADDR2ピンの設定（14ピン・パッケージ）

ADDR2 Pin Connection	ADDR1 Pin Connection	A3	A2	A1	A0
V _{DD}	V _{DD}	0	0	0	0
V _{DD}	NC	0	0	1	0
V _{DD}	GND	0	0	1	1
NC	V _{DD}	1	0	0	0
NC	NC	1	0	1	0
NC	GND	1	0	1	1
GND	V _{DD}	1	1	0	0
GND	NC	1	1	1	0
GND	GND	1	1	1	1

2線式シリアル・バス・プロトコルは、次のように動作します。

1. SCLがハイレベルの間にSDAラインがハイレベルからローレベルに変化するときにマスターがスタート条件を設定して、データ転送を開始します。7ビットのスレーブ・アドレスで構成されるアドレスバイトがこれに続きます。送信されたアドレスと一致するスレーブ・アドレスは、9番目のクロック・パルス（アクノレッジ・ビットといいます）の間にSDAをローレベルにすることによって応答します。この時点では、選択されたデバイスがそのシフト・レジスタに対するデータの書込みまたは読出しを行っている間、バス上の他のすべてのデバイスはアイドル状態になります。
2. 9個のクロック・パルスのシーケンス（8個のデータ・ビットとその後に続くアクノレッジ・ビット）で、データがシリアル・バスを介して送信されます。SCLのローレベル期間中にSDAラインのロジック・レベルが変化し、SCLのハイレベル期間中にSDAラインが安定した状態を維持する必要があります。
3. すべてのデータビットの読出しまたは書込みが終了した時点で、ストップ条件が設定されます。書込みモード時には、10番目のクロック・パルス時にマスターがSDAラインをハイレベルにしてストップ条件を設定します。読出しモードでは、9番目のクロック・パルスに対しマスターはアクノレッジを発行しません（すなわち、SDAラインはハイレベルのままです）。マスターは10番目のクロック・パルスの送信前にSDAラインをローレベルに設定してから、10番目のクロック・パルスの送信中にハイレベルに変化させることにより、ストップ条件を設定します。

書込み動作

AD56x5R/AD56x5に書込みを行う場合、まずスタート・コマンド、次にアドレスバイト（R/W=0）を書き込みます。その後、DACがSDAをローレベルにし、データ受信の準備が完了していることをアクノレッジします。AD5665には、DAC用の2バイトのデータとさまざまなDAC機能を制御するコマンドバイトが1つ必要です。したがって、図56と図57に示すようにコマンドバイトの次に上位データバイトと下位データバイトの3バイトのデータをDACに書き込む必要があります。これらのデータバイトがAD56x5R/AD56x5によってアクノレッジされた後ストップ条件が発生します。

読出し動作

AD56x5R/AD56x5からデータを読み出す場合は、まずスタート・コマンド、次にアドレスバイト（R/W=1）を書き込みます。その後、DACがSDAをローレベルにして、データ送信の準備が完了していることをアクノレッジします。2バイトのデータがDACから読み出されると、図58と図59に示すようにマスターによってアクノレッジされます。その後、ストップ条件が発生します。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

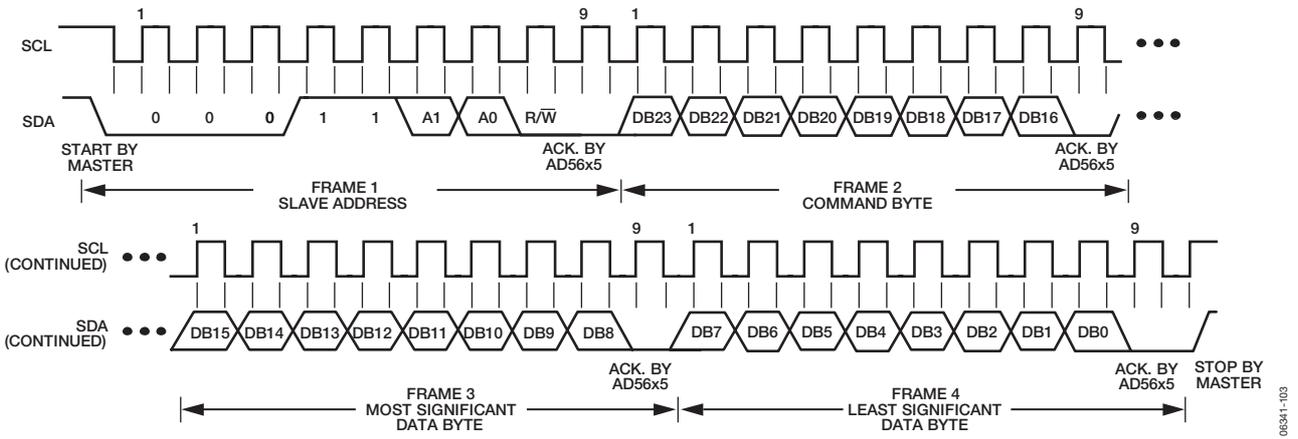


図56. I²C書き込み動作 (10ピン・パッケージ)

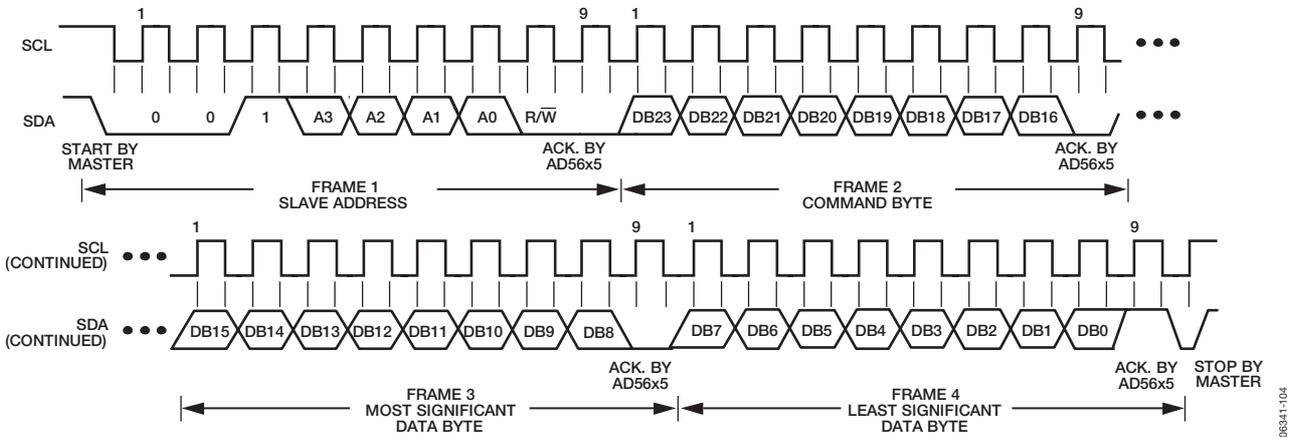


図57. I²C書き込み動作 (14ピン・パッケージ)

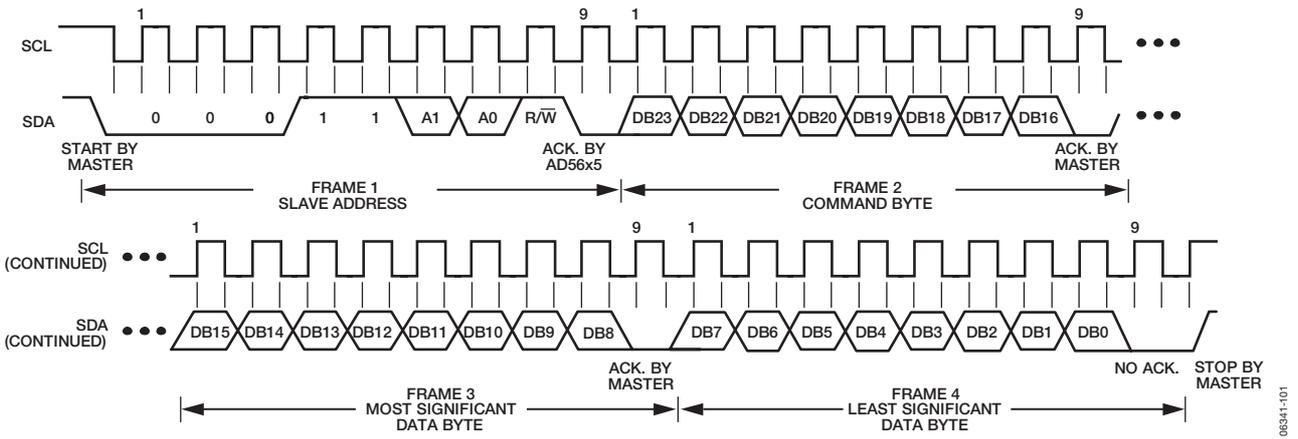


図58. I²C読み出し動作 (10ピン・パッケージ)

AD5625R/AD5645R/AD5665R, AD5625/AD5665

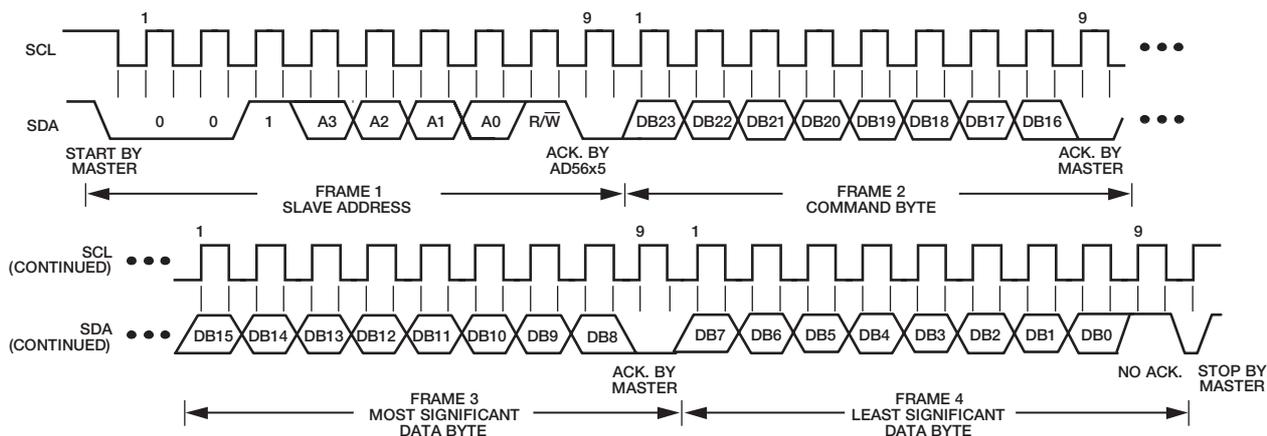


図59. I²C読み出し動作 (14ピン・パッケージ)

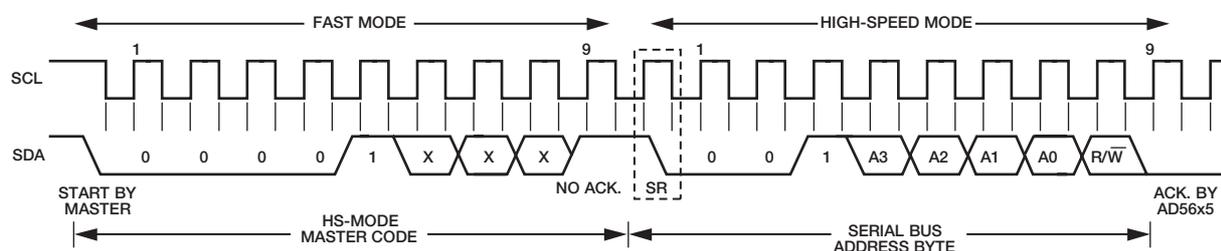


図60. AD56x5RBRUZ-2/AD56x5RBRUZ-2REEL7のハイスピード・モード設定

ハイスピード・モード

モデルによっては、3.4MHzのクロック周波数で動作する高速シリアル通信が可能です。各モデルの詳細については、「オーダー・ガイド」を参照してください。

マスターがバスに接続するすべてのデバイスのアドレスをマスター・コード00001XXXで指定し、ハイスピード・モード転送の開始を指示すると、ハイスピード・モード通信が開始されます。バスに接続されているデバイスはいずれもハイスピードのマスター・コードに対するアクノレッジができないため、コードの後にはノー・アクノレッジが続きます。次いで、マスターは繰り返しスタートを発行し、その後にデバイス・アドレスを発行する必要があります。選択されたデバイスは、そのアドレスに対してアクノレッジを行います。マスターがストップ条件を発行するまで、デバイスはすべてハイスピード・モードで動作し続けます。ストップ条件が発行されると、各デバイスは標準/ファースト・モードに戻ります。デバイスがハイスピード・モードのときにCLRをアクティブにすることによっても、標準/ファースト・モードに戻ります。

入力シフト・レジスタ

入力シフト・レジスタは、24ビット幅です。シリアル・クロック入力SCLの制御によって、データは24ビット・ワードでデバイスにロードされます。この動作のタイミング図を図3に示します。上位8ビットでコマンドバイトが構成されます。DB23は予約済みであるため、デバイスの書込み動作時には必ず0に設定してください。複数バイト動作を選択するときは、DB22 (S)を使用します。この後ろに、デバイスの動作モードを制御するコマンド・ビット (C2, C1, C0) が続きます。詳細については、表9を参照してください。最初のバイトの最後の3ビットは、アドレス・ビット (A2, A1, A0) です。詳細については、表10を参照してください。残りのビットは、16/14/12ビットのデータワードです。データワードは、16/14/12ビットの入力コードとその後続く2ビット (AD5645R) または4ビット (AD5625R/AD5625) のドント・ケア・ビットで構成されます (図63~65を参照)。

複数バイト動作

AD56x5R/AD56x5では、複数バイト動作が可能です。DACの高速更新が必要で、コマンドバイトを変更しなくてもよいアプリケーションでは、2バイト動作が役立ちます。コマンド・レジスタのSビット (DB22) を1に設定することで、2バイト動作モードになります (図62を参照)。標準の3バイト動作や4バイト動作の場合は、コマンドバイトのSビット (DB22) を0に設定してください (図61を参照)。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

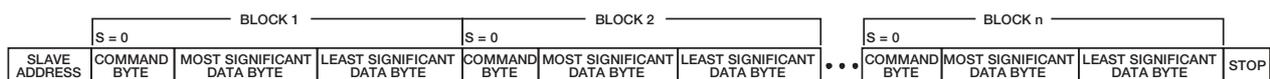


図61. 各ブロックのコマンドバイトによる複数ブロック書き込み

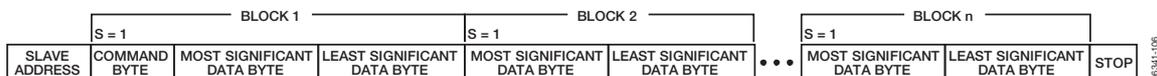


図62. 最初のコマンドバイトのみによる複数ブロック書き込み (S=1)

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R	S	C2	C1	C0	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESERVED	BYTE SELECTION	COMMAND				DAC ADDRESS			DAC DATA							DAC DATA							
		COMMAND BYTE				DATA HIGH BYTE							DATA LOW BYTE										

図63. AD5665R/AD5665の入カシフト・レジスタ (16ビットDAC)

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R	S	C2	C1	C0	A2	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
RESERVED	BYTE SELECTION	COMMAND				DAC ADDRESS			DAC DATA							DAC DATA							
		COMMAND BYTE				DATA HIGH BYTE							DATA LOW BYTE										

図64. AD5645R入カシフト・レジスタ (14ビットDAC)

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R	S	C2	C1	C0	A2	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
RESERVED	BYTE SELECTION	COMMAND				DAC ADDRESS			DAC DATA							DAC DATA							
		COMMAND BYTE				DATA HIGH BYTE							DATA LOW BYTE										

図65. AD5625R/AD5625入カシフト・レジスタ (12ビットDAC)

AD5625R/AD5645R/AD5665R, AD5625/AD5665

ブロードキャスト・モード

AD56x5R/AD56x5では書き込みモードの場合に限り、ブロードキャスト・アドレッシングが可能です。ブロードキャスト・アドレッシングによって、複数のAD56x5R/AD56x5デバイスの同期更新や同期パワーダウンが可能です。ブロードキャスト・アドレッシングを使用すると、AD56x5R/AD56x5はアドレス・ピンの状態にかかわらず応答します。AD56x5R/AD56x5のブロードキャスト・アドレスは、00010000です。

表9. コマンドの定義

C2	C1	C0	Command
0	0	0	Write to input Register n
0	0	1	Update DAC Register n
0	1	0	Write to input Register n, update all (software LDAC)
0	1	1	Write to and update DAC Channel n
1	0	0	Power up/power down
1	0	1	Reset
1	1	0	LDAC register setup
1	1	1	Internal reference setup (on/off)

表10. DACアドレス・コマンド

A2	A1	A0	ADDRESS (n)
0	0	0	DAC A
0	0	1	DAC B
0	1	0	DAC C
0	1	1	DAC D
1	1	1	All DACs

LDAC機能

AD56x5R/AD56x5の各DACには、入力レジスタとDACレジスタの2つのバンクのレジスタで構成されるダブルバッファ・インターフェースがあります。入力レジスタは入力シフト・レジスタに直接接続し、有効な書き込みシーケンスが終了するとデジタル・コードが該当する入力レジスタに転送されます。DACレジスタに、抵抗ストリングで使用するデジタル・コードが格納されます。

DACレジスタへのアクセスは、LDACピンによって制御します。LDACピンがハイレベルのときに、DACレジスタがラッチされ、入力レジスタはDACレジスタの内容を変えずに状態を変化させることができます。これに対し、LDACがローレベルに設定されると、DACレジスタを素通りして、入力レジスタの内容がDACレジスタに転送されます。DAC出力をすべて同時に更新しなければならない場合は、ダブルバッファ・インターフェースが便利です。入力レジスタの1つにデータを個別に書き込み、その後別のDACの入力レジスタに書き込みを行うときはLDACをローレベルに設定することですべての出力を同時に更新できます。

各デバイスには、LDACが最後にローレベルになってから入力レジスタが更新されていないと、DACレジスタが更新されない機能も備わっています。通常はLDACがローレベルのときに、DACレジスタには入力レジスタの内容がロードされます。AD56x5R/AD56x5の場合、DACレジスタが更新されるのは、DACレジスタが最後に更新されてから入力レジスタに変更があった場合のみです。このため、不要なデジタル・クロストークが発生しなくなります。

ハードウェアLDACピンを使用すると、すべてのDACの出力を同時に更新できます。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

同期LDAC

新しいデータが読み出されると、DACレジスタが更新されます。LDACは常にローレベルに固定するか、またはパルスにすることができます。

非同期LDAC

出力は入力レジスタの書き込みと同時に更新されません。LDACがローレベルになったときに、DACレジスタが入力レジスタの内容で更新されます。

LDACレジスタにより、きわめて柔軟にハードウェアLDACピンを制御できます（ハードウェアLDACピンがない10ピン・デバイスの場合はソフトウェアLDACで制御。表11を参照）。このレジスタを使用して、ハードウェアLDACピンを実行するときにチャンネルを同時に更新する組み合わせを選択することができます。DACチャンネルに対しLDACレジスタのビットを0に設定すると、このチャンネル更新がLDACピンによって制御されます。このビットを1に設定すると、このチャンネルは同期更新されます。すなわち、LDACピンの状態にかかわらず、新しいデータが読み出されるとDACレジスタが更新されます。この場合、デバイスはLDACピンがローレベルに設定されているものとみなします。LDACレジスタの動作モードについては、表12を参照してください。選択したチャンネルを同時に更新し、残りのチャンネルも同期して更新する必要があるアプリケーションで、このような高い柔軟性が役立ちます。

コマンド110を使用してDACに書き込みを行うと、4ビットのLDACレジスタ [DB3:DB0] にデータがロードされます。各チャンネルのデフォルト値は0であり、LDACピンは通常の動作をします。このビットを1に設定すると、LDACピンの状態にかかわらずDACレジスタが更新されます。LDACレジスタ・セットアップ・コマンド実行時の入力シフト・レジスタの内容については、図66を参照してください。

表11. 10ピンLFCSPデバイスのLDACレジスタ動作モード (DACレジスタのロード)

LDAC Bits (DB3 to DB0)	LDAC Mode of Operation
0	Normal operation (default), DAC register update is controlled by write command.
1	The DAC registers are updated after new data is read in.

表12. 14ピンTSSOPデバイスのLDACレジスタ動作モード (DACレジスタのロード)

LDAC Bits (DB3 to DB0)	LDAC Pin	LDAC Operation
0	1/0	Determined by LDAC pin.
1	x = don't care	The DAC registers are updated after new data is read in.

R	S	C2	C1	C0	A2	A1	A0	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	X	1	1	0	A2	A1	A0	X	X	X	X	X	X	X	X	X	X	X	X	DAC D	DAC C	DAC B	DAC A	
RESERVED	DON'T CARE	COMMAND				DAC ADDRESS (DON'T CARE)			DON'T CARE								DON'T CARE				DAC SELECT (0 = LDAC PIN ENABLED)			

図66. LDACセットアップ・コマンド

06941-115

AD5625R/AD5645R/AD5665R, AD5625/AD5665

パワーダウン・モード

コマンド100がパワーダウン用に用意されています。パワーアップ/パワーダウン・モードは、ビットDB5とビットDB4をセットして設定します。これによって、表13に示すようにDACアンプの出力状態が決まります。ビットDB3~DB0は、パワーアップ/パワーダウン・コマンドの対象となるDACを指定します。これらのビットのいずれかを1に設定すると、DB5とDB4によって指定されたパワーアップ/パワーダウン状態が該当するDACに適用されます。ビットが0の場合は、DACの状態が変化しません。図68に、パワーアップ/パワーダウン・コマンドに対応する入力シフト・レジスタの内容を示します。

DB5とDB4のビットを0に設定すると、デバイスは5V電源で1mAという通常の消費電力で通常の動作を行います。ただし、3つのパワーダウン・モードでは、消費電流が5V電源で480nA(3V電源時で200nA)まで減少します。電源電流が低くなるだけでなく、出力段が内部的にアンプの出力から切り離されて既知の値をもつ抵抗ネットワークに接続されます。これには、パワーダウン・モード中のデバイスの出力インピーダンスが既知になるという利点があります。図66に示すように、1kΩまたは100kΩの抵抗を介して出力を内部でGNDに接続するか、オープン回路(スリーステート)にしておくことができます。

14ピンTSSOPモデルでは、3.6~5.5VのV_{DD}の動作時にパワーダウン機能を使用できます。10ピンLFCSPモデルでは、2.7~5.5VのV_{DD}の動作時にパワーダウン機能を使用できます。

表13. AD56x5R/AD56x5の動作モード

DB5	DB4	Operating Mode
0	0	Normal operation
		Power-down modes
0	1	1 kΩ pull-down resistor to GND
1	0	100 kΩ pull-down resistor to GND
1	1	Three-state, high impedance

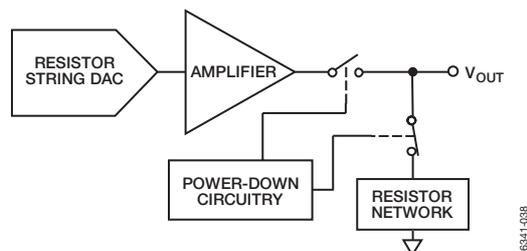


図67. パワーダウン時の出力段

パワーダウン・モードを起動すると、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、その他の関連するリニア回路がシャットダウンします。ただし、パワーダウン中にDACレジスタの内容が変わることはありません。パワーダウン・モードからの復帰時間は、V_{DD}=5VでもV_{DD}=3Vでも4μs (typ値)です。

R	S	C2	C1	C0	A2	A1	A0	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	X	1	0	0	A2	A1	A0	X	X	X	X	X	X	X	X	X	X	PD1	PD0	DAC D	DAC C	DAC B	DAC A	
RESERVED	DON'T CARE	COMMAND			DAC ADDRESS (DON'T CARE)			DON'T CARE								DON'T CARE		POWER-DOWN MODE		DAC SELECT (1 = DAC SELECTED)				

図68. パワーアップ/パワーダウン・コマンド

AD5625R/AD5645R/AD5665R, AD5625/AD5665

パワーオン・リセットとソフトウェア・リセット

AD56x5R/AD56x5には、パワーアップ時に出力電圧を制御するパワーオン・リセット回路が内蔵されています。10ピン・バージョンのデバイスは、パワーアップ時にDAC出力が0Vにリセットされます。14ピン・バージョンには、出力電圧を選択できるパワーオン・リセット (POR) ピンが備わっています。PORピンをGNDに接続すると、パワーアップ時にAD56x5R/AD56x5の出力が0Vにリセットされます。PORピンをV_{DD}に接続すると、パワーアップ時にAD56x5R/AD56x5の出力がミッドスケールにリセットされます。DACに対する有効な書込みシーケンスが実行されるまで、出力はパワーアップ時のレベルを維持します。パワーアップの過程でDAC出力の状態を把握しておかなければならないアプリケーションでは、この機能が役立ちます。

パワーオン・リセット時にLDACまたはCLR上で発生するイベントは、すべて無視されます。

ほかに、ソフトウェア・リセット機能も用意されています。コマンド101がソフトウェア・リセット・コマンドです。このソフトウェア・リセット・コマンドには、入力シフト・レジスタのビットDB0を設定することでソフトウェアから選択できる2つのリセット・モードが含まれています。

表14に、デバイスのソフトウェア・リセット動作モードを設定するビットの状態を示します。図69には、ソフトウェア・リセット動作モード時の入力シフト・レジスタの内容を示します。

表14. AD56x5R/AD56x5のソフトウェア・リセット・モード

DB0	Registers Reset to Zero
0	DAC register Input shift register
1 (Power-On Reset)	DAC register Input shift register LDAC register Power-down register Internal reference setup register

内部リファレンス電圧のセットアップ (Rバージョン)

内部リファレンス電圧は、デフォルトでパワーアップ時にオフになります。リファレンス電圧セットアップ・コマンド (111)を送信し、入力シフト・レジスタのDB0をセットすることで、オンに設定できます。表15に、この動作モードに対応するビットの状態を示します。

表15. リファレンス電圧セットアップ・コマンド

DB0	Action
0	Internal reference off (default)
1	Internal reference on

X	S	C2	C1	C0	A2	A1	A0	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	X	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	RST
RESERVED	DON'T CARE	COMMAND			DAC ADDRESS (DON'T CARE)			DON'T CARE					DON'T CARE					RESET MODE						

図69. リセット・コマンド

R	S	C2	C1	C0	A2	A1	A0	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	X	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	REF
RESERVED	DON'T CARE	COMMAND			DAC ADDRESS (DON'T CARE)			DON'T CARE					DON'T CARE					REFERENCE MODE						

図70. リファレンス電圧セットアップ・コマンド

アプリケーション情報

AD56x5R/AD56x5の電源としてリファレンス電圧を使用する方法

AD56x5R/AD56x5に必要な電源電流は非常に低いため、リファレンス電圧を使用してデバイスに必要な電圧を供給することができます (図71を参照)。電源ノイズが大きい場合、あるいはシステムの電源電圧が5Vまたは3V以外の電圧値 (たとえば15V) の場合は、この方法が特に便利です。リファレンス電圧は、AD56x5R/AD56x5に定常の電源電圧を出力します。低ドロップアウト電圧のREF195を使用する場合は、DACの出力に負荷を接続していない状態でAD56x5R/AD56x5に450 μ Aの電流を供給する必要があります。DAC出力に負荷がある場合も、REF195が負荷に電流を供給する必要があります。必要な電流の合計値 (DAC出力に5k Ω の負荷を接続している場合) は、次式のようにになります。

$$1 \text{ mA} + (5 \text{ V} / 5 \text{ k}\Omega) = 2 \text{ mA}$$

通常、REF195の負荷レギュレーションは2ppm/mAであるため、REF195から2mAの電流を供給すると4ppm (20 μ V) の誤差が生じます。これは、0.263LSBの誤差に相当します。

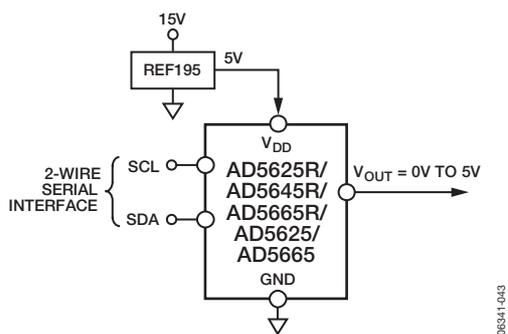


図71. AD56x5R/AD56x5の電源としてREF195を使用する回路

AD56x5R/AD56x5を使用するバイポーラ動作

AD56x5R/AD56x5は単電源の動作に設計されていますが、図72の回路を使用してバイポーラ出力電圧範囲にすることも可能です。この回路では、出力電圧範囲が ± 5 Vとなります。出力アンプにAD820またはOP295を使用すると、アンプ出力のレールtoレール動作が可能になります。

任意の入力コードに対応する出力電圧は、次式で計算できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65,536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、 D は10進数値 (0~65535) で表した入力コードです。 $V_{DD} = 5$ V、 $R1 = R2 = 10$ k Ω のときは、次のようになります。

$$V_o = \left(\frac{10 \times D}{65,536} \right) - 5 \text{ V}$$

出力電圧範囲は ± 5 Vとなり、0x0000が -5 V出力、0xFFFFが $+5$ V出力に相当します。

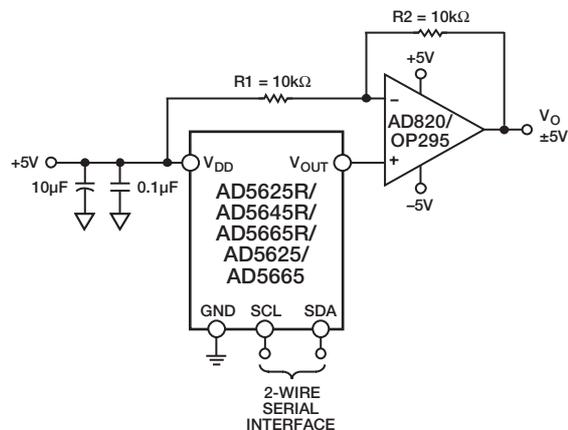


図72. AD56x5R/AD56x5を使用したバイポーラ動作

電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD56x5R/AD56x5を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するようにデザインしてください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD56x5R/AD56x5を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD56x5R/AD56x5のできるかぎり近くに配置してください。

AD56x5R/AD56x5の電源は、10 μ Fと0.1 μ Fのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1 μ Fのコンデンサは理想的にはデバイスの真上に配置してください。10 μ Fのコンデンサはタンタルのビード型を使います。0.1 μ Fのコンデンサは、セラミックの等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESI) が小さいものを使うことが重要です。この0.1 μ Fのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を減少させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

AD5625R/AD5645R/AD5665R, AD5625/AD5665

外形寸法

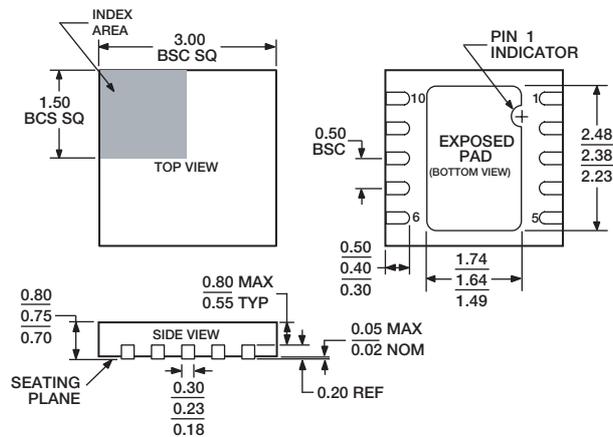


図69. 10ピン・リードフレーム・チップスケール・パッケージ [LFCSP_WD]
 3mm×3mmボディ、超薄型、デュアル・リード
 (CP-10-9)
 単位寸法：mm

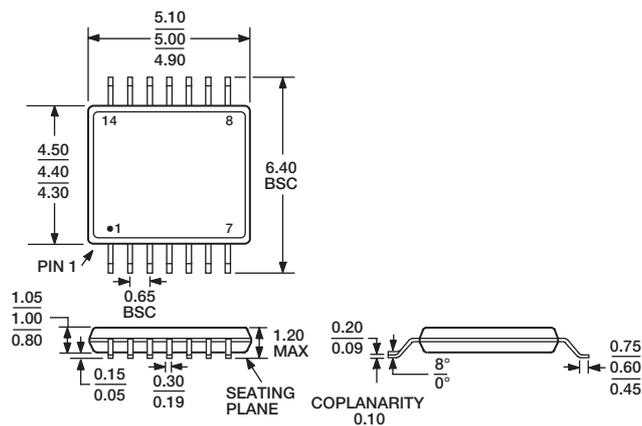


図70. 14ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
 (RU-14)
 単位寸法：mm

AD5625R/AD5645R/AD5665R, AD5625/AD5665

オーダー・ガイド

Model	Temperature Range	Accuracy	On-Chip Reference	Maximum I ² C Speed	Package Description	Package Option	Branding
AD5625BCPZ-R2 ¹	-40°C to +105°C	±1 LSB INL	None	400 kHz	10-Lead LFCSP_WD	CP-10-9	D8V
AD5625BCPZ-REEL7 ¹	-40°C to +105°C	±1 LSB INL	None	400 kHz	10-Lead LFCSP_WD	CP-10-9	D8V
AD5625BRUZ ¹	-40°C to +105°C	±1 LSB INL	None	400 kHz	14-Lead TSSOP	RU-14	
AD5625BRUZ-REEL7 ¹	-40°C to +105°C	±1 LSB INL	None	400 kHz	14-Lead TSSOP	RU-14	
AD5625RBCPZ-R2 ¹	-40°C to +105°C	±1 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	CP-10-9	D8S
AD5625RBCPZ-REEL7 ¹	-40°C to +105°C	±1 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	CP-10-9	D8S
AD5625RBRUZ-1 ¹	-40°C to +105°C	±1 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5625RBRUZ-1REEL7 ¹	-40°C to +105°C	±1 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5625RBRUZ-2 ¹	-40°C to +105°C	±1 LSB INL	2.5 V	3.4 MHz	14-Lead TSSOP	RU-14	
AD5625RBRUZ-2REEL7 ¹	-40°C to +105°C	±1 LSB INL	2.5 V	3.4 MHz	14-Lead TSSOP	RU-14	
AD5645RBCPZ-R2 ¹	-40°C to +105°C	±4 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	RU-14	D89
AD5645RBCPZ-REEL7 ¹	-40°C to +105°C	±4 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	RU-14	D89
AD5645RBRUZ ¹	-40°C to +105°C	±4 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5645RBRUZ-REEL7 ¹	-40°C to +105°C	±4 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5665BCPZ-R2 ¹	-40°C to +105°C	±16 LSB INL	None	400 kHz	10-Lead LFCSP_WD	CP-10-9	D6U
AD5665BCPZ-REEL7 ¹	-40°C to +105°C	±16 LSB INL	None	400 kHz	10-Lead LFCSP_WD	CP-10-9	D6U
AD5665BRUZ ¹	-40°C to +105°C	±16 LSB INL	None	400 kHz	14-Lead TSSOP	RU-14	
AD5665BRUZ-REEL7 ¹	-40°C to +105°C	±16 LSB INL	None	400 kHz	14-Lead TSSOP	RU-14	
AD5665RBCPZ-R2 ¹	-40°C to +105°C	±16 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	CP-10-9	DA2
AD5665RBCPZ-REEL7 ¹	-40°C to +105°C	±16 LSB INL	1.25 V	400 kHz	10-Lead LFCSP_WD	CP-10-9	DA2
AD5665RBRUZ-1 ¹	-40°C to +105°C	±16 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5665RBRUZ-1REEL7 ¹	-40°C to +105°C	±16 LSB INL	2.5 V	400 kHz	14-Lead TSSOP	RU-14	
AD5665RBRUZ-2 ¹	-40°C to +105°C	±16 LSB INL	2.5 V	3.4 MHz	14-Lead TSSOP	RU-14	
AD5665RBRUZ-2REEL7 ¹	-40°C to +105°C	±16 LSB INL	2.5 V	3.4 MHz	14-Lead TSSOP	RU-14	
EVAL-AD5665REBZ1 ¹					Evaluation Board		
EVAL-AD5665REBZ2 ¹					Evaluation Board		

¹ Z=RoHS適合製品

D06341-0-3/07(0)-J

アナログ・デバイセズ社またはその二次ライセンスを受けた関連会社からライセンスの対象となるPCコンポーネントを購入した場合、購入者にはこれらのコンポーネントをPCシステムで使用するためのフィリップス社のPCの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するPC規格仕様に準拠したシステムが必要です。