14ピンTSSOP、5ppm/℃のリファレンス内蔵 クワッド16ビットDAC

AD5666

特長

低消費電力のクワッド16ビットDAC
14ピンTSSOPパッケージ
1.25V/2.5V、5ppm/℃リファレンスを内蔵
パワーダウン時の消費電流：400nA@5V、200nA@3V
電源電圧：2.7～5.5V
設計により単調増加性を保証
DAC出力をゼロスケールまたはミッドスケールにパワーオン・リセット
3種のパワーダウン機能
ハードウェア$\overline{\text{LDAC}}$および$\overline{\text{LDAC}}$オーバーライド機能
指定のコードにすべてのDACを更新する$\overline{\text{CLR}}$機能
オプションのSDOデイジーチェーン接続機能
レールtoレール動作

機能ブロック図

図1

アプリケーション

プロセス制御
データ・アクイジション・システム
バッテリ駆動の携帯型計測器
ゲインとオフセットのデジタル調整
プログラマブル電圧源および電流源
プログラマブル減衰器

概要

AD5666は、低消費電力、バッファ付きの電圧出力クワッドD/Aコンバータ（DAC）です。2.7～5.5Vの単電源で動作し、設計により単調増加性が保証されています。

AD5666は、内部ゲイン2のオンチップ・リファレンスを備えています。AD5666-1は1.25V、5ppm/℃リファレンスを内蔵し、2.5Vのフルスケール出力電圧範囲を提供します。AD5666-2は2.5V、5ppm/℃リファレンスを内蔵し、5Vのフルスケール出力電圧範囲を提供します。内部リファレンスはパワーアップ時にはオフになっており、外部リファレンスも使用できます。内部リファレンスはDACへの書込みによって有効となります。

パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0V（PORピンがローレベル）またはミッドスケール（PORピンがハイレベル）にリセットされ、デバイスに有効な書込みが行われるまでこの電圧を維持します。また、パワーダウン機能を内蔵しているため、デバイスの消費電流を5V動作時に400nAまで低減でき、任意またはすべてのDACチャンネルに対して、パワーダウン・モードでの出力負荷をソフトウェアで選択できます。

$\overline{\text{LDAC}}$機能を用いて、すべてのDACの出力を同時に更新できます。また、同時に更新するDACチャンネルを選択することもできます。さらに、すべてのDACをソフトウェアで選択可能なコード（0V、ミッドスケール、フルスケール）に更新できる非同期$\overline{\text{CLR}}$機能も備えています。

AD5666の汎用3線式シリアル・インターフェースは、最大50MHzのクロック・レートで動作し、SPI®、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。オンチップの高精度出力アンプにより、レールtoレールの出力振幅が可能です。

製品のハイライト

1. クワッド16ビットDAC
2. 1.25V/2.5V、5ppm/℃リファレンスを内蔵
3. 14ピンTSSOPパッケージで提供
4. 0Vまたはミッドスケールにパワーオン・リセット
5. パワーダウン機能。パワーダウン時のDACの消費電流は、3V電源時に200nA、5V電源時に400nA（typ値）

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06（6350）6868

目次

特長 1
アプリケーション 1
機能ブロック図 1
概要 1
製品のハイライト 1
改訂履歴 2
仕様 3
AC特性 7
タイミング特性 8
絶対最大定格 10
ESDに関する注意 10
ピン配置と機能の説明 11
代表的な性能特性 12
用語の説明 18
動作原理 20
DAC部 20
抵抗ストリング 20
内部リファレンス 20
出力アンプ 21
シリアル・インターフェース 21
入力シフト・レジスタ 22
$\overline{\text{SYNC}}$割込み 22
デイジーチェーン接続 23
内部リファレンス・レジスタ 23
パワーオン・リセット 23
パワーダウン・モード 23
クリア・コード・レジスタ 25
$\overline{\text{LDAC}}$機能 25
電源のバイパスとグラウンディング 25
外形寸法 27
オーダー・ガイド 27

改訂履歴

11/05—Rev. 0 to Rev. A

Change to General Description 1
Change to Specifications 3

10/05—Revision 0: Initial Version

仕様

V_{DD}=4.5～5.5V、R_L=2kΩ（GNDに接続）、C_L=200pF（GNDに接続）、V_{REFIN}=V_{DD}。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}で規定。

表1

パラメータ	Aグレード[1] Min	Typ	Max	Bグレード[1] Min	Typ	Max	単位	条件／備考
静的性能[2]								
分解能	16			16			ビット	
相対精度（INL）			±32			±16	LSB	図6を参照
微分非直線性			±1			±1	LSB	設計により単調増加性を保証（図7を参照）
ゼロコード誤差		1	9		1	9	mV	DACレジスタに全ビット「0」をロード（図13を参照）
ゼロコード誤差の温度ドリフト		±2			±2		μV/℃	
フルスケール誤差		−0.2	−1		−0.2	−1	% FSR	DACレジスタに全ビット「1」をロード（図12を参照）
ゲイン誤差			±1			±1	% FSR	
ゲイン誤差温度係数		±2.5			±2.5		ppm	FSRのppm/℃
オフセット誤差		±1	±9		±1	±9	mV	
DC電源電圧変動除去比		−80			−80		dB	V_{DD}±10%
DCクロストーク（外部リファレンス）		10			10		μV	フルスケール出力の変化によって発生、R_L=2kΩ（GNDまたはV_{DD}に接続）
		5			5		μV/mA	負荷電流の変化によって発生
		10			10		μV	パワーダウンによって発生（チャンネルあたり）
DCクロストーク（内部リファレンス）		25			25		μV	フルスケール出力の変化によって発生、R_L=2kΩ（GNDまたはV_{DD}に接続）
		10			10		μV/mA	負荷電流の変化によって発生
出力特性[3]								
出力電圧範囲	0		V_{DD}	0		V_{DD}	V	
容量性負荷安定性		2			2		nF	R_L=∞
		10			10		nF	R_L=2kΩ
DC出力インピーダンス		0.5			0.5		Ω	
短絡電流		30			30		mA	V_{DD}=5V
パワーアップ時間		4			4		μs	パワーダウン・モードからの復帰、V_{DD}=5V
リファレンス入力								
リファレンス入力電圧		V_{DD}			V_{DD}		V	
リファレンス電流		20	30		20	30	μA	V_{REF}=V_{DD}=5.5V
リファレンス入力範囲	0		V_{DD}	0		V_{DD}	V	
リファレンス入力インピーダンス		14.6			14.6		kΩ	DACチャンネルあたり
リファレンス出力								
出力電圧	2.495		2.505	2.495		2.505	V	常温
リファレンスTC[3]		±5	±10		±5	±10	ppm/℃	
リファレンス出力インピーダンス		7.5			7.5		kΩ	

パラメータ	Aグレード[1] Min	Typ	Max	Bグレード[1] Min	Typ	Max	単位	条件／備考
ロジック入力[3]								
入力電流			±3			±3	μA	全デジタル入力
ローレベル入力電圧（V_{INL}）			0.8			0.8	V	V_{DD}＝5V
ハイレベル入力電圧（V_{INH}）	2			2			V	V_{DD}＝5V
ピン容量		3			3		pF	
ロジック出力（SDO）[3]								
ローレベル出力電圧（V_{OL}）			0.4			0.4	V	I_{SINK}＝2mA
ハイレベル出力電圧（V_{OH}）	V_{DD}－1			V_{DD}－1				I_{SOURCE}＝2mA
ハイ・インピーダンス漏れ電流			±0.25			±0.25	μA	
ハイ・インピーダンス出力容量		2			2		pF	
電源条件								
V_{DD}	4.5		5.5	4.5		5.5	V	すべてのデジタル入力＝0V またはV_{DD}、DAC動作時（負荷電流を除く）
I_{DD}（ノーマル・モード）[4]								V_{IH}＝V_{DD}およびV_{IL}＝GND
V_{DD}＝4.5～5.5V		0.7	0.9		0.7	0.9	mA	内部リファレンスをオフ
V_{DD}＝4.5～5.5V		1.3	1.6		1.3	1.6	mA	内部リファレンスをオン
I_{DD}（すべてのパワーダウン・モード）[5]								
V_{DD}＝4.5～5.5V		0.4	1		0.4	1	μA	V_{IH}＝V_{DD}およびV_{IL}＝GND

[1] 温度範囲は－40～＋105℃、＋25℃で測定。
[2] 直線性はコード範囲を縮小して計算（コード512～65,024）。出力無負荷時の条件を適用。
[3] これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。
[4] インターフェースが非動作、すべてのDACが動作、DAC出力が無負荷。
[5] 4つすべてのDACがパワーダウンしたとき。

V_{DD}=2.7～3.6V、R_L=2kΩ（GNDに接続）、C_L=200pF（GNDに接続）、V_{REFIN}=V_{DD}。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}で規定。

表2

パラメータ	Aグレード[1] Min	Typ	Max	Bグレード[1] Min	Typ	Max	単位	条件／備考
静的性能[2]								
分解能	16			16			ビット	
相対精度（INL）			±32			±16	LSB	図5を参照
微分非直線性			±1			±1	LSB	設計により単調増加性を保証（図6を参照）
ゼロコード誤差		1	9		1	9	mV	DACレジスタに全ビット「0」をロード（図13を参照）
ゼロコード誤差の温度ドリフト		±2			±2		μV/℃	
フルスケール誤差		−0.2	−1		−0.2	−1	% FSR	DACレジスタに全ビット「1」をロード（図12を参照）
ゲイン誤差			±1			±1	% FSR	
ゲイン誤差温度係数		±2.5			±2.5		ppm	FSRのppm/℃
オフセット誤差		±1	±9		±1	±9	mV	
DC電源電圧変動除去比		−80			−80		dB	V_{DD}±10%
DCクロストーク（外部リファレンス）		10			10		μV	フルスケール出力の変化によって発生、R_L=2kΩ（GNDまたはV_{DD}に接続）
		5			5		μV/mA	負荷電流の変化によって発生
		10			10		μV	パワーダウンによって発生（チャンネルあたり）
DCクロストーク（内部リファレンス）		25			25		μV	フルスケール出力の変化によって発生、R_L=2kΩ（GNDまたはV_{DD}に接続）
		10			10		μV/mA	負荷電流の変化によって発生
出力特性[3]								
出力電圧範囲	0		V_{DD}	0		V_{DD}	V	
容量性負荷安定性		2			2		nF	R_L=∞
		10			10		nF	R_L=2kΩ
DC出力インピーダンス		0.5			0.5		Ω	
短絡電流		30			30		mA	V_{DD}=3V
パワーアップ時間		4			4		μs	パワーダウン・モードからの復帰、V_{DD}=3V
リファレンス入力								
リファレンス入力電圧		V_{DD}			V_{DD}		V	
リファレンス電流		40	50		40	50	μA	V_{REF}=V_{DD}=3.6V
リファレンス入力範囲	0		V_{DD}	0		V_{DD}		
リファレンス入力インピーダンス		14.6			14.6		kΩ	DACチャンネルあたり
リファレンス出力								
出力電圧	1.247		1.253	1.247		1.253	V	常温
リファレンスTC[3]		±5	±15		±5	±15	ppm/℃	
リファレンス出力インピーダンス		7.5			7.5		kΩ	

パラメータ	Aグレード[1] Min	Typ	Max	Bグレード[1] Min	Typ	Max	単位	条件／備考
ロジック入力[3]								
入力電流			±3			±3	μA	
ローレベル入力電圧（V_{INL}）			0.8			0.8	V	V_{DD}＝3V
ハイレベル入力電圧（V_{INH}）	2			2			V	V_{DD}＝3V
ピン容量		3			3		pF	
ロジック出力（SDO）[3]								
ローレベル出力電圧（V_{OL}）			0.4			0.4	V	I_{SINK}＝2mA
ハイレベル出力電圧（V_{OH}）	V_{DD}－0.5			V_{DD}－0.5				I_{SOURCE}＝2mA
ハイ・インピーダンス漏れ電流			±0.25			±0.25	μA	
ハイ・インピーダンス出力容量		2			2		pF	
電源条件								
V_{DD}	2.7		3.6	2.7		3.6	V	すべてのデジタル入力＝0V またはV_{DD}、DAC動作時（負荷電流を除く）
I_{DD}（ノーマル・モード）[4]								V_{IH}＝V_{DD}およびV_{IL}＝GND
V_{DD}＝2.7～3.6V		0.65	0.85		0.65	0.85	mA	内部リファレンスをオフ
V_{DD}＝2.7～3.6V		1.3	1.5		1.3	1.5	mA	内部リファレンスをオン
I_{DD}（すべてのパワーダウン・モード）[5]								
V_{DD}＝2.7～3.6V		0.2	1		0.2	1	μA	V_{IH}＝V_{DD}およびV_{IL}＝GND

[1] 温度範囲は－40～＋105℃、＋25℃で測定。
[2] 直線性はコード範囲を縮小して計算（コード512～65,024）。出力無負荷時の条件を適用。
[3] これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。
[4] インターフェースが非動作、すべてのDACが動作、DAC出力が無負荷。
[5] 4つすべてのDACがパワーダウンしたとき。

AC特性

V_{DD}＝2.7～5.5V、R_L＝2kΩ（GNDに接続）、C_L＝200pF（GNDに接続）、V_{REFIN}＝V_{DD}。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}で規定。

表3

パラメータ[1, 2]	Min	Typ	Max	単位	条件／備考[3]
出力電圧セトリング時間		6	10	μs	コード1/4～3/4スケール（±2LSB以内）
スルーレート		1.5		V/μs	
デジタルからアナログへのグリッチ・インパルス		4		nV-s	メジャー・キャリー周辺の1LSBの変化（図29を参照）
リファレンス・フィードスルー		−90		dB	V_{REF}＝2V±0.1Vp-p、周波数＝10Hz～20MHz
SDOフィードスルー		3		nV-s	デイジーチェーン・モード、SDO負荷＝10pF
デジタル・フィードスルー		0.1		nV-s	
デジタル・クロストーク		0.5		nV-s	
アナログ・クロストーク		2.5		nV-s	
DAC間クロストーク		3		nV-s	
乗算帯域幅		340		kHz	V_{REF}＝2V±0.2Vp-p
全高調波歪み		−80		dB	V_{REF}＝2V±0.1Vp-p、周波数＝10kHz
出力ノイズ・スペクトル密度		120		nV/√Hz	DACコード＝0x8400、1kHz
		100		nV/√Hz	DACコード＝0x8400、10kHz
出力ノイズ		15		μVp-p	0.1～10Hz

[1] これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。
[2] 「用語の説明」を参照してください。
[3] 温度範囲は−40～＋105℃、＋25℃で測定。

タイミング特性

入力信号はすべて、tr＝tf＝1ns/V（V_{DD}の10～90%）の条件で規定し、（V_{IL}＋V_{IH}）/2の電圧レベルからのタイミングを計測しています（図3、図5を参照）。V_{DD}＝2.7～5.5V。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}で規定。

表4

パラメータ	T_{MIN}、T_{MAX}時の限界値 V_{DD}＝2.7～5.5V	単位	条件／備考
t_1[1]	20	ns（min）	SCLKサイクル時間
t_2	8	ns（min）	SCLKハイレベル時間
t_3	8	ns（min）	SCLKローレベル時間
t_4	13	ns（min）	$\overline{SYNC}$からSCLKの立下がりエッジまでのセットアップ時間
t_5	4	ns（min）	データのセットアップ時間
t_6	4	ns（min）	データのホールド時間
t_7	0	ns（min）	SCLKの立下がりエッジから$\overline{SYNC}$の立上がりエッジまでの時間
t_8	15	ns（min）	最小の$\overline{SYNC}$ハイレベル時間
t_9	13	ns（min）	$\overline{SYNC}$の立上がりエッジからSCLKの立下がりエッジまでの時間
t_{10}	0	ns（min）	SCLKの立下がりエッジから$\overline{SYNC}$の立下がりエッジまでの時間
t_{11}	10	ns（min）	$\overline{LDAC}$ローレベル・パルス幅
t_{12}	15	ns（min）	SCLKの立下がりエッジから$\overline{LDAC}$の立上がりエッジまでの時間
t_{13}	5	ns（min）	$\overline{CLR}$ローレベル・パルス幅
t_{14}	0	ns（min）	SCLK立下がりエッジから$\overline{LDAC}$立下がりエッジまでの時間
t_{15}	300	ns（typ）	$\overline{CLR}$パルスのアクティブ時間
t_{16}[2, 3]	22	ns（max）	SCLKの立上がりエッジからSDO有効までの時間
t_{17}[3]	5	ns（min）	SCLKの立下がりエッジから$\overline{SYNC}$の立上がりエッジまでの時間
t_{18}[3]	8	ns（min）	$\overline{SYNC}$の立上がりエッジからSCLKの立上がりエッジまでの時間
t_{19}[3]	0	ns（min）	$\overline{SYNC}$の立上がりエッジから$\overline{LDAC}$の立下がりエッジまでの時間

[1] SCLKの最大周波数は、V_{DD}＝2.7～5.5Vで50MHzです。これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。
[2] 図2の負荷回路を使用して測定しています。デイジーチェーン・モードでは、t_{16}によってSCLKの最大周波数が決定されます。
[3] デイジーチェーン・モードのみに適用

図2.　デジタル出力（SDO）のタイミング仕様を測定するための負荷回路

図3.　シリアル書込み動作のタイミング

図4.　デイジーチェーン・モードのタイミング図

絶対最大定格

特に指定のない限り、T_A＝25℃。

表5

パラメータ	定格値
GNDに対するV_{DD}	−0.3〜＋7V
GNDに対するデジタル入力電圧	−0.3V〜V_{DD}＋0.3V
GNDに対するV_{OUT}	−0.3V〜V_{DD}＋0.3V
GNDに対するV_{REFIN}/V_{REFOUT}	−0.3V〜V_{DD}＋0.3V
動作温度範囲	
工業用	−40〜＋105℃
保存温度範囲	−65〜＋150℃
ジャンクション温度（T_J max）	＋150℃
TSSOPパッケージ	
消費電力	$(T_{J\,MAX}-T_A)/\theta_{JA}$
θ_{JA}熱抵抗	150.4℃/W
リフロー・ハンダ処理のピーク温度	
SnPb	240℃
鉛フリー	260℃

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

図5.　14ピンTSSOP（RU-14）

表6.　ピン機能の説明

ピン番号	記号	説明
1	$\overline{\text{LDAC}}$	このピンをローレベルにすると、入力レジスタに新しいデータがあれば、内蔵DACレジスタのいずれかまたは全部を更新できます。この設定によって、すべてのDAC出力を同時に更新できます。ピンを常にローレベルに設定しておくこともできます。
2	$\overline{\text{SYNC}}$	アクティブ・ローの制御入力。これは、入力データに対するフレーム同期信号です。$\overline{\text{SYNC}}$がローレベルになると、SCLKおよびDINバッファがパワーオンし、入力シフト・レジスタがイネーブルになります。データは後続の32個のクロックの立下がりエッジで入力されます。32番目のクロックのエッジが立ち下がる前に$\overline{\text{SYNC}}$をハイレベルに設定すると、$\overline{\text{SYNC}}$の立上がりエッジは割込みとして機能し、DACは書込みシーケンスを無視します。
3	V_{DD}	電源入力。AD5666は、2.7～5.5Vで動作します。10μFと0.1μFのコンデンサを並列に接続して、GNDにデカップリングしてください。
4	$V_{OUT}A$	DAC Aからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
5	$V_{OUT}C$	DAC Cからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
6	POR	パワーオン・リセット・ピン。このピンをGNDに接続すると、デバイスの出力はパワーアップ時に0Vにリセットされます。このピンをV_{DD}に接続すると、デバイスの出力はパワーアップ時にミッドスケールにリセットされます。
7	V_{REFIN}/V_{REFOUT}	AD5666には、リファレンス入出力用として1本のコモン・ピンがあります。このピンは、内部リファレンスを使用する場合はリファレンス出力ピンに、外部リファレンスを使用する場合はリファレンス入力ピンになります。デフォルトではリファレンス入力ピンです。
8	SDO	シリアル・データ出力。複数のAD5666をデイジーチェーン接続するか、または診断のためにシフト・レジスタのデータを読み出すときに、このピンを使用できます。SCLKの立上がりエッジでシリアル・データが転送され、クロックの立下がりエッジでシリアル・データが有効になります。
9	$\overline{\text{CLR}}$	非同期クリア入力。$\overline{\text{CLR}}$入力は、立下がりエッジでアクティブになります。$\overline{\text{CLR}}$がローレベルの場合、すべての$\overline{\text{LDAC}}$パルスが無視されます。$\overline{\text{CLR}}$入力がアクティブになると、$\overline{\text{CLR}}$コード・レジスタに含まれるデータで入力レジスタとDACレジスタがゼロ、ミッドスケール、フルスケールのいずれかに更新されます。デフォルトでは出力が0Vにクリアされます。
10	$V_{OUT}D$	DAC Dからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
11	$V_{OUT}B$	DAC Bからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
12	GND	デバイス上の全回路に対するグラウンド基準ポイント
13	DIN	シリアル・データ入力。AD5666には、32ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
14	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで、入力シフト・レジスタに入力されます。データは最大50MHzのレートで転送できます。

代表的な性能特性

図6.　INL

図7.　DNL

図8.　INL（AD5666-2）

図9.　DNL（AD5666-2）

図10.　INL（AD5666-1）

図11.　DNL（AD5666-1）

図12.　ゲイン誤差とフルスケール誤差の温度特性

図13.　ゼロスケール誤差とオフセット誤差の温度特性

図14.　電源電圧 対 ゲイン誤差およびフルスケール誤差

図15.　電源電圧 対 ゼロスケール誤差およびオフセット誤差

図16.　外部リファレンス使用時のI_{DD}ヒストグラム

図17.　内部リファレンス使用時のI_{DD}ヒストグラム

図18.　ソースおよびシンク電流 対 電源レールのヘッドルーム

図19.　ソース能力とシンク能力（V_{DD}=3V）

図20.　ソース能力とシンク能力（V_{DD}=5V）

図21.　コード 対 電源電流

図22.　電源電流の温度特性

図23.　電源電圧 対 電源電流

図24.　ロジック入力電圧 対 電源電流

図27.　パワーオン・リセット時の
ミッドスケール出力

図25.　フルスケール・セトリング時間

図28.　パワーダウン終了後のパワーオン・
リセット時のミッドスケール出力

図26.　パワーオン・リセット時の0V出力

図29.　デジタルからアナログへのグリッチ・
インパルス

図30.　アナログ・クロストーク

図31.　DAC間クロストーク

図32.　0.1～10Hz出力ノイズのプロット
（外部リファレンス使用時）

図33.　0.1～10Hz出力ノイズのプロット
（内部リファレンス使用時）

図34.　0.1～10Hz出力ノイズのプロット
（内部リファレンス使用時）

図35.　ノイズ・スペクトル密度
（内部リファレンス使用時）

図36.　全高調波歪み

図38.　ハードウェア$\overline{\text{CLR}}$

図37.　容量性負荷 対 セトリング時間

図39.　乗算帯域幅

用語の説明

相対精度または積分非直線性（INL）

DACの場合、相対精度または積分非直線性（INL）とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差（単位はLSB）を表します。代表的なコードとINLの関係を図6に示します。

微分非直線性（DNL）

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が±1LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図7に示します。

オフセット誤差

伝達関数の直線領域におけるV_{OUT}（実際の出力電圧）とV_{OUT}（理想的な出力電圧）との差をmVの単位で表します。AD5666のオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

ゼロコード誤差

ゼロコード（0x0000）をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずです。AD5666ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性を図13に示します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、μV/℃の単位で表します。

ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、（フルスケール・レンジのppm）/℃の単位で表します。

フルスケール誤差

フルスケール・コード（0xFFFF）をDACレジスタにロードしたときの出力誤差を表します。出力は理論上V_{DD}－1LSBになるはずです。フルスケール誤差は、フルスケール・レンジの%値で表します。フルスケール誤差の温度特性を図13に示します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリーの遷移（0x7FFFから0x8000）時に、デジタル入力コードが1LSB変化したときの測定値です。図29を参照。

DC電源電圧変動除去比（PSRR）

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関するV_{OUT}の変動とV_{DD}の変動の比を表します。これはdBの単位で測定します。V_{REF}を2Vに保持し、V_{DD}を±10%のレンジで変動させます。

DCクロストーク

1つのDACの出力変化に応じて別のDACで発生する出力レベルのDC変化です。これは、1つのDAC上でフルスケール出力変化が発生するとき（または、ソフト・パワーダウンおよびパワーアップ時）に、ミッドスケールに維持された別のDACをモニタしながら測定します。これはμVの単位で表します。

負荷電流の変化によって発生するDCクロストークは、1つのDACの負荷電流が変化するときに、これがミッドスケールに維持された別のDACに対して及ぼす影響度を測定したものです。これはμV/mAの単位で表します。

リファレンス・フィードスルー

DAC出力の更新が行われていない（$\overline{LDAC}$がハイレベル）ときのDAC出力の信号振幅とリファレンス入力との比を示します。これはdBの単位で表します。

デジタル・フィードスルー

DACの書込み動作が実行されていないとき（$\overline{SYNC}$がハイレベルに保持されているとき）に、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、デジタル入力ピン上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

デジタル・クロストーク

1つのDACの入力レジスタでフルスケールのコード変化があるとき、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに、これに応じてミッドスケールにある別のDACの出力に注入されるグリッチ・インパルスです。これはスタンドアロン・モードで測定し、nV-sの単位で表します。

アナログ・クロストーク

1つのDACの出力変化によって別のDACの出力に注入されるグリッチ・インパルスです。この測定は、$\overline{\text{LDAC}}$をハイレベルに維持して、フルスケールのコード変化、すなわち全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」のコード遷移を入力レジスタのうち1つにロードし、その後$\overline{\text{LDAC}}$をローレベルに設定し、デジタル・コードの変化が見られないDACの出力をモニタする方法で行われます。グリッチの面積はnV-sの単位で表します。

DAC間クロストーク

DAC間クロストークは、1つのDACのデジタル・コード変化とその後発生する出力変化によって、別のDACの出力に注入されるグリッチ・インパルスです。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。この測定は、$\overline{\text{LDAC}}$をローレベルに維持して、フルスケールのコード変化、すなわち全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」のコード遷移を内蔵DACのうち1つにロードし、別のDACの出力をモニタする方法で行われます。グリッチ・エネルギーはnV-sの単位で表します。

乗算帯域幅

DACに内蔵されるアンプの帯域幅は有限です。乗算帯域幅はそれを測定したものです。リファレンス端子に与えられたサイン波（フルスケールのコードをDACにロードした状態のとき）が出力上に現れます。乗算帯域幅は、出力振幅が入力したサイン波よりも3dB低いレベルに低下するときの周波数です。

全高調波歪み（THD）

DACを使用して減衰されるサイン波と理想的なサイン波との偏差です。サイン波はDACのリファレンスとして使用され、THDはDACの出力上に存在する高調波成分の測定値です。これはdBの単位で測定します。

動作原理

DAC部

AD5666 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。このデバイスは、1.25/2.5V出力の5ppm/℃リファレンスを内蔵しており、内部では2倍のゲインアップが行われます。DACアーキテクチャのブロック図を図40に示します。

図40. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、外部リファレンス使用時の理論的な出力電圧は以下の式から求められます。

$$V_{OUT}=V_{REFIN}\times\left(\frac{D}{2^N}\right)$$

内部リファレンス使用時の理論的な出力電圧は以下の式から求められます。

$$V_{OUT}=2\times V_{REFIN}\times\left(\frac{D}{2^N}\right)$$

ここで、
*D*は、DACレジスタにロードされるバイナリ・コードの10進値で、次の値になります。
　AD5666（16ビット）では0～65,535
*N*はDAC分解能です。

抵抗ストリング

抵抗ストリングの構造を図41に示します。各値がRのシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから出力アンプに電圧を供給するかが決まります。ストリングとアンプを接続しているスイッチの1つを閉じることで、電圧が出力アンプに供給されます。これは抵抗のストリングであるため、単調増加性が保証されます。

図41. 抵抗ストリング

内部リファレンス

AD5666は、内部ゲイン2のオンチップ・リファレンスを備えています。AD5666-1は1.25V出力の5ppm/℃リファレンスを内蔵し、2.5Vのフルスケール出力電圧を提供します。AD5666-2は2.5V出力の5ppm/℃リファレンスを内蔵し、5Vのフルスケール出力電圧を提供します。この内部リファレンスはパワーアップ時にオフになるため、外部リファレンスも使用できます。内部リファレンスは、コントロール・レジスタへの書込みによってイネーブルになります。

各デバイスの内部リファレンスは、V_{REFOUT}ピンから外部で使用することも可能です。リファレンス出力を使用して外部負荷を駆動する場合は、バッファが必要です。内部リファレンスを使用する場合は、リファレンスを安定させるため、リファレンス出力とGNDとの間に100nFのコンデンサを配置することを推奨します。

内部リファレンスを使用する場合、DACチャンネルを個別にパワーダウンすることはできません。

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、0V～V_{DD}の範囲の電圧を出力できます。このアンプは、GNDに接続された2kΩと、これに並列接続された1,000pFの負荷を駆動できます。この出力アンプのソース能力とシンク能力を図19と図20に示します。スルーレートは1.5V/μsで、セトリング時間は1/4スケールから3/4スケールへの変化に対して10μsです。

シリアル・インターフェース

AD5666には、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース（$\overline{\text{SYNC}}$、SCLK、DIN）を備えています。代表的な書込みシーケンスのタイミング図については、図3を参照してください。

$\overline{\text{SYNC}}$ラインをローレベルにすると、書込みシーケンスが開始します。DINラインからのデータは、SCLKの立下がりエッジで32ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大50MHzまで対応しているため、AD5666は高速DSPと互換性があります。クロックの32番目の立下がりエッジで、最後のデータビットが入力され、プログラミングされた機能を実行します（DACレジスタ値の変更や動作モードの変更）。この時点で$\overline{\text{SYNC}}$ラインをローレベルに保持することも、ハイレベルにすることもできます。いずれの場合でも、次の書込みシーケンスの前に15ns以上$\overline{\text{SYNC}}$ラインをハイレベルに保持し、$\overline{\text{SYNC}}$の立下がりエッジで次の書込みシーケンスが開始できるようにします。$\overline{\text{SYNC}}$バッファを流れる電流はV_{IN}＝0.8Vの場合よりV_{IN}＝2Vの場合の方が大きくなるため、さらにデバイスの消費電力を削減するには、書込みシーケンスが終了してから次の書込みシーケンスが始まるまでの間も$\overline{\text{SYNC}}$をアイドル・ローレベルに保持してください。ただし、前述のとおり次の書込みシーケンスの開始前にハイレベルに戻す必要があります。

表7.　コマンドの定義

コマンド				
C3	C2	C1	C0	説明
0	0	0	0	入力レジスタnへの書込み
0	0	0	1	DACレジスタnの更新
0	0	1	0	入力レジスタnへの書込み、すべての更新（ソフトウェア$\overline{\text{LDAC}}$）
0	0	1	1	DACチャンネルnへの書込みと更新
0	1	0	0	DACのパワーダウン／パワーアップ
0	1	0	1	クリア・コード・レジスタへのロード
0	1	1	0	$\overline{\text{LDAC}}$レジスタへのロード
0	1	1	1	リセット（パワーオン・リセット）
1	0	0	0	DCEN/REFレジスタのセットアップ
1	0	0	1	予備
–	–	–	–	予備
1	1	1	1	予備

表8.　アドレス・コマンド

アドレス（n）				
A3	A2	A1	A0	選択されるDAC チャンネル
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
1	1	1	1	すべてのDAC

入力シフト・レジスタ

入力シフト・レジスタは32ビット幅です（図42を参照）。最初の4ビットはドントケア・ビットです。次の4ビットはコマンド・ビットC3～C0（表8を参照）で、その次に4ビットのDACアドレスA3～A0（表9を参照）、最後に16ビットのデータワードが続きます。データワードは16ビットの入力コードと、それに続く4個のドントケア・ビットから構成されます（図42を参照）。これらのデータビットは、SCLKの32番目の立下がりエッジでDACレジスタに転送されます。

$\overline{\text{SYNC}}$割込み

通常の書込みシーケンス時には、少なくともSCLKの32個の立下がりエッジの間、$\overline{\text{SYNC}}$ラインがローレベルに保持され、32番目の立下がりエッジでDACが更新されます。ただし、32番目の立下がりエッジの前に$\overline{\text{SYNC}}$をハイレベルにすると、$\overline{\text{SYNC}}$は書込みシーケンスへの割込み信号として機能します。このときにシフト・レジスタがリセットされ、書込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません（図43を参照）。

図42.　入力レジスタの内容

図43.　$\overline{\text{SYNC}}$の割込み機能

デイジーチェーン接続

複数のDACを実装するシステムの場合、または診断目的でDACのデータ内容をリードバックする場合に、SDOピンを使用して複数のデバイスをデイジーチェーン接続したり、シリアル・データのリードバックをすることができます。

デイジーチェーン・モードを用いる場合は、ソフトウェアで実行可能なDCENコマンドを使用してイネーブルに設定します。DCEN機能用に、コマンド1000が予約されています（表7を参照）。DCENレジスタでビット（DB1）を設定して、デイジーチェーン接続モードをイネーブルにします。デフォルト設定は、スタンドアロン・モード（ビットDCEN＝0）です。表9は、ビットの状態に対応するデバイスの動作モードを示しています。

$\overline{\text{SYNC}}$がローレベルのときに、SCLKが入力シフト・レジスタに対して連続的に加えられます。入力されるクロック・パルスが32個を超える場合には、データはシフト・レジスタから入力レジスタに送られずにSDOライン上に出力されます。このデータはSCLKの立上がりエッジでクロック出力され、SCLKの立下がりエッジで有効となります。チェーン接続されている次のDACのDIN入力にこのラインを接続することによって、マルチDACインターフェースが構成されます。システム内部の各DACには32個のクロック・パルスが必要であるため、クロック・サイクルの合計数を32Nとしなければなりません。Nはチェーン接続されるデバイスの合計数です。

すべてのデバイスに対するシリアル転送が完了した時点で、$\overline{\text{SYNC}}$がハイレベルになります。そうすることにより、入力シフト・レジスタにそれ以上データが入力されなくなります。

32個のクロックがデバイスに入力される前に、$\overline{\text{SYNC}}$がハイレベルになると、無効なフレームと判断され、データは破棄されます。

シリアル・クロックは連続的にすることも、ゲート・クロックとすることも可能です。連続的なSCLKソースを使用できるのは、適切なクロック・サイクル数の間$\overline{\text{SYNC}}$をローレベルに保持できる場合に限られます。ゲート・クロックのモードでは、正確なクロック・サイクル数が含まれるバースト・クロックを使用し、さらに最後のクロックが入力された後で$\overline{\text{SYNC}}$をハイレベルに設定して、データをラッチしてください。

内部リファレンス・レジスタ

内部リファレンスは、デフォルトでパワーアップ時にオフになるため、アプリケーションに応じて外部リファレンスを使用できます。ユーザ・プログラマブルのREFレジスタでビットDB0をハイレベルまたはローレベルに設定して、内部リファレンスをターンオンまたはターンオフできます（表9を参照）。内部REFレジスタの設定用としてコマンド1000が予約されています（表7を参照）。表11は、入力シフト・レジスタのビットの状態に対応するデバイスの動作モードを示しています。

パワーオン・リセット

AD5666は、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。PORピンをローレベルに接続すると、AD5666の出力がパワーアップ時に0Vにリセットされ、ハイレベルに接続するとミッドスケールにリセットされます。この出力状態は、DACに有効な書込みが行われるまで維持されます。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。さらに、DACをパワーオン・リセット・コードにリセットするソフトウェア実行リセット機能も備えています。リセット機能用としてコマンド0111が予約されています（表7を参照）。パワーオン・リセット時に$\overline{\text{LDAC}}$または$\overline{\text{CLR}}$上で発生するイベントは、すべて無視されます。

パワーダウン・モード

AD5666には、4つの動作モードがあります。パワーダウン機能用としてコマンド0100が予約されています（表7を参照）。これらのモードは、コントロール・レジスタの2つのビット（DB9、DB8）の設定によってソフトウェアで選択できます。この2ビットの設定に対応するデバイスの動作モードを表11に示します。該当する4ビット（DB3、DB2、DB1、DB0）を1に設定して、内蔵DACのいずれかまたは全部（DAC D～DAC A）を選択したモードにパワーダウンできます。パワーダウン／パワーアップ動作時の入力シフト・レジスタのデータ内容については、表12を参照してください。内部リファレンス使用時は、選択したモードへの全チャンネルのパワーダウンのみに対応します。

両ビットを「0」に設定すると、デバイスは5V時に700μAの消費電流で通常の動作を実行します。しかし、3種のパワーダウン・モードでは、電源電流が5V時に400nA（3V時には200nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、またはオープン（スリーステート）になるかの3種類のオプションがあります。出力段を図44に示します。

パワーダウン・モードになると、バイアス発生器、出力アンプ、抵抗ストリング等の関連リニア回路がすべてシャットダウンされます。内部リファレンスがパワーダウンするのは、すべてのチャンネルがパワーダウンするときのみです。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、V_{DD}＝5VとV_{DD}＝3Vのどちらの場合も4μs（typ値）です（図28を参照）。

PD1とPD0の各ビットを0に設定することによって、任意の組合わせのDACをパワーアップできます（通常動作）。出力は入力レジスタの値にパワーアップするか（$\overline{\text{LDAC}}$がローレベル）、またはパワーダウンに入る前のDACレジスタの値にパワーアップします（$\overline{\text{LDAC}}$がハイレベル）。

表9.　デイジーチェーン・イネーブル／内部リファレンス・レジスタ

DCEN（DB1）	REF（DB0）	動作
0	0	スタンドアロン・モード、リファレンス・オフ（デフォルト）
0	1	スタンドアロン・モード、リファレンス・オン
1	0	DCENモード、リファレンス・オフ
1	1	DCENモード、リファレンス・オン

表10.　デイジーチェーン・イネーブル／リファレンス・セットアップ機能設定用の32ビット入力シフト・レジスタの内容

MSB　　LSB

DB31～DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19～DB2	DB1	DB0
X	1	0	0	0	X	X	X	X	X	1/0	1/0
ドントケア	コマンド・ビット（C3～C0）				アドレス・ビット（A3～A0）				ドントケア	DCEN/REFレジスタ	

表11.　動作モード

DB9	DB8	動作モード
0	0	ノーマル・モード
		パワーダウン・モード
0	1	1kΩをGNDに接続
1	0	100kΩをGNDに接続
1	1	スリーステート

表12.　パワーダウン／パワーアップ機能設定用の32ビット入力シフト・レジスタの内容

MSB　　LSB

DB31～DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19～DB10	DB9	DB8	DB7～DB4	DB3	DB2	DB1	DB0
X	0	1	0	0	X	X	X	X	X	PD1	PD0	X	DAC D	DAC C	DAC B	DAC A
ドントケア	コマンド・ビット（C2～C0）				アドレス・ビット（A3～A0） －ドントケア				ドントケア	パワーダウン・モード		ドントケア	パワーダウン／パワーアップするチャンネルの選択 －ビットを1に設定して選択			

図44.　パワーダウン時の出力段

クリア・コード・レジスタ

AD5666は、非同期クリア入力として使用されるハードウェア$\overline{\text{CLR}}$ピンを備えています。$\overline{\text{CLR}}$入力は、立下がりエッジでアクティブになります。この$\overline{\text{CLR}}$ラインをローレベルに引き込むと、入力レジスタとDACレジスタのデータ内容が、ユーザ設定可能な$\overline{\text{CLR}}$レジスタに格納されているデータにクリアされ、これに従ってアナログ出力が設定されます。この機能をシステム・キャリブレーションで利用して、ゼロスケール、ミッドスケール、またはフルスケールをすべてのチャンネルにロードできます。クリア・コード値の設定は、クリア・コード・レジスタの2つのビット（DB1、DB0）の設定によって行うことができます（表13を参照）。デフォルトでは出力が0Vにクリアされます。クリア・コード・レジスタにデータをロードするために、コマンド0101が予約されています（表7を参照）。

デバイスは、次の書込み動作の32番目の立下がりエッジでクリア・コード・モードを終了します。書込みシーケンス時に$\overline{\text{CLR}}$がアクティブであれば、書込み動作が中断されます。

$\overline{\text{CLR}}$パルスのアクティブ時間、すなわち$\overline{\text{CLR}}$のエッジが立ち下がった後で出力が変化し始めるまでの時間は、280ns（typ値）です。ただし、DACのリニア領域の範囲外では、$\overline{\text{CLR}}$を実行した後で出力が変化し始めるまでに、520ns（typ値）が必要です（図38を参照）。

クリア・コード・レジスタのデータ・ロード動作時における入力シフト・レジスタのデータ内容については、表14を参照してください。

$\overline{\text{LDAC}}$機能

ハードウェア$\overline{\text{LDAC}}$ピンを使用して、すべてのDACの出力を同時に更新できます。

同期$\overline{\text{LDAC}}$：新しいデータが読み出された後で、DACレジスタは32番目のSCLKパルスの立下がりエッジで更新されます。$\overline{\text{LDAC}}$を常にローレベルに固定するか、または図3に示すようなパルス設定にできます。

非同期$\overline{\text{LDAC}}$：出力は、入力レジスタの書込みと同時には更新されません。$\overline{\text{LDAC}}$がローレベルになると、DACレジスタが入力レジスタのデータ内容で更新されます。

あるいは、ソフトウェア$\overline{\text{LDAC}}$機能を利用して、入力レジスタnに書込みを行い、すべてのDACレジスタを更新して、DACすべての出力を同時に更新することも可能です。ソフトウェア$\overline{\text{LDAC}}$機能用としてコマンド0011が予約されています。

$\overline{\text{LDAC}}$レジスタを使用することで、ハードウェア$\overline{\text{LDAC}}$ピンを制御して柔軟な操作が可能になります。このレジスタを利用して、ハードウェア$\overline{\text{LDAC}}$ピンが実行されるときに同時に更新するチャンネルの組合わせを選択できます。1つのDACチャンネルに対して、$\overline{\text{LDAC}}$レジスタのビットを0に設定すると、このチャンネルの更新を$\overline{\text{LDAC}}$ピンによって制御できます。ビットを1に設定すれば、このチャンネルは同期して更新されます（$\overline{\text{LDAC}}$ピンの状態とは無関係に、新しいデータが読み出された後でDACレジスタが更新されます）。この場合、実質的に$\overline{\text{LDAC}}$ピンがローレベルに設定されているものと判断されます（$\overline{\text{LDAC}}$レジスタの動作モードについては、表15を参照）。選択したチャンネルを同時に更新し、残りのチャンネルを同期して更新させるアプリケーションで、このような高い柔軟性が役立ちます。

コマンド0110を使用してDACに書込みを行うと、4ビットの$\overline{\text{LDAC}}$レジスタ（DB3～DB0）にデータがロードされます。各チャンネルのデフォルト値は0です。すなわち、$\overline{\text{LDAC}}$ピンが通常どおりに動作します。このビットを1に設定すれば、$\overline{\text{LDAC}}$ピンの状態とは無関係に、DACチャンネルが更新されます。$\overline{\text{LDAC}}$レジスタのロード動作モードにおける入力シフト・レジスタのデータ内容については、表16を参照してください。

電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5666を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5666を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD5666のできるかぎり近くに配置してください。

AD5666の電源は、10μFと0.1μFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1μFのコンデンサは理想的にはデバイスの真上に配置してください。10μFのコンデンサはタンタルのビード型を使います。0.1μFのコンデンサは、セラミック型の等価直列抵抗（ESR）が小さく、かつ等価直列インダクタンス（ESL）が小さいものを使うことが重要です。この0.1μFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

表13.　クリア・コード・レジスタ

クリア・コード・レジスタ		
DB1	DB0	
CR1	CR0	クリア・コード値
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	動作しない

表14.　クリア・コード機能設定用の32ビット入力シフト・レジスタの内容

MSB　　LSB

DB31～DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19～DB2	DB1	DB0
X	0	1	0	1	X	X	X	X	X	1/0	1/0
ドントケア	コマンド・ビット（C3～C0）				アドレス・ビット（A3～A0）				ドントケア	クリア・コード・レジスタ（CR1～CR0）	

表15.　$\overline{\text{LDAC}}$レジスタのオーバーライトの定義

DACレジスタのロード		
$\overline{\text{LDAC}}$ビット（DB3～DB0）	$\overline{\text{LDAC}}$ピン	$\overline{\text{LDAC}}$動作
0	1/0	$\overline{\text{LDAC}}$ピンによって決定
1	X＝ドントケア	$\overline{\text{LDAC}}$ピンを無効にして、DACチャンネルを更新。DACチャンネルは$\overline{\text{LDAC}}$を0として認識

表16.　$\overline{\text{LDAC}}$オーバーライト機能設定用の32ビット入力シフト・レジスタの内容

MSB　　LSB

DB31～DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19～DB4	DB3	DB2	DB1	DB0
X	0	1	1	0	X	X	X	X	X	DAC D	DAC C	DAC B	DACA
ドントケア	コマンド・ビット（C3～C0）				アドレス・ビット（A3～A0）ードントケア				ドントケア	$\overline{\text{LDAC}}$ビットを1に設定すると、$\overline{\text{LDAC}}$ピンが無効になる			

外形寸法

図45. 14ピン薄型シュリンク・スモール・アウトライン・パッケージ［TSSOP］
（RU-14）
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	パワーオン時にリセットされるコード	精度	内部リファレンス
AD5666BRUZ-1[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±16LSB INL	1.25V
AD5666BRUZ-1REEL7[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±16LSB INL	1.25V
AD5666BRUZ-2[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±16LSB INL	2.5V
AD5666BRUZ-2REEL7[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±16LSB INL	2.5V
AD5666ARUZ-2[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±32LSB INL	2.5V
AD5666ARUZ-2REEL7[1]	−40～＋105℃	14ピンTSSOP	RU-14	ゼロ	±32LSB INL	2.5V
EVAL-AD5666EB		評価用ボード				

[1] Z＝鉛フリー製品

D05298-0-11/05(A)-J