

### 特長

12ビットの分解能と単調性

外付けPMOSモードまたは温度管理のために消費電力をダイナミック制御

電流出力範囲: 0 mA~20 mA、4 mA~20 mA、  
または 0 mA~24 mA

最大総合未調整誤差(TUE):  $\pm 0.1\%$

オフセットとゲインをユーザ設定可能

診断機能を内蔵

内蔵リファレンス電圧: 最大 $\pm 10$  ppm/ $^{\circ}\text{C}$

温度範囲:  $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

### アプリケーション

プロセス制御

アクチュエータ制御

PLC

HART ネットワーク接続

### 概要

AD5737は10.8 V~33 Vの電源範囲で動作する電流出力4チャンネルDACです。内蔵のダイナミック消費電力制御機能により、消費電力が最小となるように最適化したDC/DCブースト・コンバータを使って出力ドライバ電圧を7.4 V~29.5 Vにレギュレーションして、パッケージ内消費電力を小さくしています。

各チャンネルには対応する CHART ピンが設けてあるため、HART 信号を AD5737 の電流出力に接続することができます。

AD5737は、最大30 MHzのクロック・レートで動作し、かつ標準SPI、QSPI™、MICROWIRE®、DSP、マイクロコントローラの各インターフェース規格と互換性を持つ多機能3線式シリアル・インターフェースを採用しています。シリアル・インターフェースには、オプションのCRC-8パケット・エラー・チェック機能とインターフェース動作をモニタするウォッチドッグ・タイマ機能も内蔵されています。

### 製品のハイライト

1. 温度管理のために消費電力をダイナミック制御
2. 12ビット性能
3. 4チャンネル
4. HART 準拠

### 関連製品

製品ファミリー: AD5755、AD5755-1、AD5757、AD5735

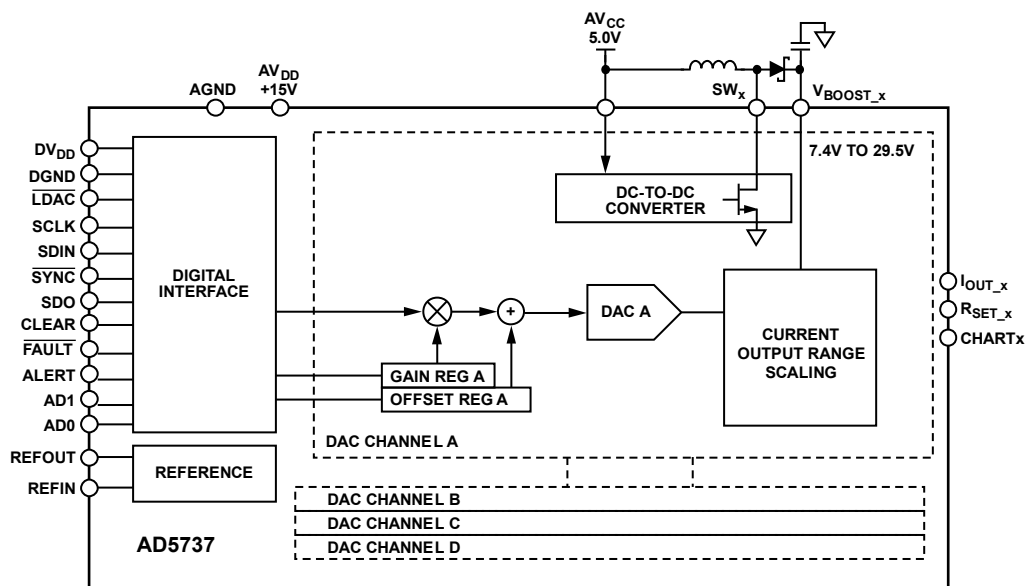
外付けリファレンス電圧: ADR445、ADR02

デジタル・アイソレータ: ADuM1410、ADuM1411

電源: ADP2302、ADP2303

その他の関連製品についてはAD5757製品ページをご覧ください。

### 機能ブロック図



NOTES  
1. x = A, B, C, OR D.

10067-101

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2011 Analog Devices, Inc. All rights reserved.

## 目次

|                |    |                               |    |
|----------------|----|-------------------------------|----|
| 特長             | 1  | リードバック動作                      | 30 |
| アプリケーション       | 1  | デバイス機能                        | 32 |
| 概要             | 1  | 故障出力                          | 32 |
| 製品のハイライト       | 1  | オフセットとゲインのデジタル調整              | 32 |
| 関連製品           | 1  | 書込み時のステータス・リードバック             | 32 |
| 機能ブロック図        | 1  | 非同期クリア                        | 32 |
| 改訂履歴           | 2  | パケット・エラーのチェック                 | 33 |
| 詳細機能ブロック図      | 3  | ウォッチドッグ・タイマ                   | 33 |
| 仕様             | 4  | アラート出力                        | 33 |
| AC性能特性         | 6  | 内蔵リファレンス電圧                    | 33 |
| タイミング特性        | 6  | 電流設定外付け抵抗                     | 33 |
| 絶対最大定格         | 9  | HART 接続                       | 34 |
| 熱抵抗            | 9  | スルーレートのデジタル制御                 | 34 |
| ESDの注意         | 9  | ダイナミック消費電力制御                  | 35 |
| ピン配置およびピン機能説明  | 10 | DC/DCコンバータ                    | 35 |
| 代表的な性能特性       | 13 | AI <sub>CC</sub> 電源要求—スタティック  | 36 |
| 電流出力           | 13 | AI <sub>CC</sub> 電源要求—変化時     | 37 |
| DC/DCコンバータ     | 17 | 外付けPMOS モード                   | 38 |
| リファレンス電圧       | 18 | アプリケーション情報                    | 39 |
| 全体             | 19 | 内蔵R <sub>SET</sub> を使う電流出力モード | 39 |
| 用語             | 20 | 高精度リファレンス電圧の選択                | 39 |
| 動作原理           | 21 | 誘導負荷の駆動                       | 39 |
| DACアーキテクチャ     | 21 | 過渡電圧保護                        | 40 |
| AD5737のパワーオン状態 | 21 | マイクロプロセッサ・インターフェース            | 40 |
| シリアル・インターフェース  | 21 | レイアウトのガイドライン                  | 40 |
| 伝達関数           | 22 | 電流絶縁型インターフェース                 | 41 |
| レジスタ           | 23 | 外形寸法                          | 42 |
| 出力のイネーブル       | 24 | オーダー・ガイド                      | 42 |
| 出力範囲の再設定       | 24 |                               |    |
| データ・レジスタ       | 25 |                               |    |
| コントロール・レジスタ    | 27 |                               |    |

## 改訂履歴

## 11/11—Rev. 0 to Rev. A

|                                                                    |    |
|--------------------------------------------------------------------|----|
| Change to Accuracy, External R <sub>SET</sub> Parameter in Table 1 | 4  |
| Changes to Power-On State of the AD5737 Section                    | 21 |
| Changes to Readback Operation Section and Readback                 |    |
| Example Section                                                    | 30 |

## 7/11—Revision 0: Initial Version

## 詳細機能ブロック図

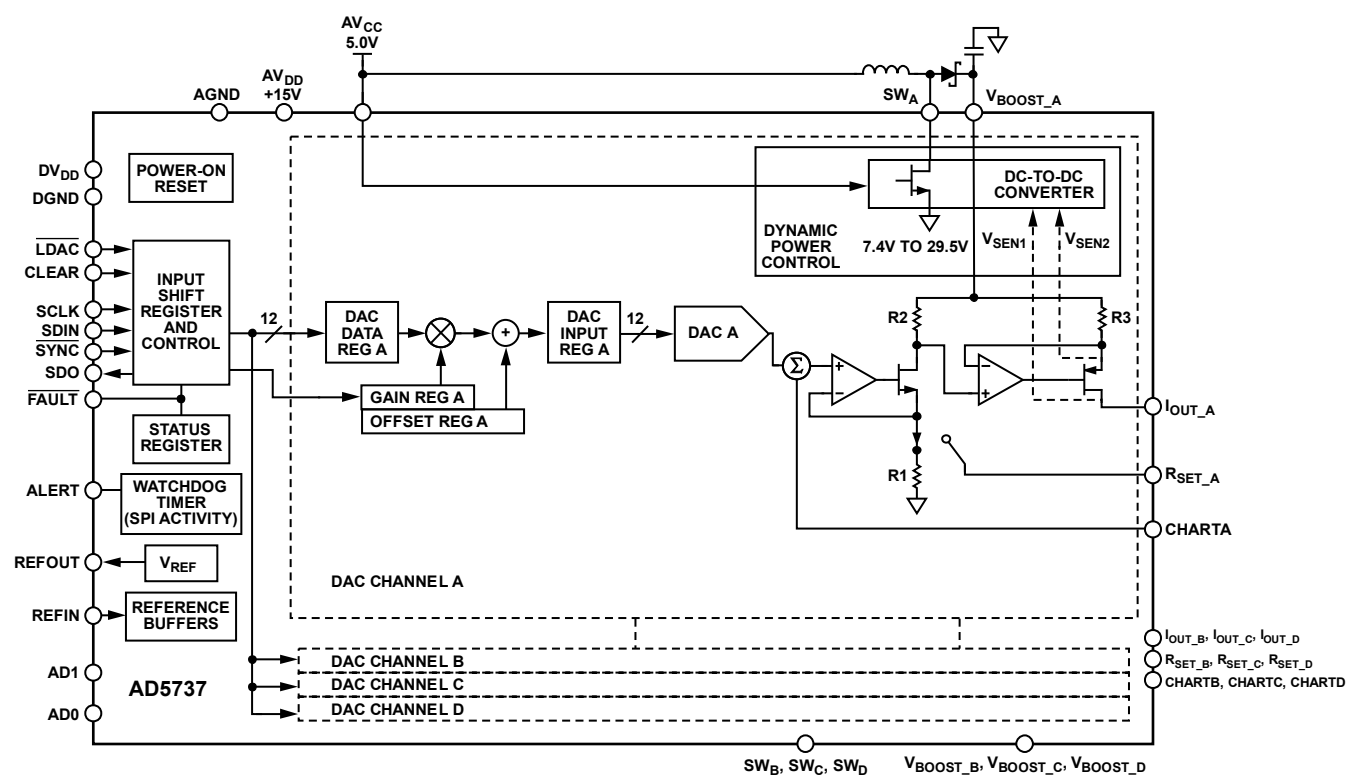


図 2.

10067-001

## 仕様

特に指定がない限り、 $AV_{DD} = V_{BOOST\_x} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_x} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 1.

| Parameter <sup>1</sup>                       | Min    | Typ                        | Max                        | Unit       | Test Conditions/Comments                                                                                                                                                  |
|----------------------------------------------|--------|----------------------------|----------------------------|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| CURRENT OUTPUT                               |        |                            |                            |            |                                                                                                                                                                           |
| Output Current Ranges                        | 0      |                            | 24                         | mA         |                                                                                                                                                                           |
|                                              | 0      |                            | 20                         | mA         |                                                                                                                                                                           |
|                                              | 4      |                            | 20                         | mA         |                                                                                                                                                                           |
| Resolution                                   | 12     |                            |                            | Bits       |                                                                                                                                                                           |
| ACCURACY, EXTERNAL R <sub>SET</sub>          |        |                            |                            |            |                                                                                                                                                                           |
| Total Unadjusted Error (TUE)                 | -0.1   | ±0.019                     | +0.1                       | % FSR      | Assumes ideal resistor (see the External Current Setting Resistor section for more information)                                                                           |
| TUE Long-Term Stability                      |        | 100                        |                            | ppm FSR    |                                                                                                                                                                           |
| Relative Accuracy (INL)                      | -0.032 | ±0.006                     | +0.032                     | % FSR      | Drift after 1000 hours, T <sub>J</sub> = 150°C                                                                                                                            |
| Differential Nonlinearity (DNL)              | -1     |                            | +1                         | LSB        | Guaranteed monotonic                                                                                                                                                      |
| Offset Error                                 | -0.1   | ±0.012                     | +0.1                       | % FSR      |                                                                                                                                                                           |
| Offset Error Drift <sup>2</sup>              |        | ±4                         |                            | ppm FSR/°C |                                                                                                                                                                           |
| Gain Error                                   | -0.1   | ±0.004                     | +0.1                       | % FSR      |                                                                                                                                                                           |
| Gain TC <sup>2</sup>                         |        | ±3                         |                            | ppm FSR/°C |                                                                                                                                                                           |
| Full-Scale Error                             | -0.1   | ±0.014                     | +0.1                       | % FSR      |                                                                                                                                                                           |
| Full-Scale TC <sup>2</sup>                   |        | ±5                         |                            | ppm FSR/°C |                                                                                                                                                                           |
| DC Crosstalk                                 |        | 0.0005                     |                            | % FSR      | External R <sub>SET</sub>                                                                                                                                                 |
| ACCURACY, INTERNAL R <sub>SET</sub>          |        |                            |                            |            |                                                                                                                                                                           |
| Total Unadjusted Error (TUE) <sup>3, 4</sup> | -0.14  | ±0.022                     | +0.14                      | % FSR      | Drift after 1000 hours, T <sub>J</sub> = 150°C                                                                                                                            |
| TUE Long-Term Stability                      |        | 180                        |                            | ppm FSR    |                                                                                                                                                                           |
| Relative Accuracy (INL)                      | -0.032 | ±0.006                     | +0.032                     | % FSR      | Guaranteed monotonic                                                                                                                                                      |
| Differential Nonlinearity (DNL)              | -1     |                            | +1                         | LSB        |                                                                                                                                                                           |
| Offset Error <sup>3, 4</sup>                 | -0.1   | ±0.017                     | +0.1                       | % FSR      |                                                                                                                                                                           |
| Offset Error Drift <sup>2</sup>              |        | ±6                         |                            | ppm FSR/°C |                                                                                                                                                                           |
| Gain Error                                   | -0.12  | ±0.004                     | +0.12                      | % FSR      |                                                                                                                                                                           |
| Gain TC <sup>2</sup>                         |        | ±9                         |                            | ppm FSR/°C |                                                                                                                                                                           |
| Full-Scale Error <sup>3, 4</sup>             | -0.14  | ±0.02                      | +0.14                      | % FSR      |                                                                                                                                                                           |
| Full-Scale TC <sup>2</sup>                   |        | ±14                        |                            | ppm FSR/°C |                                                                                                                                                                           |
| DC Crosstalk <sup>4</sup>                    |        | -0.011                     |                            | % FSR      | Internal R <sub>SET</sub>                                                                                                                                                 |
| OUTPUT CHARACTERISTICS <sup>2</sup>          |        |                            |                            |            |                                                                                                                                                                           |
| Current Loop Compliance Voltage              |        | V <sub>BOOST_X</sub> - 2.4 | V <sub>BOOST_X</sub> - 2.7 | V          | Drift after 1000 hours, ¾ scale output, T <sub>J</sub> = 150°C                                                                                                            |
| Output Current Drift vs. Time                |        | 90                         |                            | ppm FSR    |                                                                                                                                                                           |
|                                              |        | 140                        |                            | ppm FSR    |                                                                                                                                                                           |
| Resistive Load                               |        |                            | 1000                       | Ω          | The dc-to-dc converter has been characterized with a maximum load of 1 kΩ, chosen such that compliance is not exceeded; see Figure 30 and the DC-DC MaxV bits in Table 27 |
| DC Output Impedance                          |        | 100                        |                            | MΩ         |                                                                                                                                                                           |
| DC PSRR                                      |        | 0.02                       | 1                          | μA/V       |                                                                                                                                                                           |
| REFERENCE INPUT/OUTPUT                       |        |                            |                            |            |                                                                                                                                                                           |
| Reference Input <sup>2</sup>                 |        |                            |                            |            | For specified performance                                                                                                                                                 |
| Reference Input Voltage                      | 4.95   | 5                          | 5.05                       | V          |                                                                                                                                                                           |
| DC Input Impedance                           | 45     | 150                        |                            | MΩ         |                                                                                                                                                                           |
| Reference Output                             |        |                            |                            |            | T <sub>A</sub> = 25°C                                                                                                                                                     |
| Output Voltage                               | 4.995  | 5                          | 5.005                      | V          |                                                                                                                                                                           |
| Reference TC <sup>2</sup>                    | -10    | ±5                         | +10                        | ppm/°C     |                                                                                                                                                                           |
| Output Noise (0.1 Hz to 10 Hz) <sup>2</sup>  |        | 7                          |                            | μV p-p     | At 10 kHz                                                                                                                                                                 |
| Noise Spectral Density <sup>2</sup>          |        | 100                        |                            | nV/√Hz     |                                                                                                                                                                           |
| Output Voltage Drift vs. Time <sup>2</sup>   |        | 180                        |                            | ppm        |                                                                                                                                                                           |
| Capacitive Load <sup>2</sup>                 |        | 1000                       |                            | nF         | Drift after 1000 hours, T <sub>J</sub> = 150°C                                                                                                                            |

| Parameter <sup>1</sup>            | Min             | Typ   | Max  | Unit     | Test Conditions/Comments                                                              |
|-----------------------------------|-----------------|-------|------|----------|---------------------------------------------------------------------------------------|
| Load Current                      |                 | 9     |      | mA       | See Figure 41                                                                         |
| Short-Circuit Current             |                 | 10    |      | mA       |                                                                                       |
| Line Regulation <sup>2</sup>      |                 | 3     |      | ppm/V    | See Figure 42                                                                         |
| Load Regulation <sup>2</sup>      |                 | 95    |      | ppm/mA   | See Figure 41                                                                         |
| Thermal Hysteresis <sup>2</sup>   |                 | 160   |      | ppm      | First temperature cycle                                                               |
|                                   |                 | 5     |      | ppm      | Second temperature cycle                                                              |
| DC-TO-DC CONVERTER                |                 |       |      |          |                                                                                       |
| Switch                            |                 |       |      |          |                                                                                       |
| Switch On Resistance              |                 | 0.425 |      | $\Omega$ |                                                                                       |
| Switch Leakage Current            |                 | 10    |      | nA       |                                                                                       |
| Peak Current Limit                |                 | 0.8   |      | A        |                                                                                       |
| Oscillator                        |                 |       |      |          |                                                                                       |
| Oscillator Frequency              | 11.5            | 13    | 14.5 | MHz      | This oscillator is divided down to provide the dc-to-dc converter switching frequency |
| Maximum Duty Cycle                |                 | 89.6  |      | %        | At 410 kHz dc-to-dc switching frequency                                               |
| DIGITAL INPUTS <sup>2</sup>       |                 |       |      |          |                                                                                       |
| Input High Voltage, $V_{IH}$      | 2               |       |      | V        | JEDEC compliant                                                                       |
| Input Low Voltage, $V_{IL}$       |                 |       | 0.8  | V        |                                                                                       |
| Input Current                     | -1              |       | +1   | $\mu$ A  | Per pin                                                                               |
| Pin Capacitance                   |                 | 2.6   |      | pF       | Per pin                                                                               |
| DIGITAL OUTPUTS <sup>2</sup>      |                 |       |      |          |                                                                                       |
| SDO, ALERT Pins                   |                 |       |      |          |                                                                                       |
| Output Low Voltage, $V_{OL}$      |                 |       | 0.4  | V        | Sinking 200 $\mu$ A                                                                   |
| Output High Voltage, $V_{OH}$     | $DV_{DD} - 0.5$ |       |      | V        | Sourcing 200 $\mu$ A                                                                  |
| High Impedance Leakage Current    | -1              |       | +1   | $\mu$ A  |                                                                                       |
| High Impedance Output Capacitance |                 | 2.5   |      | pF       |                                                                                       |
| FAULT Pin                         |                 |       |      |          |                                                                                       |
| Output Low Voltage, $V_{OL}$      |                 |       | 0.4  | V        | 10 k $\Omega$ pull-up resistor to $DV_{DD}$                                           |
|                                   |                 | 0.6   |      | V        | At 2.5 mA                                                                             |
| Output High Voltage, $V_{OH}$     | 3.6             |       |      | V        | 10 k $\Omega$ pull-up resistor to $DV_{DD}$                                           |
| POWER REQUIREMENTS                |                 |       |      |          |                                                                                       |
| $AV_{DD}$                         | 9               |       | 33   | V        |                                                                                       |
| $DV_{DD}$                         | 2.7             |       | 5.5  | V        |                                                                                       |
| $AV_{CC}$                         | 4.5             |       | 5.5  | V        |                                                                                       |
| $AI_{DD}$                         |                 | 7     | 7.5  | mA       |                                                                                       |
| $DI_{CC}$                         |                 | 9.2   | 11   | mA       | $V_{IH} = DV_{DD}$ , $V_{IL} = DGND$ , internal oscillator running, over supplies     |
| $AI_{CC}$                         |                 |       | 1    | mA       | Outputs unloaded, over supplies                                                       |
| $I_{BOOST}$ <sup>5</sup>          |                 |       | 1    | mA       | Per channel, 0 mA output                                                              |
| Power Dissipation                 |                 | 155   |      | mW       | $AV_{DD} = 15$ V, $DV_{DD} = 5$ V, dc-to-dc converter enabled, outputs disabled       |

<sup>1</sup> 温度範囲は-40 °C~+105 °Cです。typ 値は+25 °Cの値です。

<sup>2</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>3</sup> 内蔵  $R_{SET}$  を使う電流出力の場合、オフセット、フルスケール、TUE の測定値には DC クロストークが含まれません。測定は 4 チャンネルすべてをイネーブルし、同じコードをロードして行います。

<sup>4</sup> DC クロストークの詳細については、内蔵 RSET を使う電流出力モードのセクションを参照してください。

<sup>5</sup> 図 32~図 35 の効率のプロットには  $I_{BOOST}$  の静止電流が含まれます。

## AC性能特性

特に指定がない限り、 $AV_{DD} = V_{BOOST\_X} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_X} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

| Parameter <sup>1</sup>                   | Min | Typ                          | Max | Unit                   | Test Conditions/Comments                                                                       |
|------------------------------------------|-----|------------------------------|-----|------------------------|------------------------------------------------------------------------------------------------|
| DYNAMIC PERFORMANCE, CURRENT OUTPUT      |     |                              |     |                        |                                                                                                |
| Output Current Settling Time             |     | 15                           |     | $\mu\text{s}$          | To 0.1% FSR, 0 mA to 24 mA range                                                               |
|                                          |     | See Test Conditions/Comments |     | ms                     | For settling times when using the dc-to-dc con-verter, see Figure 25, Figure 26, and Figure 27 |
| Output Noise (0.1 Hz to 10 Hz Bandwidth) |     | 0.15                         |     | LSB p-p                | 12-bit LSB, 0 mA to 24 mA range                                                                |
| Output Noise Spectral Density            |     | 0.5                          |     | nA/ $\sqrt{\text{Hz}}$ | Measured at 10 kHz, midscale output, 0 mA to 24 mA range                                       |

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

## タイミング特性

特に指定がない限り、 $AV_{DD} = V_{BOOST\_X} = 15\text{ V}$ ;  $DV_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $AV_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ ; DC/DC コンバータをディスエーブル;  $AGND = DGND = GND_{SW\_X} = 0\text{ V}$ ;  $REFIN = 5\text{ V}$ ;  $R_L = 300\ \Omega$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 3.

| Parameter <sup>1, 2, 3</sup> | Limit at $T_{MIN}, T_{MAX}$ | Unit              | Description                                                                                                                                           |
|------------------------------|-----------------------------|-------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------|
| $t_1$                        | 33                          | ns min            | SCLK cycle time                                                                                                                                       |
| $t_2$                        | 13                          | ns min            | SCLK high time                                                                                                                                        |
| $t_3$                        | 13                          | ns min            | SCLK low time                                                                                                                                         |
| $t_4$                        | 13                          | ns min            | $\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time                                                                                 |
| $t_5$                        | 13                          | ns min            | 24th/32nd SCLK falling edge to $\overline{\text{SYNC}}$ rising edge (see Figure 53)                                                                   |
| $t_6$                        | 198                         | ns min            | $\overline{\text{SYNC}}$ high time                                                                                                                    |
| $t_7$                        | 5                           | ns min            | Data setup time                                                                                                                                       |
| $t_8$                        | 5                           | ns min            | Data hold time                                                                                                                                        |
| $t_9$                        | 20                          | $\mu\text{s}$ min | $\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (all DACs updated or any channel has digital slew rate control enabled) |
|                              | 5                           | $\mu\text{s}$ min | $\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (single DAC updated)                                                    |
| $t_{10}$                     | 10                          | ns min            | $\overline{\text{LDAC}}$ pulse width low                                                                                                              |
| $t_{11}$                     | 500                         | ns max            | $\overline{\text{LDAC}}$ falling edge to DAC output response time                                                                                     |
| $t_{12}$                     | See Table 2                 | $\mu\text{s}$ max | DAC output settling time                                                                                                                              |
| $t_{13}$                     | 10                          | ns min            | CLEAR high time                                                                                                                                       |
| $t_{14}$                     | 5                           | $\mu\text{s}$ max | CLEAR activation time                                                                                                                                 |
| $t_{15}$                     | 40                          | ns max            | SCLK rising edge to SDO valid                                                                                                                         |
| $t_{16}$                     |                             |                   | $\overline{\text{SYNC}}$ rising edge to DAC output response time ( $\overline{\text{LDAC}} = 0$ )                                                     |
|                              | 21                          | $\mu\text{s}$ min | All DACs updated                                                                                                                                      |
|                              | 5                           | $\mu\text{s}$ min | Single DAC updated                                                                                                                                    |
| $t_{17}$                     | 500                         | ns min            | $\overline{\text{LDAC}}$ falling edge to $\overline{\text{SYNC}}$ rising edge                                                                         |
| $t_{18}$                     | 800                         | ns min            | RESET pulse width                                                                                                                                     |
| $t_{19}^4$                   |                             |                   | $\overline{\text{SYNC}}$ high to next $\overline{\text{SYNC}}$ low (digital slew rate control enabled)                                                |
|                              | 20                          | $\mu\text{s}$ min | All DACs updated                                                                                                                                      |
|                              | 5                           | $\mu\text{s}$ min | Single DAC updated                                                                                                                                    |

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> すべての入力信号は  $t_{RISE} = t_{FALL} = 5\text{ ns}$  ( $DV_{DD}$  の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

<sup>3</sup> 図 3、図 4、図 5、図 6 を参照してください。

<sup>4</sup> この規定値は、書込みサイクル中  $\overline{\text{LDAC}}$  がロー・レベルに維持される場合に適用されます。その他の場合については  $t_9$  を参照。

タイミング図

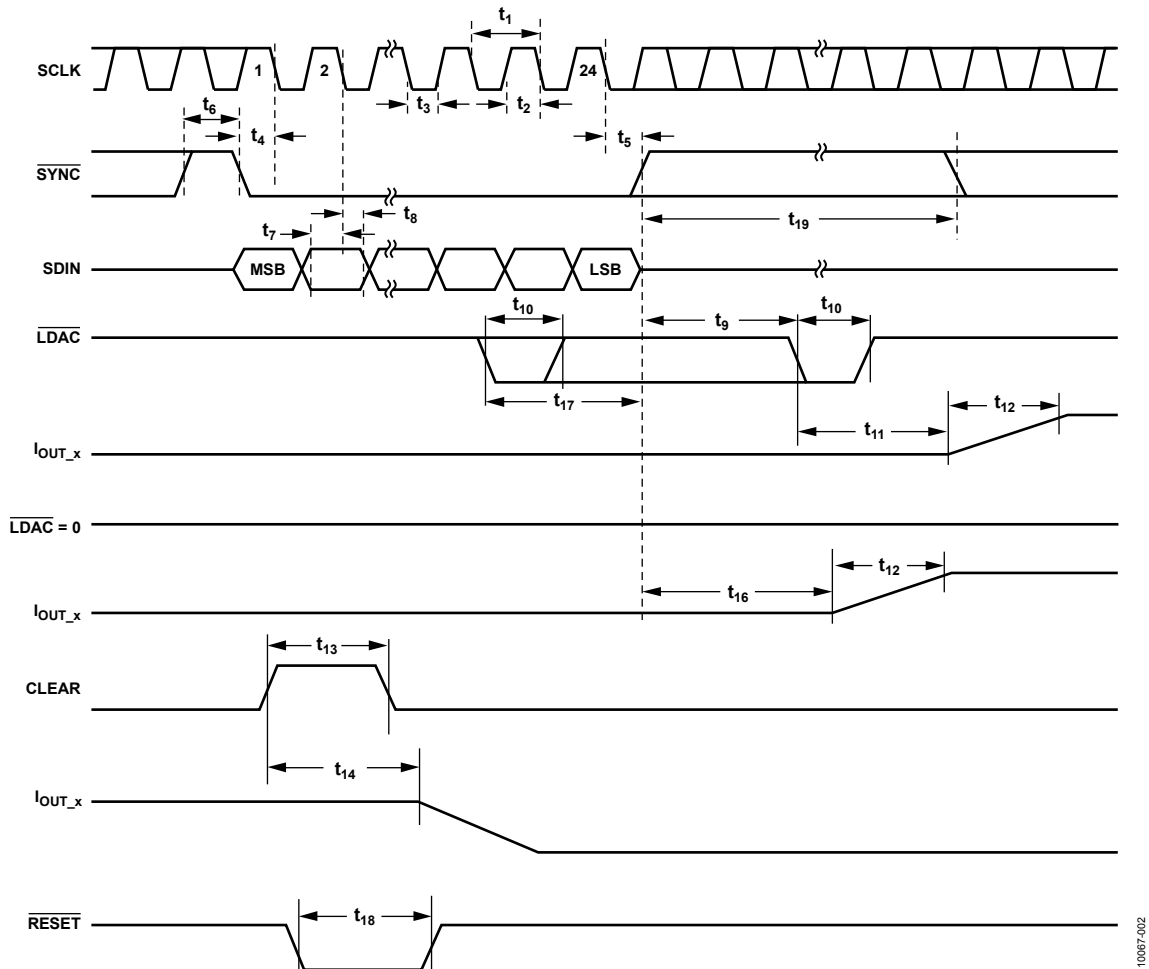


図 3. シリアル・インターフェースのタイミング図

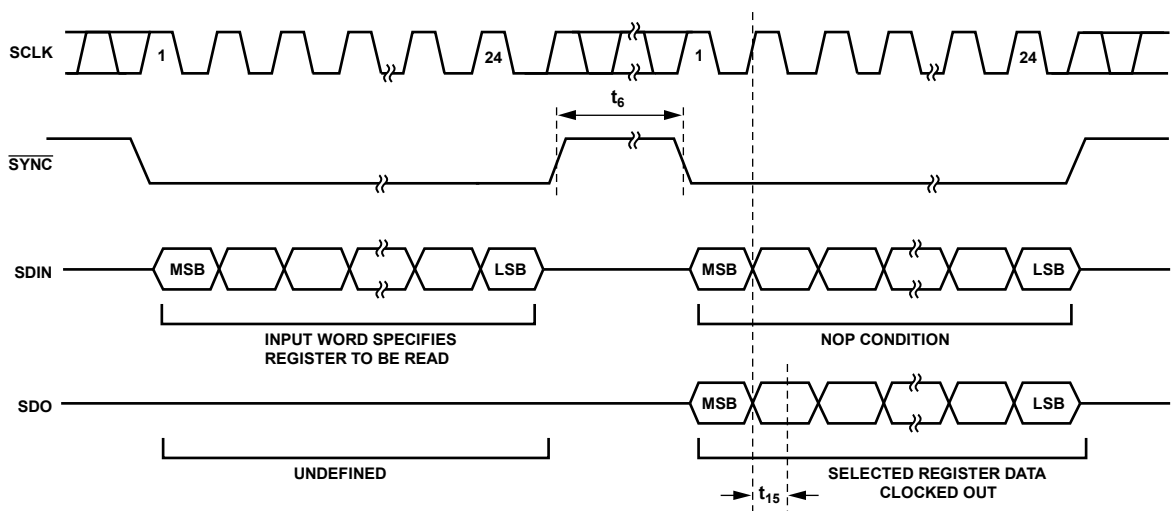


図 4. リードバック・タイミング図

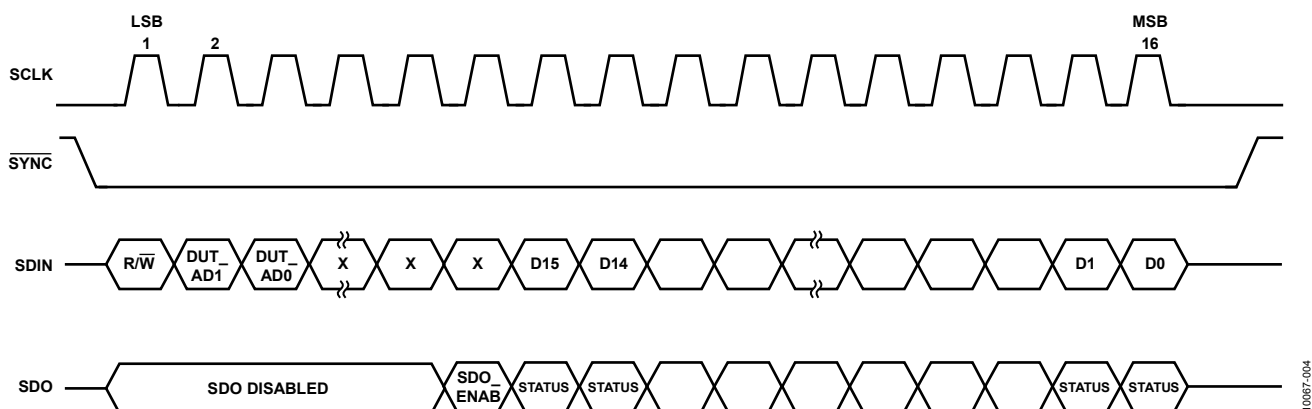


図 5. ステータス・リードバックのタイミング図—書き込み時

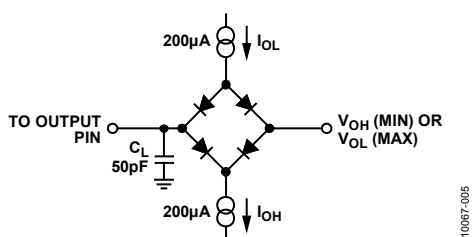


図 6. SDO タイミング図の負荷回路

絶対最大定格

特に指定のない限り、T<sub>A</sub> = 25 °C。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

| Parameter                                             | Rating                                                               |
|-------------------------------------------------------|----------------------------------------------------------------------|
| AV <sub>DD</sub> , V <sub>BOOST_X</sub> to AGND, DGND | −0.3 V to +33 V                                                      |
| AV <sub>CC</sub> to AGND                              | −0.3 V to +7 V                                                       |
| DV <sub>DD</sub> to DGND                              | −0.3 V to +7 V                                                       |
| Digital Inputs to DGND                                | −0.3 V to DV <sub>DD</sub> + 0.3 V or +7 V (whichever is less)       |
| Digital Outputs to DGND                               | −0.3 V to DV <sub>DD</sub> + 0.3 V or +7 V (whichever is less)       |
| REFIN, REFOUT to AGND                                 | −0.3 V to AV <sub>DD</sub> + 0.3 V or +7 V (whichever is less)       |
| I <sub>OUT_X</sub> to AGND                            | AGND to V <sub>BOOST_X</sub> or 33 V if using the dc-to-dc converter |
| SW <sub>X</sub> to AGND                               | −0.3 V to +33 V                                                      |
| AGND, GND SW <sub>X</sub> to DGND                     | −0.3 V to +0.3 V                                                     |
| Operating Temperature Range (T <sub>A</sub> )         |                                                                      |
| Industrial <sup>1</sup>                               | −40°C to +105°C                                                      |
| Storage Temperature Range                             | −65°C to +150°C                                                      |
| Junction Temperature (T <sub>J</sub> max)             | 125°C                                                                |
| Power Dissipation                                     | (T <sub>J</sub> max − T <sub>A</sub> )/θ <sub>JA</sub>               |
| Lead Temperature                                      | JEDEC industry standard                                              |
| Soldering                                             | J-STD-020                                                            |

<sup>1</sup> チップ内の消費電力を抑えて、ジャンクション温度を 125 °C 以下に維持する必要があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

ジャンクション—周囲間の熱抵抗 (θ<sub>JA</sub>)は JEDEC 4 層テスト・ボードに対して規定します。

表 5.熱抵抗

| Package Type            | θ <sub>JA</sub> | Unit |
|-------------------------|-----------------|------|
| 64-Lead LFCSP (CP-64-3) | 20              | °C/W |

ESDの注意

|                                                                                    |                                                                                                                                                                                               |
|------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|  | ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。 |
|------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

## ピン配置およびピン機能説明

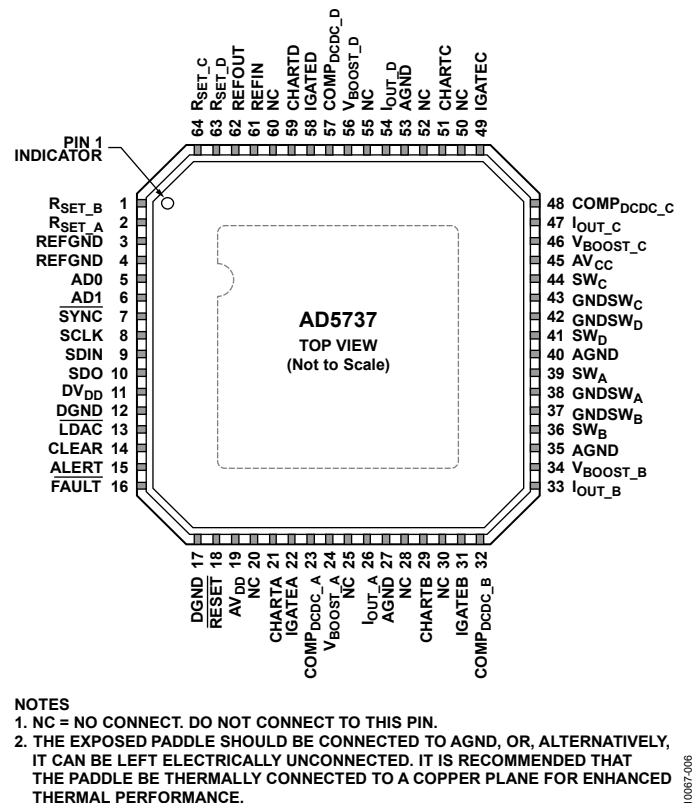


図 7. ピン配置

表 6. ピン機能の説明

| ピン番号 | 記号     | 説明                                                                                                                                                                                                                                                                                       |
|------|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1    | RSET_B | 外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、IOUT_B の温度ドリフト性能を向上させることができます。詳細については、電流設定外付け抵抗のセクションを参照してください。                                                                                                                                                                                      |
| 2    | RSET_A | 外付けの高精度低ドリフト 15 kΩ 電流設定抵抗をこのピンに接続して、IOUT_A の温度ドリフト性能を向上させることができます。詳細については、電流設定外付け抵抗のセクションを参照してください。                                                                                                                                                                                      |
| 3    | REFGND | 内蔵リファレンスに対するグラウンド基準ポイント。                                                                                                                                                                                                                                                                 |
| 4    | REFGND | 内蔵リファレンスに対するグラウンド基準ポイント。                                                                                                                                                                                                                                                                 |
| 5    | AD0    | ボード上の被テスト・デバイス(DUT)のアドレス・デコード。                                                                                                                                                                                                                                                           |
| 6    | AD1    | ボード上の DUT のアドレス・デコード。                                                                                                                                                                                                                                                                    |
| 7    | SYNC   | シリアル・インターフェースのフレーム同期信号。アクティブ・ローの入力。SYNC がロー・レベルのとき、データは SCLK の立下がりエッジで入力シフトレジスタに入力されます。                                                                                                                                                                                                  |
| 8    | SCLK   | シリアル・クロック入力。データは、SCLK の立下がりエッジで入力シフトレジスタに入力されます。シリアル・インターフェースは、最大 30 MHz のクロック速度で動作します。                                                                                                                                                                                                  |
| 9    | SDIN   | シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。                                                                                                                                                                                                                                              |
| 10   | SDO    | シリアル・データ出力。リードバック・モードでシリアル・レジスタからのデータを駆動するときに使います (図 4 と図 5 参照)。                                                                                                                                                                                                                         |
| 11   | DVDD   | デジタル電源ピン。電圧範囲は 2.7 V～5.5 V。                                                                                                                                                                                                                                                              |
| 12   | DGND   | デジタル・グラウンド。                                                                                                                                                                                                                                                                              |
| 13   | LDAC   | DAC のロード。このアクティブ・ロー入力は DAC レジスタの更新に使われ、DAC レジスタが更新されると DAC 出力が変化します。LDAC がロー・レベルに固定されると、アドレス指定された DAC データ・レジスタは SYNC の立下がりエッジで更新されます。書き込みサイクルで LDAC がハイ・レベルになると、DAC 入力レジスタは更新されますが、DAC 出力は LDAC の立下がりエッジでのみ更新されます (図 3 参照)。このモードを使用すると、すべてのアナログ出力を同時に更新することができます。LDAC ピンは解放のままにしないでください。 |

| ピン番号 | 記号                     | 説明                                                                                                                                                                                                         |
|------|------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 14   | CLEAR                  | アクティブ・ハイのエッジ検出入力。このピンをアサートすると、出力電流が予め設定したクリア・コード・ビット設定値に設定されます。クリアできるようにイネーブルされたチャンネルのみがクリアされます。詳細については、非同期クリアのセクションを参照してください。CLEAR がアクティブのとき、DAC 出力レジスタへの書込みはできません。                                       |
| 15   | ALERT                  | アクティブ・ハイの出力。予め設定しておいた時間の間インターフェース・ピンで SPI 動作がなかったときに、このピンがアサートされます。詳細については、アラート出力のセクションを参照してください。                                                                                                          |
| 16   | FAULT                  | アクティブ・ローのオープン・ドレイン出力。断線、PEC エラー、または温度上昇状態が検出されると、このピンはロー・レベルになります (故障出力のセクション参照)。                                                                                                                          |
| 17   | DGND                   | デジタル・グラウンド。                                                                                                                                                                                                |
| 18   | RESET                  | アクティブ・ローのハードウェア・リセット入力。                                                                                                                                                                                    |
| 19   | AV <sub>DD</sub>       | 正のアナログ電源ピン。電圧範囲は 9 V～33 V。                                                                                                                                                                                 |
| 20   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 21   | CHARTA                 | DAC チャンネル A の HART 入力接続ピン。詳細については、HART 接続のセクションを参照してください。                                                                                                                                                  |
| 22   | IGATEA                 | オプションの外付けパス・トランジスタの接続。DC/DC コンバータを使用するときは、このピンを未接続のままにしてください。詳細については、外付け PMOS モードのセクションを参照してください。                                                                                                          |
| 23   | COMP <sub>DCDC_A</sub> | DC/DC 補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネル A の DC/DC コンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください。詳細については、DC/DC コンバータの補償コンデンサのセクションと AICC 電源要求—変化時のセクション参照。 |
| 24   | V <sub>BOOST_A</sub>   | チャンネル A の電流出力ステージの電源 (図 48 参照)。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                 |
| 25   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 26   | I <sub>OUT_A</sub>     | DAC チャンネル A の電流出力ピン。                                                                                                                                                                                       |
| 27   | AGND                   | アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。                                                                                                                                                              |
| 28   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 29   | CHARTB                 | DAC チャンネル B の HART 入力接続ピン。詳細については、HART 接続のセクションを参照してください。                                                                                                                                                  |
| 30   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 31   | IGATEB                 | オプションの外付けパス・トランジスタの接続。DC/DC コンバータを使用するときは、このピンを未接続のままにしてください。詳細については、外付け PMOS モードのセクションを参照してください。                                                                                                          |
| 32   | COMP <sub>DCDC_B</sub> | DC/DC 補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネル B の DC/DC コンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください。詳細については、DC/DC コンバータの補償コンデンサのセクションと AICC 電源要求—変化時のセクション参照。 |
| 33   | I <sub>OUT_B</sub>     | DAC チャンネル B の電流出力ピン。                                                                                                                                                                                       |
| 34   | V <sub>BOOST_B</sub>   | チャンネル B の電流出力ステージの電源 (図 48 参照)。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                 |
| 35   | AGND                   | アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。                                                                                                                                                              |
| 36   | SW <sub>B</sub>        | チャンネル B の DC/DC 回路のスイッチング出力。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                    |
| 37   | GNDSW <sub>B</sub>     | DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。                                                                                                                                                           |
| 38   | GNDSW <sub>A</sub>     | DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。                                                                                                                                                           |
| 39   | SW <sub>A</sub>        | チャンネル A の DC/DC 回路のスイッチング出力。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                    |
| 40   | AGND                   | アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。                                                                                                                                                              |
| 41   | SW <sub>D</sub>        | チャンネル D の DC/DC 回路のスイッチング出力。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                    |
| 42   | GNDSW <sub>D</sub>     | DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。                                                                                                                                                           |
| 43   | GNDSW <sub>C</sub>     | DC/DC スイッチング回路のグラウンド接続。このピンは常にグラウンドに接続する必要があります。                                                                                                                                                           |
| 44   | SW <sub>C</sub>        | チャンネル C の DC/DC 回路のスイッチング出力。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                    |
| 45   | AV <sub>CC</sub>       | DC/DC 回路の電源。電圧範囲は 4.5 V～5.5 V。                                                                                                                                                                             |
| 46   | V <sub>BOOST_C</sub>   | チャンネル C の電流出力ステージの電源 (図 48 参照)。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                 |
| 47   | I <sub>OUT_C</sub>     | DAC チャンネル C の電流出力ピン。                                                                                                                                                                                       |
| 48   | COMP <sub>DCDC_C</sub> | DC/DC 補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネル C の DC/DC コンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください。詳細については、DC/DC コ                                           |

| ピン番号 | 記号                     | 説明                                                                                                                                                                                                         |
|------|------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 49   | IGATEC                 | ンバータの補償コンデンサのセクションと AICC 電源要求—変化時のセクション参照。<br>オプションの外付けパス・トランジスタの接続。DC/DC コンバータを使用するときは、このピンを未接続のままにしてください。詳細については、外付け PMOS モードのセクションを参照してください。                                                            |
| 50   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 51   | CHARTC                 | DAC チャンネル C の HART 入力接続ピン。詳細については、HART 接続のセクションを参照してください。                                                                                                                                                  |
| 52   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 53   | AGND                   | アナログ回路に対するグラウンド基準ポイント。このピンは 0 V へ接続する必要があります。                                                                                                                                                              |
| 54   | I <sub>OUT_D</sub>     | DAC チャンネル D の電流出力ピン。                                                                                                                                                                                       |
| 55   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 56   | V <sub>BOOST_D</sub>   | チャンネル D の電流出力ステージの電源(図 48 参照)。DC/DC コンバータを使用するときは、このピンを図 55 のように接続してください。                                                                                                                                  |
| 57   | COMP <sub>DCDC_D</sub> | DC/DC 補償コンデンサ。このピンとグラウンドの間に 10 nF のコンデンサを接続します。チャンネル D の DC/DC コンバータ帰還ループをレギュレーションするために使います。あるいは、外付け補償抵抗を使う場合、コンデンサと直列に、このピンとグラウンドの間に抵抗を接続してください。詳細については、DC/DC コンバータの補償コンデンサのセクションと AICC 電源要求—変化時のセクション参照。 |
| 58   | IGATED                 | オプションの外付けパス・トランジスタの接続。DC/DC コンバータを使用するときは、このピンを未接続のままにしてください。詳細については、外付け PMOS モードのセクションを参照してください。                                                                                                          |
| 59   | CHARTD                 | DAC チャンネル D の HART 入力接続ピン。詳細については、HART 接続のセクションを参照してください。                                                                                                                                                  |
| 60   | NC                     | 未接続。このピンは接続しないでください。                                                                                                                                                                                       |
| 61   | REFIN                  | 外部リファレンス電圧入力。                                                                                                                                                                                              |
| 62   | REFOUT                 | 内蔵リファレンス電圧出力。REFOUT と REFGND の間に 0.1 $\mu$ F のコンデンサを接続することが推奨されます。                                                                                                                                         |
| 63   | R <sub>SET_D</sub>     | 外付けの高精度低ドリフト 15 k $\Omega$ 電流設定抵抗をこのピンに接続して、I <sub>OUT_D</sub> の温度ドリフト性能を向上させることができます。詳細については、電流設定外付け抵抗のセクションを参照してください。                                                                                    |
| 64   | R <sub>SET_C</sub>     | 外付けの高精度低ドリフト 15 k $\Omega$ 電流設定抵抗をこのピンに接続して、I <sub>OUT_C</sub> の温度ドリフト性能を向上させることができます。詳細については、電流設定外付け抵抗のセクションを参照してください。                                                                                    |
|      | EPAD                   | エクスポーズド・パッド。このエクスポーズド・パッドは、AGND に接続するか、または、電氣的に未接続のままにしておくことができます。熱性能強化のために、パドルを銅プレーンへ熱的に接続することが推奨されます。                                                                                                    |

## 代表的な性能特性

## 電流出力

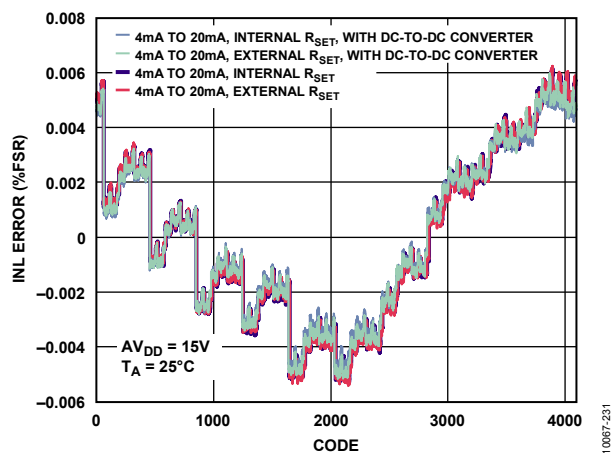


図 8. DAC コード対積分非直線性誤差

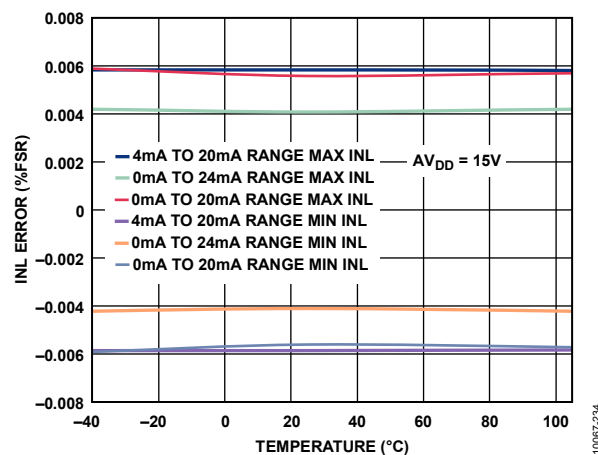


図 11. 積分非直線性誤差の温度特性、内蔵 RSET

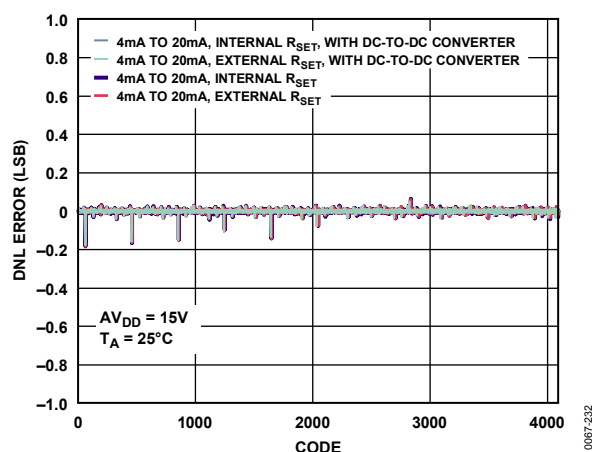


図 9. DAC コード対微分非直線性誤差

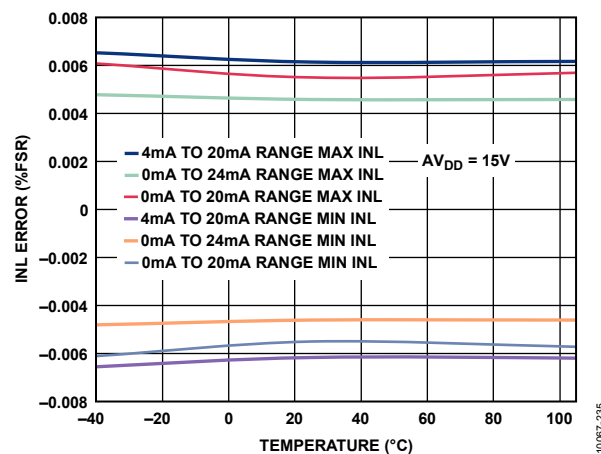


図 12. 積分非直線性誤差の温度特性、外付け RSET

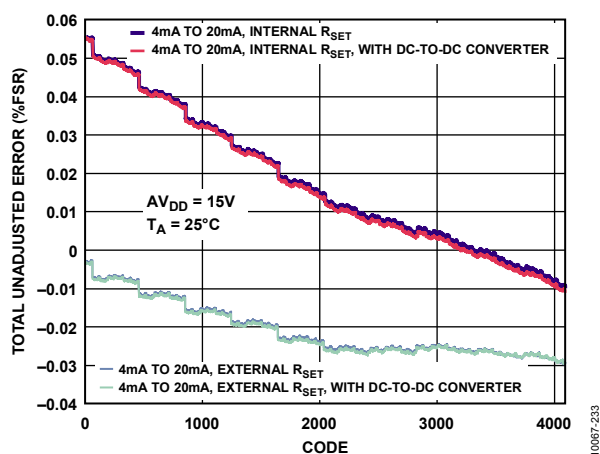


図 10. DAC コード対総合未調整誤差

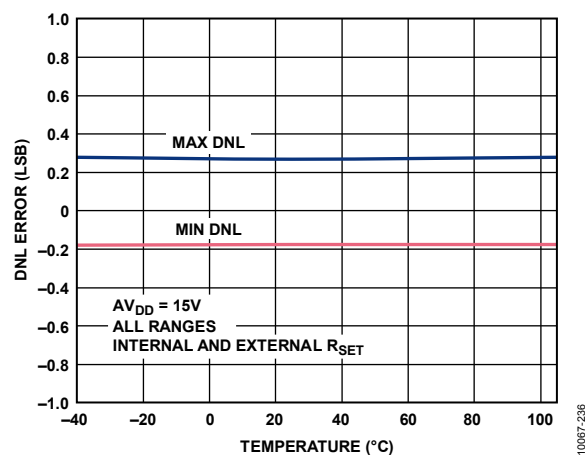


図 13. 微分非直線性誤差の温度特性

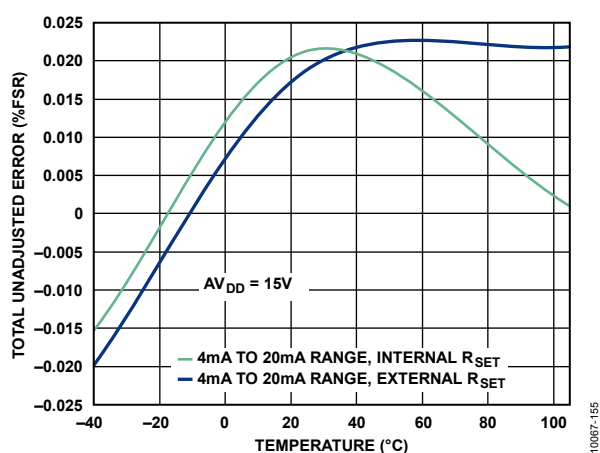


図 14.総合未調整誤差の温度特性

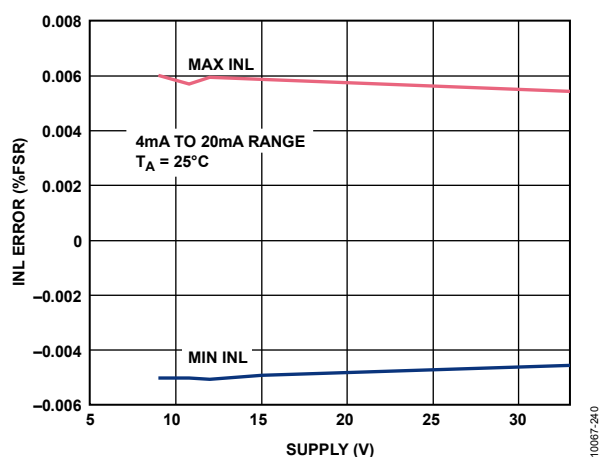


図 17.電源対積分非直線性誤差、外付け R<sub>SET</sub>

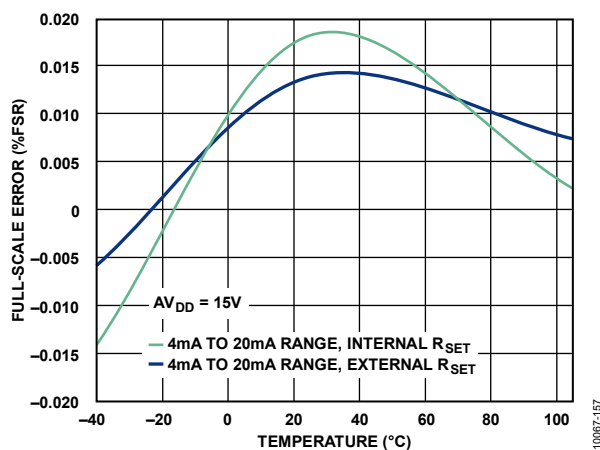


図 15.フルスケール誤差の温度特性

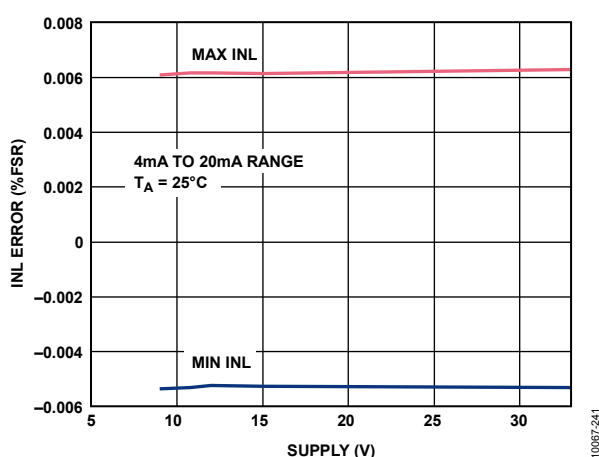


図 18.電源対積分非直線性誤差、内蔵 R<sub>SET</sub>

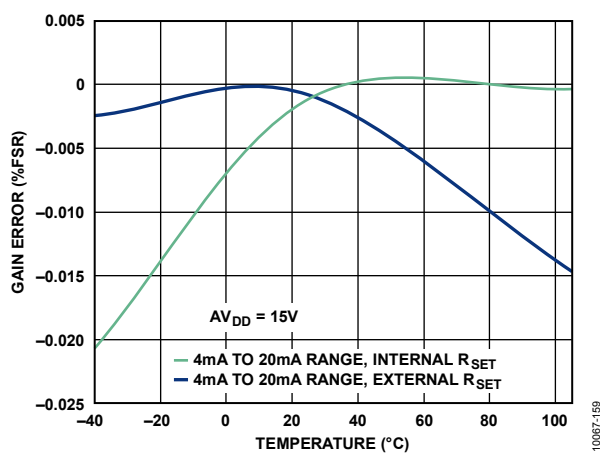


図 16.ゲイン誤差の温度特性

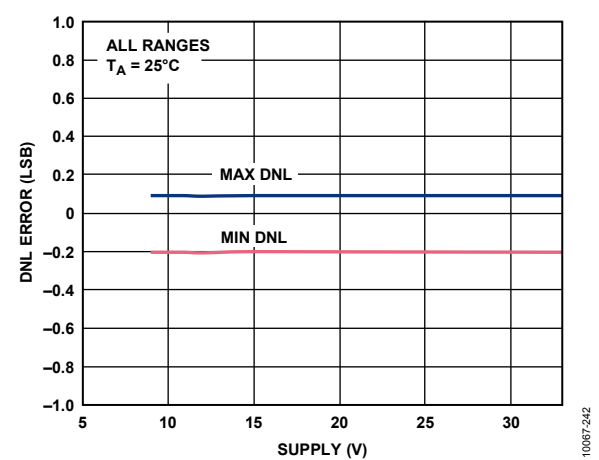


図 19.電源対微分非直線性誤差

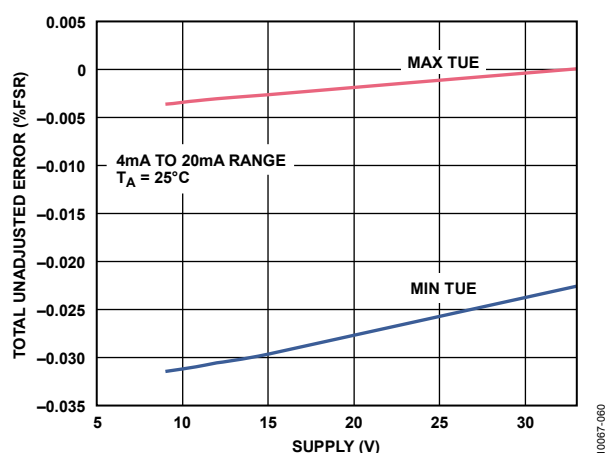


図 20.電源対総合未調整誤差、外付け  $R_{SET}$

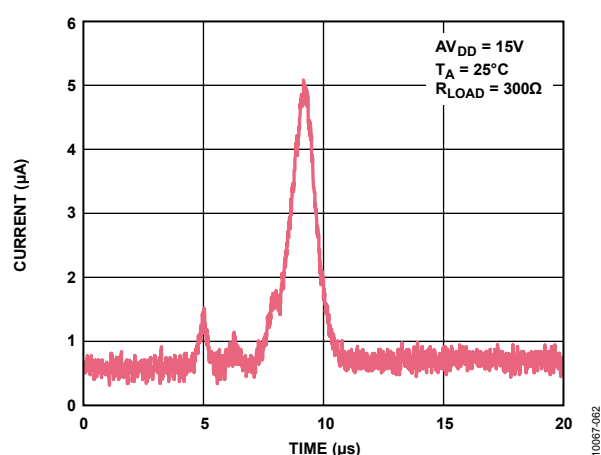


図 23.パワーアップ時の電流時間変化

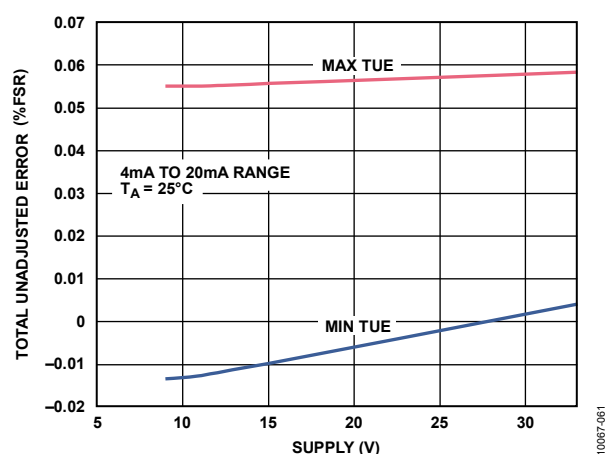


図 21.電源対総合未調整誤差、内蔵  $R_{SET}$

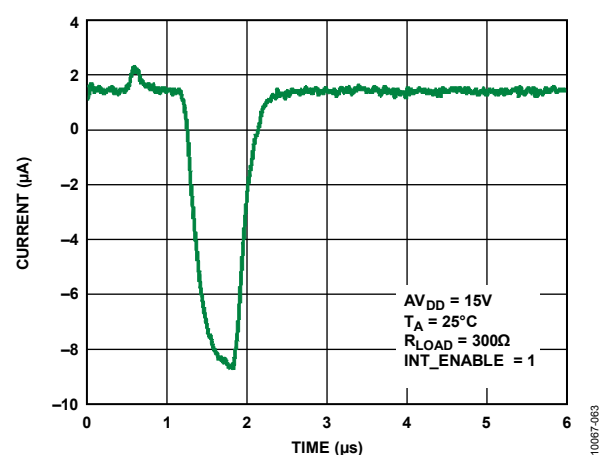


図 24.出カインーブル時の電流時間変化

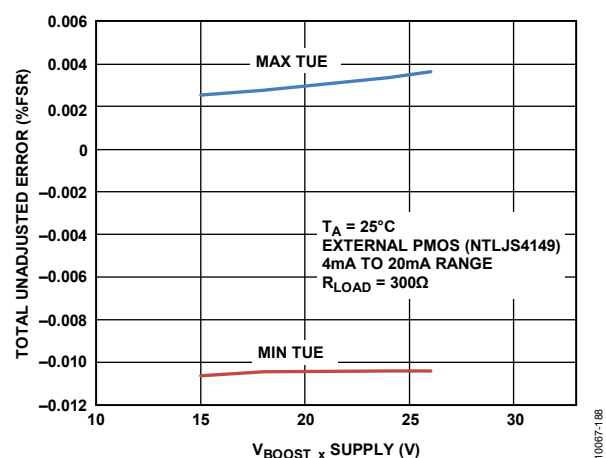


図 22.  $V_{BOOST\_X}$  電源対総合未調整誤差  
外付け PMOS モード

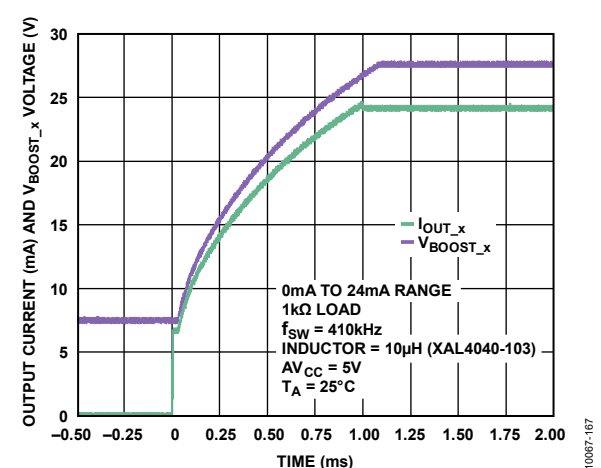


図 25.出力電流と  $V_{BOOST\_X}$  セットリング・タイム  
DC/DC コンバータを使用 (図 55 参照)

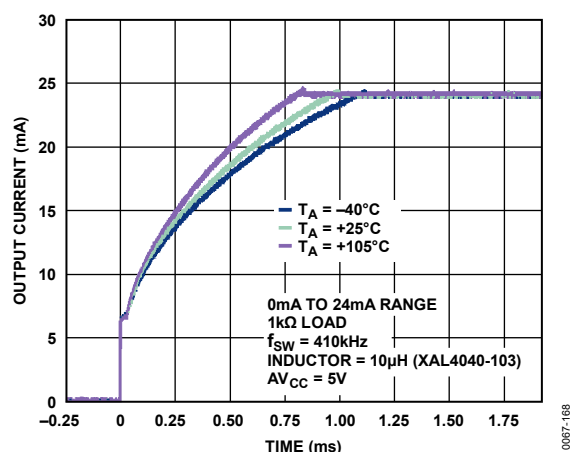


図 26. 出力電流セトリング・タイムの温度特性  
DC/DC コンバータ使用(図 55 参照)

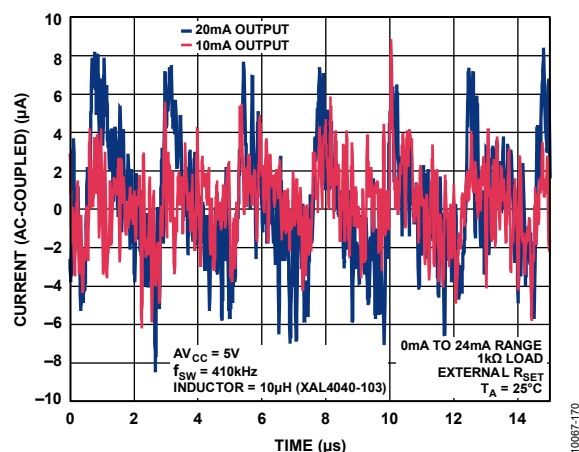


図 29. AC 結合出力電流の時間変化  
DC/DC コンバータ使用 (図 55 参照)

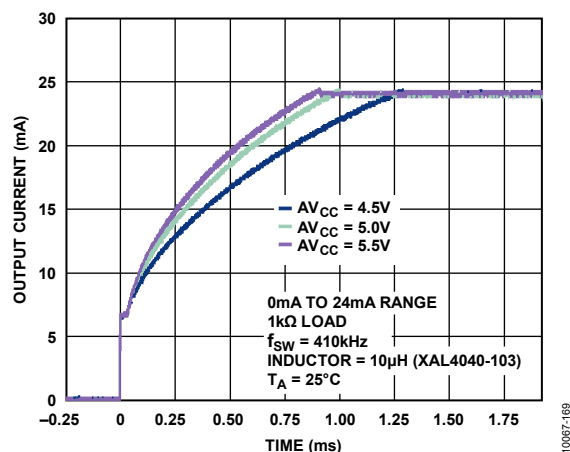


図 27.  $AV_{CC}$  対出力電流セトリング・タイム  
DC/DC コンバータ使用 (図 55 参照)

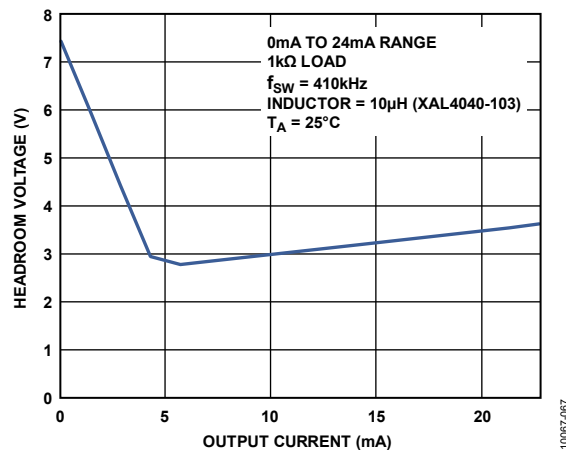


図 30. 出力電流対 DC/DC コンバータのヘッドルーム  
(図 55 参照)

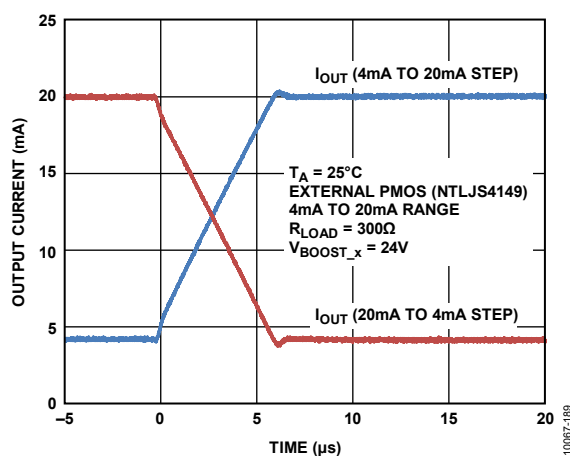


図 28. 出力電流セトリング・タイム  
外付け PMOS トランジスを使用

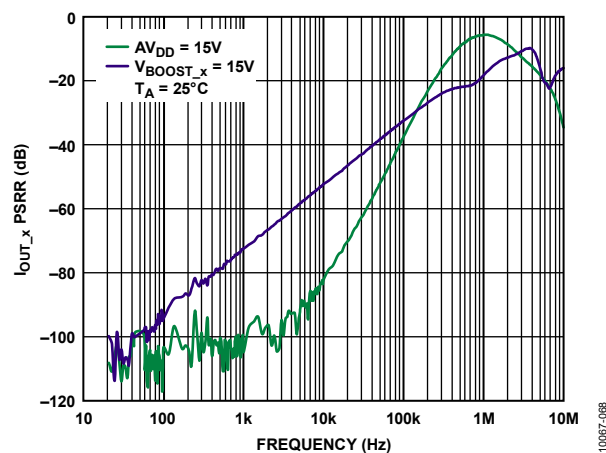


図 31.  $I_{OUT\_X}$  PSRR の周波数特性

## DC/DCコンバータ

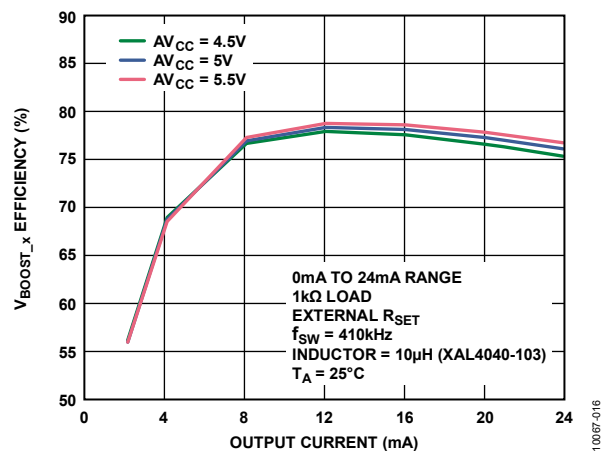
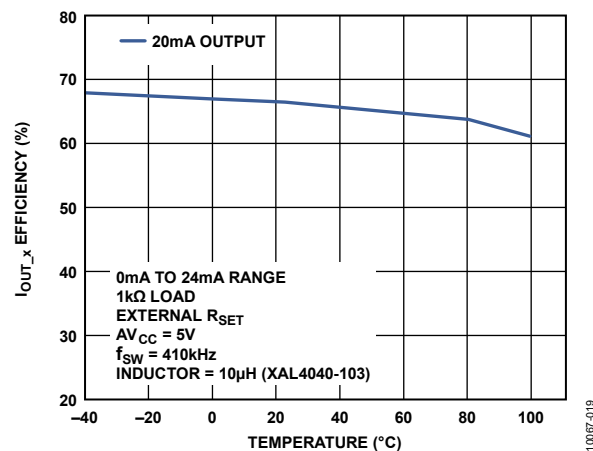
図 32. 出力電流対  $V_{\text{BOOST\_X}}$  での効率 (図 55 参照)

図 35. 出力効率の温度特性 (図 55 参照)

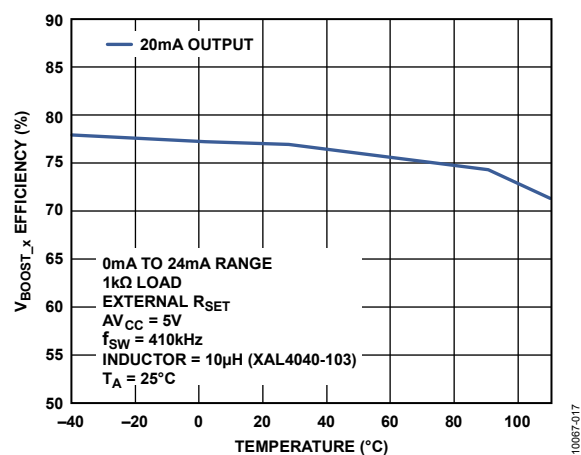
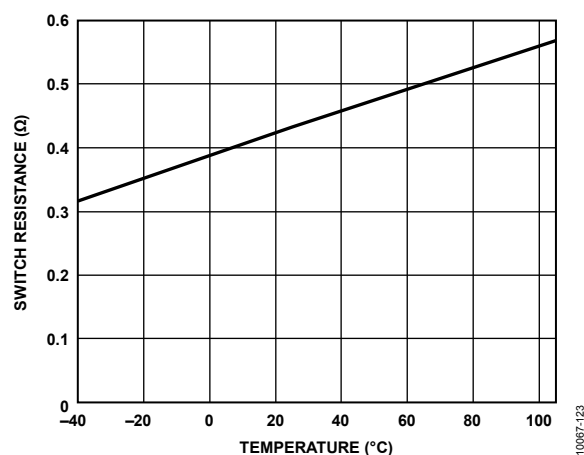
図 33.  $V_{\text{BOOST\_X}}$  での効率の温度特性 (図 55 参照)

図 36. スイッチ抵抗の温度特性

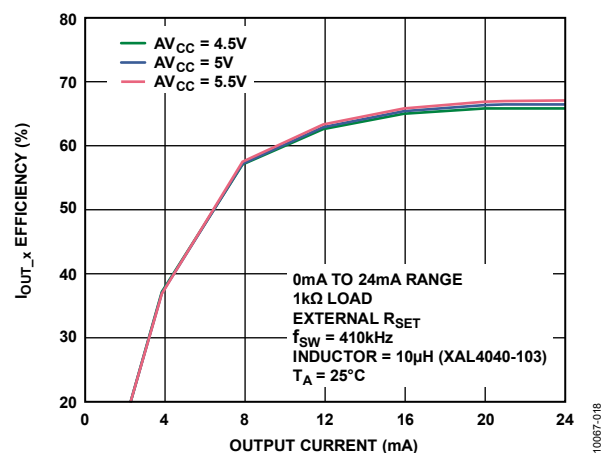


図 34. 出力電流対出力効率 (図 55 参照)

## リファレンス電圧

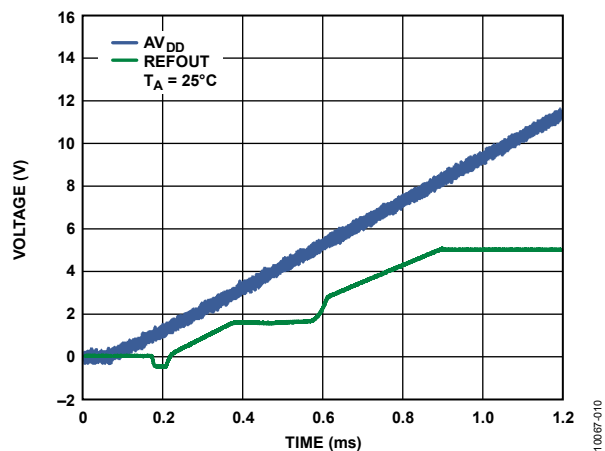


図 37. REFOUT のターンオン過渡電圧

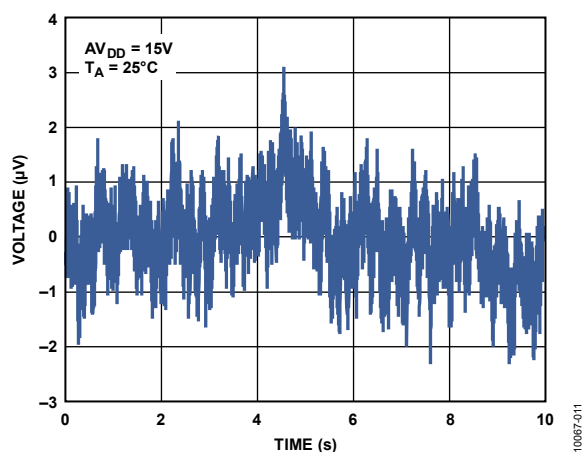


図 38. REFOUT 出力ノイズ(0.1 Hz~10 Hz 帯域幅)

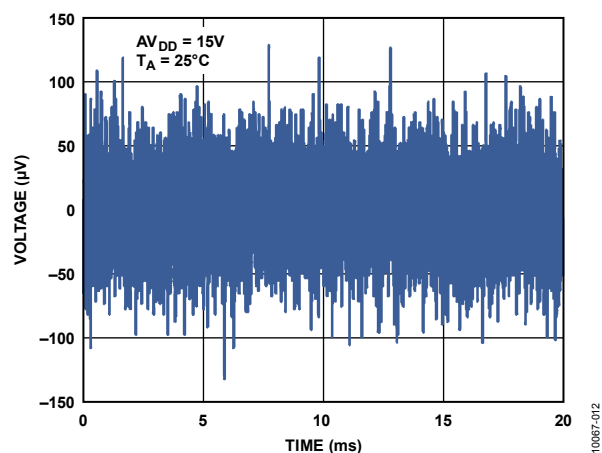


図 39. REFOUT 出力ノイズ(100 kHz 帯域幅)

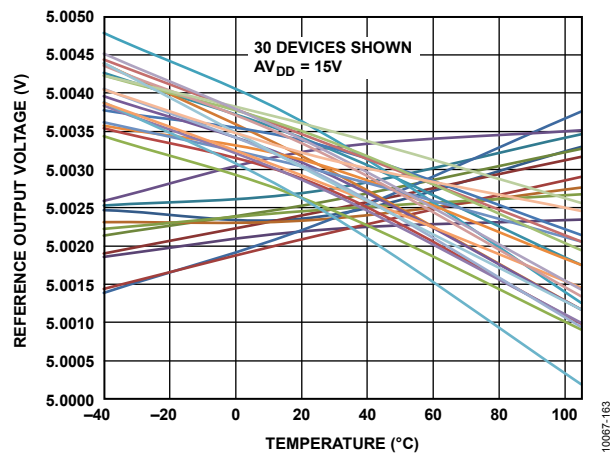


図 40. REFOUT 電圧の温度特性 (AD5737 を PCB にハンダ付けする際、パッケージに加わる熱衝撃のためにリファレンス電圧がシフトします。この平均出力電圧シフトは-4 mV です。これらのデバイスの 7 日後の測定では、この出力シフトが初期値側へ 2 mV (typ) 戻っていることが示されています。後者のシフトは、ハンダ処理の際に加わったストレスが緩和されるために発生します)

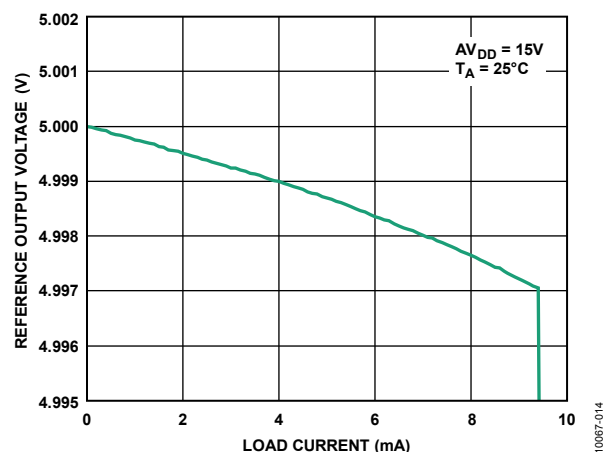


図 41. REFOUT 電圧対負荷電流

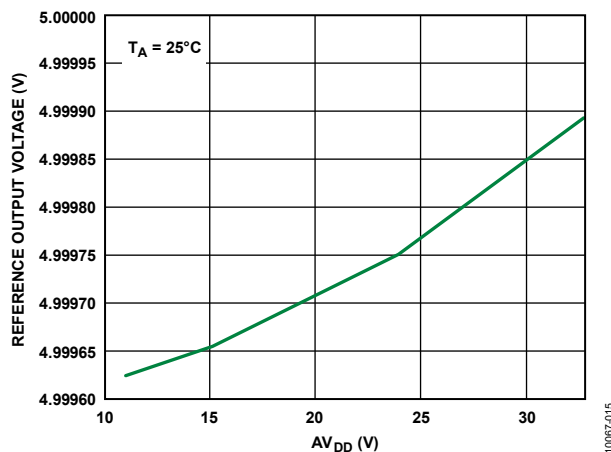


図 42. AVDD 対 REFOUT 電圧

全体

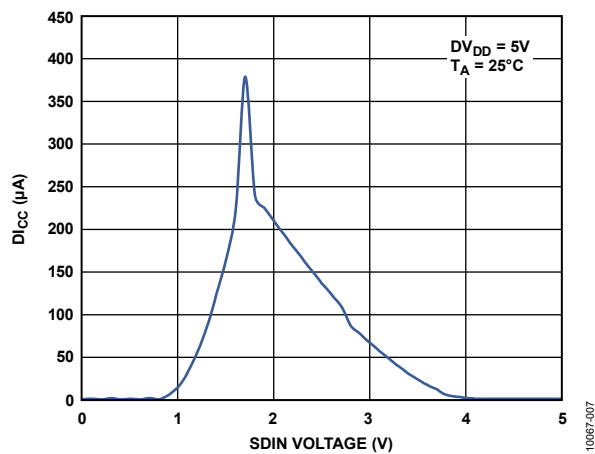


図 43.ロジック入力電圧対  $D_{ICC}$

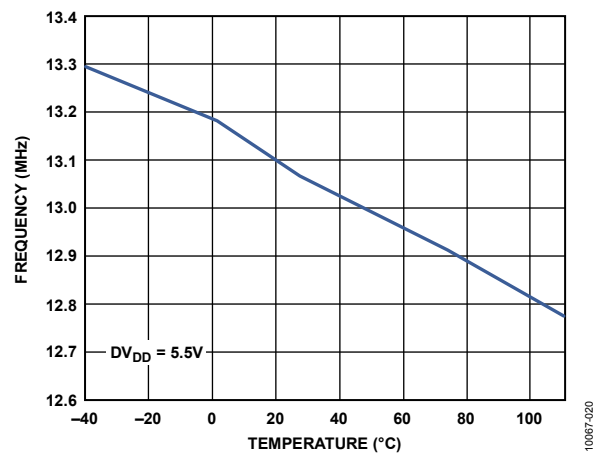


図 45.内蔵発振器周波数の温度特性

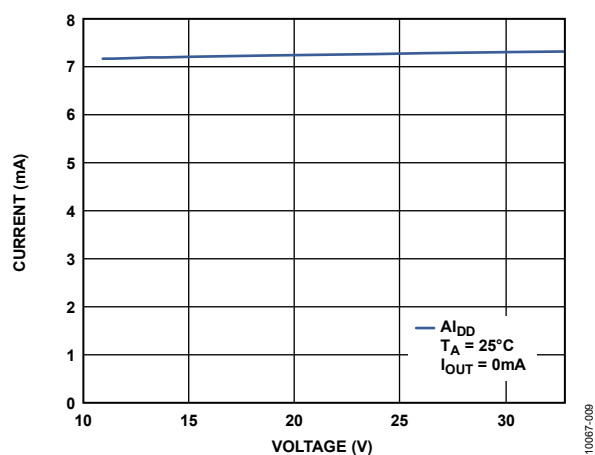


図 44.電源電圧 ( $A_{VDD}$ ) 対電源電流 ( $A_{IDD}$ )

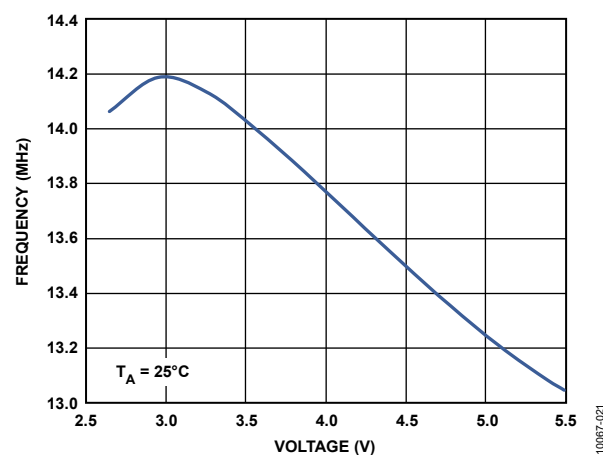


図 46. $DV_{DD}$  電源電圧対内蔵発振器周波数

## 用語

### 相対精度または積分非直線性(INL)

相対精度または積分非直線性(INL)は、DAC 伝達関数の最適近似直線からの最大乖離を表します。INL はフルスケール範囲のパーセント値 (%FSR) で表されます。INL(typ) 対コードのプロットを図 8 に示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差を表します。最大 ±1 LSB の DNL の仕様は、単調性を保証するものです。AD5737 はデザインにより単調性を保証しています。DNL(typ) 対コードのプロットを図 9 に示します。

### 単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。AD5737 は全動作温度範囲で単調です。

### オフセット誤差

オフセット誤差はすべての DAC レジスタに 0x0000 をロードしたときの、理論ゼロスケール出力からのアナログ出力の乖離を表します。%FSR で表されます。

### オフセット誤差ドリフトまたはオフセット TC

オフセット誤差ドリフト、またはオフセット TC は、温度変化に対するオフセット誤差の変化を意味し、ppm FSR/°C で表されます。

### ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達関数傾斜からの変位を表し、DAC 出力の %FSR で表示されます。

### ゲイン温度係数 (TC)

ゲイン TC は、温度変化に対するゲイン誤差の変化を意味し、ppm FSR/°C で表されます。

### フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力はフルスケール-1 LSB である必要があります。フルスケール誤差は %FSR で表します。

### フルスケール温度係数 (TC)

フルスケール TC は、温度変化に対するフルスケール誤差の変化を意味し、ppm FSR/°C で表されます。

### 総合未調整誤差(TUE)

総合未調整誤差(TUE)は、INL 誤差、オフセット誤差、ゲイン誤差、温度、時間などの種々の誤差をすべて考慮した出力誤差を表し、%FSR で表されます。

### DC クロストーク

別の DAC 出力でのフルスケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。ミッドスケールを出力する 1 つの DAC をモニタしながら、別の DAC 上でのフルスケール出力変化を使って測定します。

### 電流ループ・コンプライアンス電圧

電流ループ・コンプライアンス電圧は、出力電流が設定値に一致するときの  $I_{OUT\_x}$  ピンの最大電圧です。

### リファレンス電圧の熱ヒステリシス

+25°C で測定した出力電圧と、+25°C → -40°C → +105°C → +25°C の温度サイクルを加えた後に +25°C で測定した出力電圧との差で表します。このヒステリシスは最初と 2 回目の温度サイクルに対して規定され、ppm で表されます。

### パワーオン・グリッチ・エネルギー

AD5737 がパワーオンするときにアナログ出力に混入するインパルスで表します。グリッチの面積を表す単位 nV-sec で表わされます(図 23 参照)。

### 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。

### リファレンス電圧温度係数 (TC)

リファレンス電圧 TC は温度変化に対するリファレンス出力電圧の変化を意味し、ppm/°C で表されます。

### ライン・レギュレーション

電源電圧の規定された変化によるリファレンス出力電圧の変化を意味し、ppm/V で表されます。

### 負荷レギュレーション

負荷電流の規定された変化による出力電圧の変化を意味し、ppm/mA で表わされます。

### DC/DC コンバータ・ヘッドルーム

DC/DC コンバータ・ヘッドルームは、電流出力で必要とされる電圧と DC/DC コンバータから出力される電圧との差を意味します。

### 出力効率

出力効率は、チャンネル DC/DC 入力に供給される電力に対するチャンネル負荷に供給される電力の比として定義されます。 $V_{BOOST\_x}$  静止電流は、DC/DC コンバータ損失の一部と見なされます。

$$\frac{I_{OUT}^2 \times R_{LOAD}}{AV_{CC} \times AI_{CC}}$$

### $V_{BOOST\_x}$ での効率

$V_{BOOST\_x}$  での効率は、チャンネルの DC/DC 入力に供給される電力に対するチャンネルの  $V_{BOOST\_x}$  電源に供給される電力の比として定義されます。 $V_{BOOST\_x}$  静止電流は、DC/DC コンバータ損失の一部と見なされます。

$$\frac{I_{OUT} \times V_{BOOST\_x}}{AV_{CC} \times AI_{CC}}$$

## 動作原理

**AD5737** は、工業用プロセス制御アプリケーションの要求を満たすようにデザインされた、デジタル値を電流ループ出力に変換する高精度クワッド・コンバータです。電流ループ信号を発生する、高精度フル統合低価格のシングルチップ・ソリューションです。電流範囲は、0 mA~20 mA、4 mA~20 mA、0 mA~24 mAです。出力構成はDACコントロール・レジスタを使って選択することができます。

内蔵のダイナミック消費電力制御機能により、パッケージ消費電力が最小になります(ダイナミック消費電力制御のセクション参照)。

### DACアーキテクチャ

**AD5737** のDACコアのアーキテクチャは、2 つの一致したDACセクションから構成されています。簡略化した回路図を図 47 に示します。12 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。これらの各スイッチは、15 個の一致した抵抗の 1 つをグラウンドまたはリファレンス・バッファ出力に接続します。データ・ワードの残りの 8 ビットは、8 ビット電圧モードR-2Rラダー回路のスイッチ(S0~S7)を駆動します。

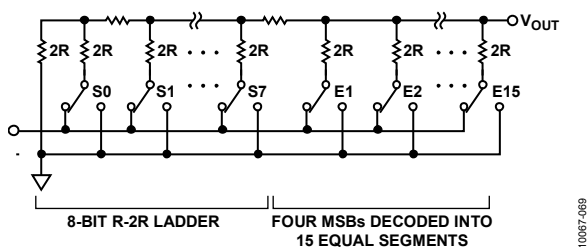


図 47. DAC のラダー構造

DAC コアの電圧出力は電流に変換されます。次に、アプリケーションから電流源出力として見えるように、電源レールにミラーされます(図 48)。電流出力は  $V_{\text{BOOST}_x}$  から供給されます。

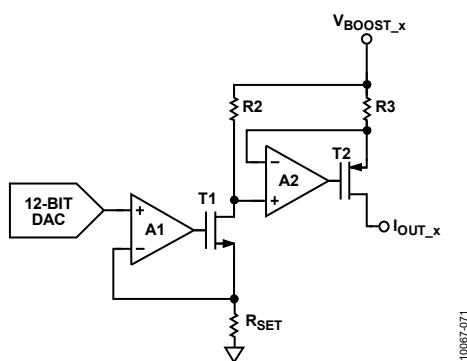


図 48. 電圧/電流変換回路

### リファレンス電圧バッファ

**AD5737** は、外付けまたは内蔵のリファレンス電圧で動作することができます。リファレンス入力では、規定の性能に対して 5 V のリファレンス電圧が必要です。この入力電圧はバッファされた後に DAC へ供給されます。

### AD5737 のパワーオン状態

**AD5737** がパワーアップすると、 $I_{\text{OUT}_x}$  ピンはスリー・ステート・モードになります。デバイスのパワーオンまたはデバイスのリセット後に、少なくとも 100  $\mu\text{s}$  待った後にデバイスに書き込みを行って、内部キャリブレーションを行う時間を確保することが推奨されます。

### シリアル・インターフェース

**AD5737** は、最大 30 MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 3 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

### 入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。

パケット・エラー・チェック(PEC) をイネーブルする場合、追加の 8 ビットを **AD5737** へ書込んで、32 ビット・シリアル・インターフェースにする必要があります(パケット・エラーのチェックのセクション参照)。

DAC 出力の更新には個別更新とすべての DAC の同時更新の 2 つの方法があります。

### DACの個別更新

個別に DAC を更新するときは、データを DAC データ・レジスタへ入力するときに  $\overline{\text{LDAC}}$  をロー・レベルにします。アドレス指定された DAC 出力は、SYNC の立上がりエッジで更新されます。タイミング情報については、表 3 と図 3 を参照してください。

### すべてのDACの同時更新

全 DAC を同時に更新するときは、データを DAC データ・レジスタへ入力するときに  $\overline{\text{LDAC}}$  をハイ・レベルにします。 $\overline{\text{LDAC}}$  をハイ・レベルにした後、各チャンネルの DAC データ・レジスタへの最初の実行のみが有効になり、DAC データ・レジスタに対する後続の実行は無視されます。ただし、リードバックが開始されると、これらの後続の実行が返されます。 $\overline{\text{LDAC}}$  をハイ・レベルにした後に SYNC をロー・レベルにすることにより、すべての DAC 出力が更新されます。

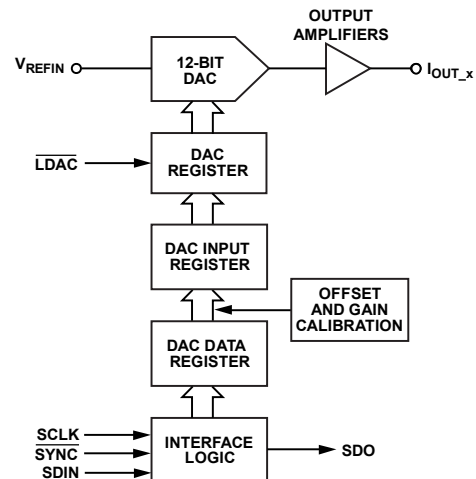


図 49. 1 個の DAC チャンネルについて入力ロード回路を簡略化したシリアル・インターフェース

**伝達関数**

0 mA～20 mA、0 mA～24 mA、4 mA～20 mA の電流出力範囲に対して、それぞれの出力電流は次のように表わされます。

0 mA～20 mA の範囲

$$I_{OUT} = \left( \frac{20 \text{ mA}}{2^N} \right) \times D$$

0 mA～24 mA の範囲

$$I_{OUT} = \left( \frac{24 \text{ mA}}{2^N} \right) \times D$$

4 mA～20 mA の範囲

$$I_{OUT} = \left( \frac{16 \text{ mA}}{2^N} \right) \times D + 4 \text{ mA}$$

ここで、

$D$  は、DAC にロードされるコードの 10 進数表示。

$N$  は DAC の分解能。

## レジスタ

表 7、表 8、表 9 に、[AD5737](#) のレジスタの概要を示します。

表 7.[AD5737](#) のデータ・レジスタ

| Register             | Description                                                                                                                                                     |
|----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| DAC Data Registers   | The four DAC data registers (one register per DAC channel) are used to write a DAC code to each DAC channel. The DAC data bits are D15 to D4.                   |
| Gain Registers       | The four gain registers (one register per DAC channel) are used to program the gain trim on a per-channel basis. The gain data bits are D15 to D4.              |
| Offset Registers     | The four offset registers (one register per DAC channel) are used to program the offset trim on a per-channel basis. The offset data bits are D15 to D4.        |
| Clear Code Registers | The four clear code registers (one register per DAC channel) are used to program the clear code on a per-channel basis. The clear code data bits are D15 to D4. |

表 8.[AD5737](#) のコントロール・レジスタ

| Register                    | Description                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
|-----------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Main Control Register       | The main control register is used to configure functions for the entire part. These functions include the following: enabling status readback during a write; enabling the output on all four DAC channels simultaneously; power-on of the dc-to-dc converter on all four DAC channels simultaneously; and enabling and configuring the watchdog timer. For more information, see the Main Control Register section.                                                                                      |
| DAC Control Registers       | The four DAC control registers (one register per DAC channel) are used to configure the following functions on a per-channel basis: output range (for example, 4 mA to 20 mA); selection of the internal current sense resistor or an external current sense resistor; enabling/disabling the use of a clear code; enabling/disabling the internal circuitry (dc-to-dc converter, DAC, and internal amplifiers); power-on/power-off of the dc-to-dc converter; and enabling/disabling the output channel. |
| Software Register           | The software register is used to perform a reset, to toggle the user bit in the status register, and, as part of the watchdog timer feature, to verify correct data communication operation.                                                                                                                                                                                                                                                                                                              |
| DC-to-DC Control Register   | The dc-to-dc control register is used to set the control parameters for the dc-to-dc converter: maximum output voltage, phase, and switching frequency. This register is also used to select the internal compensation resistor or an external compensation resistor for the dc-to-dc converter.                                                                                                                                                                                                          |
| Slew Rate Control Registers | The four slew rate control registers (one register per DAC channel) are used to program the slew rate of the DAC output.                                                                                                                                                                                                                                                                                                                                                                                  |

表 9.[AD5737](#) のリードバック・レジスタ

| Register        | Description                                                                       |
|-----------------|-----------------------------------------------------------------------------------|
| Status Register | The status register contains any fault information, as well as a user toggle bit. |

## 出力のイネーブル

パワーオン状態後のデバイスへの書込みと設定は、次のシーケンスで行います。

1. 初期パワーオン後にハードウェア・リセットまたはソフトウェア・リセットを行います。
2. DC/DC コンバータ電源ブロックを設定します。DC/DC スイッチング周波数、最大許容出力電圧、チャンネル間の DC/DC コンバータ位相を設定します。
3. チャンネルごとに DAC コントロール・レジスタを設定します。出力範囲を選択し、DC/DC コンバータ・ブロックをイネーブルします(DC\_DC ビット)。他のコントロール・ビットも設定することができます。INT\_ENABLE ビットをセットしますが、OUTEN ビット(出力イネーブル)はセットしません。
4. DAC データ・レジスタにコードを書込みます。これにより内部でフル DAC キャリブレーションが実行されます。出力グリッチを小さくするため、最小 200  $\mu$ s 待った後にステップ5へ進みます。
5. 再度 DAC コントロール・レジスタへ書込みを行って、出力をイネーブルします(OUTEN ビットをセット)。

図 50 に、このシーケンスのフローチャートを示します。

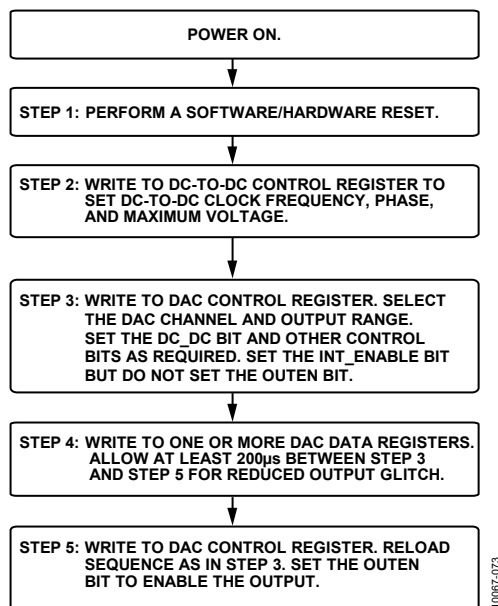


図 50. 出力のイネーブルを行う設定シーケンス

## 出力範囲の再設定

出力範囲を変更するときは、出力のイネーブルのセクションで説明した同じシーケンスを使用します。出力をディスエーブルする前に範囲を 0 V (ゼロ・スケールまたはミッドスケール) に設定することが推奨されます。DC/DC スイッチング周波数、最大出力電圧、位相が既に選択されているため、これらの値を再設定する必要はありません。図 51 に、このシーケンスのフローチャートを示します。

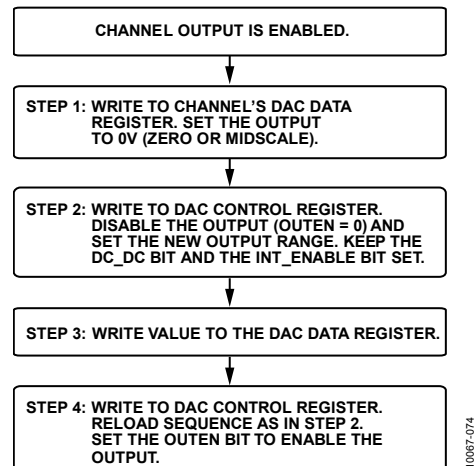


図 51. 出力範囲を変更する設定シーケンス

## データ・レジスタ

入力シフトレジスタは 24 ビット幅です。PEC をイネーブルすると、入力シフトレジスタは 32 ビット幅になり、後ろの 8 ビットが PEC コードに対応します (PEC の詳細については、[パケット・エラーのチェック](#) のセクションを参照してください)。データ・レジスタへの書き込みでは、表 10 に示すフォーマットを使う必要があります。

## DAC データ・レジスタ

DAC レジスタへの書き込みでは、ビット D15～ビット D4 が DAC データビットになります。表 12 にレジスタ・フォーマットを、表 11 にビット D23～ビット D16 の機能を、それぞれ示します。

表 10. データ・レジスタへの書込動作での入力シフトレジスタ

| MSB |         |         |       |       |       |         |         | LSB       |  |
|-----|---------|---------|-------|-------|-------|---------|---------|-----------|--|
| D23 | D22     | D21     | D20   | D19   | D18   | D17     | D16     | D15 to D0 |  |
| R/W | DUT_AD1 | DUT_AD0 | DREG2 | DREG1 | DREG0 | DAC_AD1 | DAC_AD0 | Data      |  |

表 11. データ・レジスタのビット[D23:D16]の説明

| Bit Name            | Description                                                                                                                                                                                                       |         |                          |                                                |
|---------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|--------------------------|------------------------------------------------|
| R/W                 | This bit indicates whether the addressed register is written to or read from.<br>0 = write to the addressed register.<br>1 = read from the addressed register.                                                    |         |                          |                                                |
| DUT_AD1, DUT_AD0    | Used in association with the external pins AD1 and AD0, these bits determine which <a href="#">AD5737</a> device is being addressed by the system controller.                                                     |         |                          |                                                |
|                     | DUT_AD1                                                                                                                                                                                                           | DUT_AD0 | Part Addressed           |                                                |
|                     | 0                                                                                                                                                                                                                 | 0       | Pin AD1 = 0, Pin AD0 = 0 |                                                |
|                     | 0                                                                                                                                                                                                                 | 1       | Pin AD1 = 0, Pin AD0 = 1 |                                                |
|                     | 1                                                                                                                                                                                                                 | 0       | Pin AD1 = 1, Pin AD0 = 0 |                                                |
|                     | 1                                                                                                                                                                                                                 | 1       | Pin AD1 = 1, Pin AD0 = 1 |                                                |
| DREG2, DREG1, DREG0 | These bits select the register to be written to. If a control register is selected (DREG[2:0] = 111), the CREG bits in the control register select the specific control register to be written to (see Table 19). |         |                          |                                                |
|                     | DREG2                                                                                                                                                                                                             | DREG1   | DREG0                    | Function                                       |
|                     | 0                                                                                                                                                                                                                 | 0       | 0                        | Write to DAC data register (one DAC channel)   |
|                     | 0                                                                                                                                                                                                                 | 0       | 1                        | Reserved                                       |
|                     | 0                                                                                                                                                                                                                 | 1       | 0                        | Write to gain register (one DAC channel)       |
|                     | 0                                                                                                                                                                                                                 | 1       | 1                        | Write to gain registers (all DAC channels)     |
|                     | 1                                                                                                                                                                                                                 | 0       | 0                        | Write to offset register (one DAC channel)     |
|                     | 1                                                                                                                                                                                                                 | 0       | 1                        | Write to offset registers (all DAC channels)   |
|                     | 1                                                                                                                                                                                                                 | 1       | 0                        | Write to clear code register (one DAC channel) |
|                     | 1                                                                                                                                                                                                                 | 1       | 1                        | Write to a control register                    |
| DAC_AD1, DAC_AD0    | These bits are used to specify the DAC channel. If a write to the part does not apply to a specific DAC channel, these bits are don't care bits.                                                                  |         |                          |                                                |
|                     | DAC_AD1                                                                                                                                                                                                           | DAC_AD0 | DAC Channel              |                                                |
|                     | 0                                                                                                                                                                                                                 | 0       | DAC A                    |                                                |
|                     | 0                                                                                                                                                                                                                 | 1       | DAC B                    |                                                |
|                     | 1                                                                                                                                                                                                                 | 0       | DAC C                    |                                                |
|                     | 1                                                                                                                                                                                                                 | 1       | DAC D                    |                                                |

表 12. DAC データ・レジスタの設定

| D23 | D22     | D21     | D20 | D19 | D18 | D17     | D16     | D15 to D4 | D3 to D0       |
|-----|---------|---------|-----|-----|-----|---------|---------|-----------|----------------|
| R/W | DUT_AD1 | DUT_AD0 | 0   | 0   | 0   | DAC_AD1 | DAC_AD0 | DAC data  | X <sup>1</sup> |

<sup>1</sup> X = don't care

### ゲイン・レジスタ

12 ビット・ゲイン・レジスタを使うと、各チャンネルのゲインを 1 LSB ステップで調整することができます。DAC チャンネルのゲイン・レジスタへ書込みを行うときは、DREG[2:0] ビットに 010 を設定します (表 13 参照)。4 個のすべての DAC チャンネルに同じゲイン・コードを同時に設定するときは、DREG[2:0] ビットに 011 を設定します。ゲイン・レジスタのコーディックはストレート・バイナリです (表 14 参照)。ゲイン・レジスタのデフォルト・コードは 0xFFFF です。精度を維持するため、推奨最大ゲイン調整は設定範囲の約 50% になります (詳細についてはオフセットとゲインのデジタル調整のセクション参照)。

### オフセット・レジスタ

12 ビット・オフセット・レジスタを使うと、各チャンネルのオフセットを -2048 LSB ~ +2047 LSB で 1 LSB ステップごとに調整することができます。DAC チャンネルのオフセット・レジスタへ書込みを行うときは、DREG[2:0] ビットに 100 を設定します (表 15 参照)。4 個のすべての DAC チャンネルに同じオフセッ

ト・コードを同時に設定するときは、DREG[2:0] ビットに 101 を設定します。オフセット・レジスタのコーディックはストレート・バイナリです (表 16 参照)。オフセット・レジスタのデフォルト・コードは 0x8000 で、これによりゼロ・オフセットが出力に設定されます (詳細については、オフセットとゲインのデジタル調整のセクション参照)。

### クリア・コード・レジスタ

12 ビット・クリア・コード・レジスタを使うと、各チャンネルのクリア値を設定することができます。CLEAR ピンをアクティブにしたときにチャンネルをクリアするように設定するときは、そのチャンネルの DAC コントロール・レジスタの CLR\_EN ビットをセットします (表 23 参照)。クリア・コード・レジスタに書込むときは、DREG[2:0] ビットに 110 を設定します (表 17 参照)。デフォルトのクリア・コードは 0x0000 です (詳細については非同期クリアのセクション参照)。

表 13. ゲイン・レジスタの設定

| R/W | DUT_AD1        | DUT_AD0 | DREG2 | DREG1 | DREG0 | DAC_AD1             | DAC_AD0 | D15 to D4       | D3 to D0 |
|-----|----------------|---------|-------|-------|-------|---------------------|---------|-----------------|----------|
| 0   | Device address |         | 0     | 1     | 0     | DAC channel address |         | Gain adjustment | 1111     |

表 14. ゲイン・レジスタ・ビットの説明

| Gain Adjustment | G15 | G14 | G13 to G5 | G4  | G3 to G0 |
|-----------------|-----|-----|-----------|-----|----------|
| +4096 LSB       | 1   | 1   | 11111111  | 1   | 1111     |
| +4095 LSB       | 1   | 1   | 11111111  | 0   | 1111     |
| ...             | ... | ... | ...       | ... | 1111     |
| 1 LSB           | 0   | 0   | 00000000  | 1   | 1111     |
| 0 LSB           | 0   | 0   | 00000000  | 0   | 1111     |

表 15. オフセット・レジスタの設定

| R/W | DUT_AD1        | DUT_AD0 | DREG2 | DREG1 | DREG0 | DAC_AD1             | DAC_AD0 | D15 to D4         | D3 to D0 |
|-----|----------------|---------|-------|-------|-------|---------------------|---------|-------------------|----------|
| 0   | Device address |         | 1     | 0     | 0     | DAC channel address |         | Offset adjustment | 0000     |

表 16. オフセット・レジスタ・ビットの説明

| Offset Adjustment       | OF15 | OF14 | OF13 | OF12 to OF5 | OF4 | OF3 to OF0 |
|-------------------------|------|------|------|-------------|-----|------------|
| +2047 LSB               | 1    | 1    | 1    | 11111111    | 1   | 0000       |
| +2046 LSB               | 1    | 1    | 1    | 11111111    | 0   | 0000       |
| ...                     | ...  | ...  | ...  | ...         | ... | 0000       |
| No Adjustment (Default) | 1    | 0    | 0    | 00000000    | 0   | 0000       |
| ...                     | ...  | ...  | ...  | ...         | ... | 0000       |
| -2047 LSB               | 0    | 0    | 0    | 00000000    | 1   | 0000       |
| -2048 LSB               | 0    | 0    | 0    | 00000000    | 0   | 0000       |

表 17. クリア・コード・レジスタの設定

| R/W | DUT_AD1        | DUT_AD0 | DREG2 | DREG1 | DREG0 | DAC_AD1             | DAC_AD0 | D15 to D4  | D3 to D0 |
|-----|----------------|---------|-------|-------|-------|---------------------|---------|------------|----------|
| 0   | Device address |         | 1     | 1     | 0     | DAC channel address |         | Clear code | 0000     |

## コントロール・レジスタ

コントロール・レジスタへの書込みでは、表 18 に示すフォーマットを使う必要があります。ビット D23～ビット D16 の設定については、表 11 を参照してください。コントロール・レジスタをアドレス指定するときは、DREG[2:0] ビット(入力シフトレジスタのビット[D20:D18])に 111 を設定し、次に該当するコントロール・レジスタを選択する CREG[2:0] ビットを設定します。

## メイン・コントロール・レジスタ

表 20 と表 21 に、メイン・コントロール・レジスタのオプションを示します。メイン・コントロール・レジスタから制御される機能については、デバイス機能のセクションを参照してください。

表 18. コントロール・レジスタへの書込動作での入力シフトレジスタ

| MSB |         |         |     |     |     |         |         |       |       |       | LSB       |
|-----|---------|---------|-----|-----|-----|---------|---------|-------|-------|-------|-----------|
| D23 | D22     | D21     | D20 | D19 | D18 | D17     | D16     | D15   | D14   | D13   | D12 to D0 |
| R/W | DUT_AD1 | DUT_AD0 | 1   | 1   | 1   | DAC_AD1 | DAC_AD0 | CREG2 | CREG1 | CREG0 | Data      |

表 19. コントロール・レジスタ・アドレス (CREG[2:0] ビット)

| CREG2 (D15) | CREG1 (D14) | CREG0 (D13) | Control Register                             |
|-------------|-------------|-------------|----------------------------------------------|
| 0           | 0           | 0           | Slew rate control register (one per channel) |
| 0           | 0           | 1           | Main control register                        |
| 0           | 1           | 0           | DAC control register (one per channel)       |
| 0           | 1           | 1           | DC-to-DC control register                    |
| 1           | 0           | 0           | Software register                            |

表 20. メイン・コントロール・レジスタの書込み

| D15 | D14 | D13 | D12 | D11      | D10 | D9  | D8  | D7             | D6             | D5        | D4       | D3 to D0       |
|-----|-----|-----|-----|----------|-----|-----|-----|----------------|----------------|-----------|----------|----------------|
| 0   | 0   | 1   | 0   | STATREAD | EWD | WD1 | WD0 | X <sup>1</sup> | X <sup>1</sup> | OUTEN_ALL | DCDC_ALL | X <sup>1</sup> |

<sup>1</sup> X = don't care

表 21. メイン・コントロール・レジスタ・ビットの説明

| Bit Name  | Description                                                                                                                                                                                                                                                      |     |                     |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|---------------------|
| STATREAD  | Enable status readback during a write. See the Status Readback During a Write section.<br>0 = disable status readback (default).<br>1 = enable status readback.                                                                                                  |     |                     |
| EWD       | Enable the watchdog timer. See the Watchdog Timer section.<br>0 = disable the watchdog timer (default).<br>1 = enable the watchdog timer.                                                                                                                        |     |                     |
| WD1, WD0  | Timeout select bits. Used to select the timeout period for the watchdog timer.                                                                                                                                                                                   |     |                     |
|           | WD1                                                                                                                                                                                                                                                              | WD0 | Timeout Period (ms) |
|           | 0                                                                                                                                                                                                                                                                | 0   | 5                   |
|           | 0                                                                                                                                                                                                                                                                | 1   | 10                  |
|           | 1                                                                                                                                                                                                                                                                | 0   | 100                 |
|           | 1                                                                                                                                                                                                                                                                | 1   | 200                 |
| OUTEN_ALL | Setting this bit to 1 enables the output on all four DACs simultaneously. Do not use the OUTEN_ALL bit when using the OUTEN bit in the DAC control register.                                                                                                     |     |                     |
| DCDC_ALL  | Setting this bit to 1 powers up the dc-to-dc converter on all four channels simultaneously. To power down the dc-to-dc converters, all channel outputs must first be disabled. Do not use the DCDC_ALL bit when using the DC_DC bit in the DAC control register. |     |                     |

## DACコントロール・レジスタ

DAC コントロール・レジスタを使って各 DAC チャンネルを設定します。表 22 と表 23 に、DAC コントロール・レジスタのオプションを示します。

表 22.DAC コントロール・レジスタの設定

| D15 | D14 | D13 | D12            | D11            | D10            | D9             | D8             | D7     | D6    | D5   | D4    | D3             | D2 | D1 | D0 |
|-----|-----|-----|----------------|----------------|----------------|----------------|----------------|--------|-------|------|-------|----------------|----|----|----|
| 0   | 1   | 0   | X <sup>1</sup> | X <sup>1</sup> | X <sup>1</sup> | X <sup>1</sup> | INT_ENAB<br>LE | CLR_EN | OUTEN | RSET | DC_DC | X <sup>1</sup> | R2 | R1 | R0 |

<sup>1</sup> X = don't care

表 23.DAC コントロール・レジスタ・ビットの説明

| Bit Name   | Description                                                                                                                                                                                                                                                                                                                                                                     |    |    |                             |
|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|----|-----------------------------|
| INT_ENABLE | Powers up the dc-to-dc converter, DAC, and internal amplifiers for the selected channel. This bit applies to individual channels only; it does not enable the output. After setting this bit, it is recommended that a >200 μs delay be observed before enabling the output to reduce the output enable glitch. See Figure 24 for plots of this glitch.                         |    |    |                             |
| CLR_EN     | Per-channel clear enable bit. This bit specifies whether the selected channel is cleared when the CLEAR pin is activated.<br>0 = channel is not cleared when the part is cleared (default).<br>1 = channel is cleared when the part is cleared.                                                                                                                                 |    |    |                             |
| OUTEN      | Enables or disables the selected output channel.<br>0 = channel disabled (default).<br>1 = channel enabled.                                                                                                                                                                                                                                                                     |    |    |                             |
| RSET       | Selects the internal current sense resistor or an external current sense resistor for the selected DAC channel.<br>0 = external resistor selected (default).<br>1 = internal resistor selected.                                                                                                                                                                                 |    |    |                             |
| DC_DC      | Powers up or powers down the dc-to-dc converter on the selected channel. All dc-to-dc converters can be powered up simultaneously using the DCDC_ALL bit in the main control register. To power down the dc-to-dc converter, the OUTEN and INT_ENABLE bits must also be set to 0.<br>0 = dc-to-dc converter is powered down (default).<br>1 = dc-to-dc converter is powered up. |    |    |                             |
| R2, R1, R0 | Selects the output range to be enabled.                                                                                                                                                                                                                                                                                                                                         |    |    |                             |
|            | R2                                                                                                                                                                                                                                                                                                                                                                              | R1 | R0 | Output Range Selected       |
|            | 0                                                                                                                                                                                                                                                                                                                                                                               | 0  | 0  | Reserved                    |
|            | 0                                                                                                                                                                                                                                                                                                                                                                               | 0  | 1  | Reserved                    |
|            | 0                                                                                                                                                                                                                                                                                                                                                                               | 1  | 0  | Reserved                    |
|            | 0                                                                                                                                                                                                                                                                                                                                                                               | 1  | 1  | Reserved                    |
|            | 1                                                                                                                                                                                                                                                                                                                                                                               | 0  | 0  | 4 mA to 20 mA current range |
|            | 1                                                                                                                                                                                                                                                                                                                                                                               | 0  | 1  | 0 mA to 20 mA current range |
|            | 1                                                                                                                                                                                                                                                                                                                                                                               | 1  | 0  | 0 mA to 24 mA current range |

## ソフトウェア・レジスタ

ソフトウェア・レジスタを使うと、デバイスのソフトウェア・リセットを実行することができます。このレジスタは、ステータス・レジスタのユーザ・トグル・ビット D11 を設定するとき、およびウォッチドッグ・タイマ機能(イネーブル時)の一部として使うこともできます。

ソフトウェア・レジスタのビットD12 は、MCUと [AD5737](#) の間の通信が失われていること、およびデータ・バス・ライン (SDIN、SCLK、SYNC)が正常に動作していることを保証するときに役立ちます。

ウォッチドッグ機能をイネーブルした場合、タイムアウト周期内にソフトウェア・レジスタのビット[D11:D0]に 0x195 を書き込む必要があります。このコマンドがタイムアウト周期内に受信されないと、ALERT ピンから故障状態が表示されます。このコマンドは、ウォッチドッグ・タイマ機能をイネーブルした場合にのみ必要です。

## DC/DCコントロール・レジスタ

DC/DC コントロール・レジスタを使うと、DC/DC スイッチング周波数、位相、最大許容 DC/DC 出力電圧を設定することができます。表 26 と表 27 に、DC/DC コントロール・レジスタのオプションを示します。

表 24.ソフトウェア・レジスタの設定

| D15 | D14 | D13 | D12          | D11 to D0           |
|-----|-----|-----|--------------|---------------------|
| 1   | 0   | 0   | User program | Reset code/SPI code |

表 25.ソフトウェア・レジスタ・ビットの説明

| Bit Name            | Description                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                         |
|---------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| User Program        | This bit is mapped to Bit D11 of the status register. When this bit is set to 1, Bit D11 of the status register is set to 1. When this bit is set to 0, Bit D11 of the status register is also set to 0. This feature can be used to ensure that the SPI pins are working correctly by writing a known bit value to this register and then reading back Bit D11 from the status register. |                                                                                                                                                                                                                                                         |
| Reset Code/SPI Code | Option                                                                                                                                                                                                                                                                                                                                                                                    | Description                                                                                                                                                                                                                                             |
|                     | Reset code<br>SPI code                                                                                                                                                                                                                                                                                                                                                                    | Writing 0x555 to Bits[D11:D0] performs a software reset of the <a href="#">AD5737</a> .<br>If the watchdog timer feature is enabled, 0x195 must be written to the software register (Bits[D11:D0]) within the programmed timeout period (see Table 21). |

表 26.DC/DC コントロール・レジスタの設定

| D15 | D14 | D13 | D12 to D7      | D6         | D5 to D4    | D3 to D2   | D1 to D0   |
|-----|-----|-----|----------------|------------|-------------|------------|------------|
| 0   | 1   | 1   | X <sup>1</sup> | DC-DC comp | DC-DC phase | DC-DC freq | DC-DC MaxV |

<sup>1</sup> X = don't care

表 27.DC/DC コントロール・レジスタ・ビットの説明

| Bit Name    | Description                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
|-------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| DC-DC Comp  | Selects the internal compensation resistor or an external compensation resistor for the dc-to-dc converter. See the DC-to-DC Converter Compensation Capacitors section and the AICC Supply Requirements—Slewing section.<br>0 = selects the internal 150 kΩ compensation resistor (default).<br>1 = bypasses the internal compensation resistor. When this bit is set to 1, an external compensation resistor must be used; this resistor is placed at the COMP <sub>DCDC_X</sub> pin in series with the 10 nF dc-to-dc compensation capacitor to ground. Typically, a resistor of ~50 kΩ is recommended. |
| DC-DC Phase | User-programmable dc-to-dc converter phase (between channels).<br>00 = all dc-to-dc converters clock on the same edge (default).<br>01 = Channel A and Channel B clock on the same edge; Channel C and Channel D clock on the opposite edge.<br>10 = Channel A and Channel C clock on the same edge; Channel B and Channel D clock on the opposite edge.<br>11 = Channel A, Channel B, Channel C, and Channel D clock 90° out of phase from each other.                                                                                                                                                   |
| DC-DC Freq  | Switching frequency for the dc-to-dc converter; this frequency is divided down from the internal 13 MHz oscillator (see Figure 45 and Figure 46).<br>00 = 250 kHz ± 10%.<br>01 = 410 kHz ± 10% (default).<br>10 = 650 kHz ± 10%.                                                                                                                                                                                                                                                                                                                                                                          |
| DC-DC MaxV  | Maximum allowed V <sub>BOOST_X</sub> voltage supplied by the dc-to-dc converter.<br>00 = 23 V + 1 V/–1.5 V (default).<br>01 = 24.5 V ± 1 V.<br>10 = 27 V ± 1 V.<br>11 = 29.5 V ± 1 V.                                                                                                                                                                                                                                                                                                                                                                                                                     |

## スルーレート制御レジスタ

このレジスタを使って、選択した DAC チャンネルのスルーレート制御を設定します。スルーレート制御はイネーブル/ディスエーブルされ、チャンネルごとに設定されます。詳細については、表 28 のセクションとスルーレート of デジタル制御 のセクションを参照してください。

## リードバック動作

シリアル入力レジスタへの書込みで、 $R/\overline{W}$  ビット = 1 を設定すると、リードバック・モードが開始されます。リードバック動作に関係するビットについては表 29 を参照してください。DUT\_AD1 ビットと DUT\_AD0 ビットをビット[RD4:RD0]と組み合わせて使って、読出すレジスタを選択します(表 30 参照)。書込みシーケンス内の残りのデータビットは無視されます。

次の SPI 転送時に SDO に出力されるデータに、前にアドレス指定したレジスタのデータが含まれています(図 4 参照)。この 2 番

目の SPI 転送は、3 番目のデータ転送でさらに別のレジスタを読出す要求であるか、または NOP コマンドである必要があります。DUT アドレス 00 に対する NOP コマンドは 0x1CE000 であり、他の DUT アドレスに対しては、ビット[D22:D21]が対応してセットされます。

## リードバックの例

AD5737 デバイス 1、チャンネルAのゲイン・レジスタをリードバックするときは、次のシーケンスに従います。

1. 入力レジスタへ 0xA80000 を書込んでデバイス・アドレス 1 を読出しモードに設定して、チャンネル A のゲイン・レジスタを選択します。データ・ビット D15～D0 は無視されます。
2. 次の読出しコマンドか NOP コマンド(0x3CE000)を実行します。このコマンドで、チャンネル A ゲイン・レジスタのデータが SDO ラインに出力されます。

表 28.スルーレート制御・レジスタの設定

| D15 | D14 | D13 | D12  | D11 to D7      | D6 to D3 | D2 to D0 |
|-----|-----|-----|------|----------------|----------|----------|
| 0   | 0   | 0   | SREN | X <sup>1</sup> | SR_CLOCK | SR_STEP  |

<sup>1</sup> X = don't care

表 29.読出し動作での入力シフトレジスタ

| MSB               |         |         |     |     |     |     |     | LSB            |
|-------------------|---------|---------|-----|-----|-----|-----|-----|----------------|
| D23               | D22     | D21     | D20 | D19 | D18 | D17 | D16 | D15 to D0      |
| R/ $\overline{W}$ | DUT_AD1 | DUT_AD0 | RD4 | RD3 | RD2 | RD1 | RD0 | X <sup>1</sup> |

<sup>1</sup> X = don't care

表 30.読出しアドレス (ビット[RD4:RD0])

| RD4 | RD3 | RD2 | RD1 | RD0 | Function                              |
|-----|-----|-----|-----|-----|---------------------------------------|
| 0   | 0   | 0   | 0   | 0   | Read DAC A data register              |
| 0   | 0   | 0   | 0   | 1   | Read DAC B data register              |
| 0   | 0   | 0   | 1   | 0   | Read DAC C data register              |
| 0   | 0   | 0   | 1   | 1   | Read DAC D data register              |
| 0   | 0   | 1   | 0   | 0   | Read DAC A control register           |
| 0   | 0   | 1   | 0   | 1   | Read DAC B control register           |
| 0   | 0   | 1   | 1   | 0   | Read DAC C control register           |
| 0   | 0   | 1   | 1   | 1   | Read DAC D control register           |
| 0   | 1   | 0   | 0   | 0   | Read DAC A gain register              |
| 0   | 1   | 0   | 0   | 1   | Read DAC B gain register              |
| 0   | 1   | 0   | 1   | 0   | Read DAC C gain register              |
| 0   | 1   | 0   | 1   | 1   | Read DAC D gain register              |
| 0   | 1   | 1   | 0   | 0   | Read DAC A offset register            |
| 0   | 1   | 1   | 0   | 1   | Read DAC B offset register            |
| 0   | 1   | 1   | 1   | 0   | Read DAC C offset register            |
| 0   | 1   | 1   | 1   | 1   | Read DAC D offset register            |
| 1   | 0   | 0   | 0   | 0   | Read DAC A clear code register        |
| 1   | 0   | 0   | 0   | 1   | Read DAC B clear code register        |
| 1   | 0   | 0   | 1   | 0   | Read DAC C clear code register        |
| 1   | 0   | 0   | 1   | 1   | Read DAC D clear code register        |
| 1   | 0   | 1   | 0   | 0   | Read DAC A slew rate control register |
| 1   | 0   | 1   | 0   | 1   | Read DAC B slew rate control register |
| 1   | 0   | 1   | 1   | 0   | Read DAC C slew rate control register |
| 1   | 0   | 1   | 1   | 1   | Read DAC D slew rate control register |
| 1   | 1   | 0   | 0   | 0   | Read status register                  |
| 1   | 1   | 0   | 0   | 1   | Read main control register            |
| 1   | 1   | 0   | 1   | 0   | Read dc-to-dc control register        |

## ステータス・レジスタ

ステータス・レジスタは読出し専用レジスタです。このレジスタには、故障情報、ランプ・アクティブ・ビット(ビット D9)、ユーザ・トグル・ビット(ビット D11)が格納されています。メイン・コントロール・レジスタの STATREAD ビットがセットされると、ステータス・レジスタ値を各書き込みシーケンスで SDO ピンからリードバックすることができます。あるいは、

STATREAD ビットをセットしない場合、ステータス・レジスタを通常のリードバック動作を使って読出すことができます(リードバック動作のセクション参照)。

表 31.ステータス・レジスタのデコーディング

| MSB    |        |        |        |             |           |             |           |                |                |                |                | LSB                      |                          |                          |                          |
|--------|--------|--------|--------|-------------|-----------|-------------|-----------|----------------|----------------|----------------|----------------|--------------------------|--------------------------|--------------------------|--------------------------|
| D15    | D14    | D13    | D12    | D11         | D10       | D9          | D8        | D7             | D6             | D5             | D4             | D3                       | D2                       | D1                       | D0                       |
| DC-DCD | DC-DCC | DC-DCB | DC-DCA | User toggle | PEC error | Ramp active | Over temp | X <sup>1</sup> | X <sup>1</sup> | X <sup>1</sup> | X <sup>1</sup> | I <sub>OUT_D</sub> fault | I <sub>OUT_C</sub> fault | I <sub>OUT_B</sub> fault | I <sub>OUT_A</sub> fault |

<sup>1</sup> X = don't care

表 32.ステータス・レジスタ・ビットの説明

| Bit Name                 | Description                                                                                                                                                                                                                                                                                                                                                      |
|--------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| DC-DCD                   | This bit is set if the dc-to-dc converter on Channel D cannot maintain compliance, for example, if the dc-to-dc converter is reaching its V <sub>MAX</sub> voltage; in this case, the I <sub>OUT_D</sub> fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information about the operation of this bit under this condition. |
| DC-DCC                   | This bit is set if the dc-to-dc converter on Channel C cannot maintain compliance, for example, if the dc-to-dc converter is reaching its V <sub>MAX</sub> voltage; in this case, the I <sub>OUT_C</sub> fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information about the operation of this bit under this condition. |
| DC-DCB                   | This bit is set if the dc-to-dc converter on Channel B cannot maintain compliance, for example, if the dc-to-dc converter is reaching its V <sub>MAX</sub> voltage; in this case, the I <sub>OUT_B</sub> fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information about the operation of this bit under this condition. |
| DC-DCA                   | This bit is set if the dc-to-dc converter on Channel A cannot maintain compliance, for example, if the dc-to-dc converter is reaching its V <sub>MAX</sub> voltage; in this case, the I <sub>OUT_A</sub> fault bit is also set. See the DC-to-DC Converter VMAX Functionality section for more information about the operation of this bit under this condition. |
| User Toggle              | User toggle bit. This bit is set or cleared via the software register and can be used to verify data communications, if needed.                                                                                                                                                                                                                                  |
| PEC Error                | Denotes a PEC error on the last data-word received over the SPI interface.                                                                                                                                                                                                                                                                                       |
| Ramp Active              | This bit is set while any output channel is slewing (digital slew rate control is enabled on at least one channel).                                                                                                                                                                                                                                              |
| Over Temp                | This bit is set if the <a href="#">AD5737</a> core temperature exceeds approximately 150°C.                                                                                                                                                                                                                                                                      |
| I <sub>OUT_D</sub> Fault | This bit is set if a fault is detected on the I <sub>OUT_D</sub> pin.                                                                                                                                                                                                                                                                                            |
| I <sub>OUT_C</sub> Fault | This bit is set if a fault is detected on the I <sub>OUT_C</sub> pin.                                                                                                                                                                                                                                                                                            |
| I <sub>OUT_B</sub> Fault | This bit is set if a fault is detected on the I <sub>OUT_B</sub> pin.                                                                                                                                                                                                                                                                                            |
| I <sub>OUT_A</sub> Fault | This bit is set if a fault is detected on the I <sub>OUT_A</sub> pin.                                                                                                                                                                                                                                                                                            |

## デバイス機能

### 故障出力

AD5737 には FAULT ピンがあります。このオープン・ドレイン出力ピンを使うと、複数の AD5737 デバイスを 1 本のプルアップ抵抗で接続してグローバル故障検出行うことができます。次に示す故障で FAULT ピンがアクティブになります。

- 断線または不十分な電源電圧のために  $I_{OUT,x}$  の電圧がコンプライアンス範囲を超えようとしているとき。故障出力を発生する内部回路では、ウィンドウ制限機能を持つコンパレータの使用を回避しています。これを使用すると、実際にエラーが出力されてしまった後に FAULT 出力がアクティブになるためです。その代わり、出力ステージの内蔵アンプが駆動能力の約 1V 下になったとき、信号を発生します。このため、FAULT 出力はコンプライアンス規定値に到達する少し前にアクティブになります。
- PEC エラーのためにインターフェース・エラーが検出されたとき (パケット・エラーのチェックのセクション参照)。
- AD5737 のコア温度が約 150°C を超えたとき。

ステータス・レジスタの  $I_{OUT,x}$  故障ビット、PEC エラー・ビット、温度上昇ビットと FAULT 出力との組み合わせを使って、FAULT 出力の発生原因となった故障状態が通知されます。

### オフセットとゲインのデジタル調整

各 DAC チャンネルにはゲイン(M)レジスタとオフセット(C)レジスタがあるため、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。DAC データ・レジスタからのデータは、M レジスタと C レジスタの値で制御されるデジタル乗算器と加算器で演算され、キャリブレーションされた DAC データは DAC 入力レジスタに格納されます(図 52 参照)。

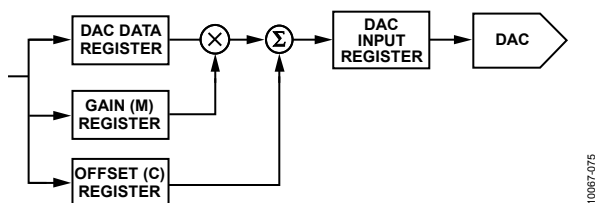


図 52. オフセットとゲインのデジタル調整

各チャンネルの乗算器と加算器のシンボルを図 52 に示してありますが、デバイス内には乗算器と加算器は各 1 個だけ存在し、全 4 チャンネル間で共用されます。これは、複数のチャンネルを 1 回で更新する際の更新速度に関係します(表 3 参照)。

データを M レジスタまたは C レジスタへ書込むごとに、出力は自動的に更新されません。その代わり、DAC チャンネルに対する次の書込みで、新しいゲイン値とオフセット値を使って、新しいキャリブレーションが行われ、チャンネルが自動的に更新されます。

キャリブレーションからの出力データは、DAC 入力レジスタに入力されます。この出力データは、シリアル・インターフェースのセクションに示すように DAC にロードされます。ゲイン・レジスタとオフセット・レジスタの分解能は 12 ビットです。ゲイン/オフセットの正しいキャリブレーション順序は、ゲインをキャリブレーションした後にオフセットをキャリブレーションすることです。

DAC 入力レジスタに書込まれる値 (10 進値) は次式で計算することができます。

$$Code_{DACRegister} = D \times \frac{(M+1)}{2^{12}} + C - 2^{11} \quad (1)$$

ここで、

D は DAC チャンネルの DAC データ・レジスタにロードされるコード。

M はゲイン・レジスタ内のコード (デフォルト・コード =  $2^{12} - 1$ )。C はオフセット・レジスタ内のコード (デフォルト・コード =  $2^{11}$ )。

### 書込み時のステータス・リードバック

AD5737 には、各書込みシーケンス中にステータス・レジスタ値を読み出す機能があります。この機能は、メイン・コントロール・レジスタの STATREAD ビットを使ってイネーブルします。この機能をイネーブルすると、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することができます。

書込みをイネーブルしたときのステータス・リードバックでは、16 ビットのステータス・レジスタ値 (表 32 参照) が、図 5 に示すように SDO ピンに出力されます。

AD5737 がパワーアップすると、書込み中のステータス・リードバック機能がディセーブルされます。この機能をイネーブルすると、ステータス・レジスタ以外のリードバック機能は使用できなくなります。他のレジスタをリードバックするときは、STATREAD ビットをクリアした後にリードバック・シーケンスを実行してください (リードバック動作のセクション参照)。このレジスタの読み出し後に STATREAD をハイ・レベルに戻すことができます。

### 非同期クリア

CLEAR はアクティブ・ハイのエッジ検出入力です。この入力を使うと、出力を予め設定した 12 ビット・コードにクリアすることができます。このコードは、チャンネルごとの 12 ビット・クリア・コード・レジスタを使ってユーザが設定します。

チャンネルをクリアするときは、そのチャンネルの DAC コントロール・レジスタの CLR\_EN ビットをセットします。チャンネルのクリア機能がイネーブルされていない場合には、CLEAR ピンのレベルに無関係に現在の出力状態が維持されます。

CLEAR 信号がロー・レベルに戻ると、対応する出力は新しい値が設定されるまでクリア状態を維持します。

## パケット・エラーのチェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、**AD5737** は 8 ビット(CRC-8)サイクリック冗長性チェックを採用したパケット・エラー・チェック機能のオプションを提供します。**AD5737** を制御するデバイスは、次の多項式を使って 8 ビット・フレーム・チェック・シーケンスを発生する必要があります。

$$C(x) = x_8 + x_2 + x_1 + 1$$

この値がデータ・ワードの終わりに追加されて 32 ビットが **AD5737** へ送信され、その後に SYNC がハイ・レベルにされます。**AD5737** が 32 ビットのデータ・フレームを受け取ると、SYNC がハイ・レベルになったときにエラー・チェックを実行します。エラー・チェックにパスすると、データが選択されたレジスタへ書込まれます。チェックに失敗すると、**FAULT** ピンがロー・レベルになり、ステータス・レジスタの PEC エラー・ビットがセットされます。ステータス・レジスタを読み出すと、**FAULT** はハイ・レベルに戻り(他の故障がない場合)、PEC エラー・ビットは自動的にクリアされます。

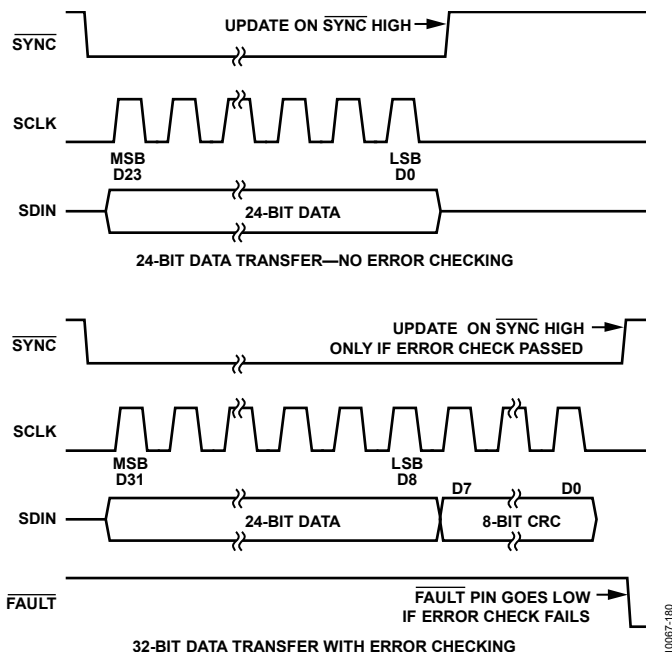


図 53. PEC のタイミング

パケット・エラー・チェックは、データ・パケットの送受信に使用することができます。書き込み中のステータス・リードバックがイネーブルされている場合、ステータス・リードバック動作中に返される PEC 値は無視する必要があります。書き込み中のステータス・リードバックがディスエーブルされている場合、通常のリードバック動作を使用してステータス・レジスタ動作を PEC によりモニタすることができます。

## ウォッチドッグ・タイマ

内蔵ウォッチドッグ・タイマをイネーブルすると、設定されたタイムアウト周期内にソフトウェア・レジスタに 0x195 が書込まれない場合にアラート信号が発生されます。この機能は、MCU と **AD5737** の間の通信が失われていないこと、およびデータ・バス・ライン(SDIN、SCLK、SYNC)が正常に動作していることを保証するときに役立ちます。0x195 がタイムアウト周期内に受信されないと、**ALERT** ピンから故障状態が表示されます。**ALERT** ピンはアクティブ・ハイであるため **CLEAR** ピンに直接接続して、MCU からの通信が失われたとき **CLEAR** ピンからクリアできるようにすることができます。

ウォッチドッグ・タイマをイネーブルし、タイムアウト周期 (5 ms、10 ms、100 ms、または 200 ms) を設定するときは、メイン・コントロール・レジスタを設定します(表 20 と表 21 を参照)。

## アラート出力

**AD5737** には **ALERT** ピンがあります。このピンはアクティブ・ハイの CMOS 出力です。また、**AD5737** はウォッチドッグ・タイマも内蔵しています。ウォッチドッグ・タイマをイネーブルすると、SPI 通信をモニタすることができます。タイムアウト周期内にソフトウェア・レジスタに 0x195 が受信されないと、**ALERT** ピンがアクティブになります。

## 内蔵リファレンス電圧

**AD5737** は 5 V のリファレンス電圧を内蔵しています。初期精度は最大  $\pm 5$  mV で温度係数は最大  $\pm 10$  ppm/°C です。このリファレンス電圧は外部でバッファすると、システム内で使用することができます。

## 電流設定外付け抵抗

図 48 に示す  $R_{SET}$  は、電圧/電流変換回路の一部を構成する内蔵検出抵抗です。温度に対する出力電流の安定性は、 $R_{SET}$  値の安定性に依存します。温度に対する出力電流の安定性を向上させるときは、内蔵抵抗  $R_{SET}$  ( $=R1$ ) をバイパスさせて、15 k $\Omega$  の外付け低ドリフト抵抗を **AD5737** の  $R_{SET\_X}$  ピンに接続します。外付け抵抗は、DAC コントロール・レジスタを使って選択することができます(表 23 参照)。

表 1 に、内蔵  $R_{SET}$  抵抗と外付け 15 k $\Omega$   $R_{SET}$  抵抗を使用する **AD5737** の性能仕様を示します。外付け  $R_{SET}$  抵抗を使用すると、内蔵  $R_{SET}$  抵抗使用の場合より性能を向上させることができます。外付け  $R_{SET}$  抵抗仕様では理想抵抗を仮定しています。実際の性能は使用する抵抗の絶対値と温度係数に依存します。これは、出力ゲイン誤差に直接影響するため、総合未調整誤差も影響を受けます。特定の外部  $R_{SET}$  抵抗を使った出力のゲイン/TUE 誤差を求めるときは、 $R_{SET}$  抵抗のパーセント絶対誤差を、外部  $R_{SET}$  抵抗を使用した **AD5737** の、表 1 (% FSR で表示) に示すゲイン/TUE 誤差に加算します。

## HART 接続

AD5737 には各出力チャンネルごとに 1 本、合計 4 本の CHART ピンがあります。HART 信号はこれらのピンに接続することができます。HART 信号は、出力がイネーブルされているとき、対応する電流出力に現れます。表 33 に、CHART ピンでの HART 信号に対する推奨入力電圧を示します。これらの電圧を使用する場合、電流出力は HART 振幅仕様を満たす必要があります。

表 33. HART 出力電流に対する CHART 入力電圧

| R <sub>SET</sub>          | CHART Input Voltage | Current Output (HART) |
|---------------------------|---------------------|-----------------------|
| Internal R <sub>SET</sub> | 150 mV p-p          | 1 mA p-p              |
| External R <sub>SET</sub> | 170 mV p-p          | 1 mA p-p              |

図 54 に、HART 信号を減衰させて接続する推奨回路を示します。1.2 kHz と 2.2 kHz の HART 周波数が出力で大幅に減衰させられないようにするためには、最小容量 C1 + C2 が必要とされます。推奨値は、C1 = 22 nF、C2 = 47 nF です。

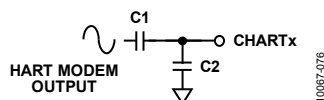


図 54. HART 信号の接続

HART 変化条件のアナログ・レートを満たすためには、出力スルーレートのデジタル的な制御が必要です。

## スルーレートのデジタル制御

AD5737 のデジタル・スルーレート制御機能により、出力値が変化するレートを制御することができます。スルーレート制御機能をディセーブルすると、出力値は出力駆動回路と接続された負荷で制限されるレートで変化します。スルーレートを小さくするときは、スルーレート・コントロール・レジスタの SREN ビットを使ってデジタル・スルーレート制御機能をイネーブルすることができます (表 28 参照)。

スルーレート制御をイネーブルすると、出力が 2 つ値の間で直接変化する代わりに、SR\_CLOCK パラメータと SR\_STEP パラメータで指定されるレートでデジタル的にステップ変化します。これらのパラメータは、スルーレート・コントロール・レジスタからアクセスすることができます (表 28 参照)。

- SR\_CLOCK はデジタル・スルーが更新されるレートを指定します。例えば、選択された更新レートが 8 kHz の場合、出力は 125 μs ごとに更新されます。
- SR\_STEP はこれと組み合わせて使い、各更新ごとの出力値の変化の大きさを指定します。

両パラメータにより出力値の変化レートが指定されます。表 34 と表 35 に、それぞれ SR\_CLOCK パラメータと SR\_STEP パラメータの値の範囲を示します。

表 34. スルーレート更新クロック・オプション

| SR_CLOCK | Update Clock Frequency <sup>1</sup> |
|----------|-------------------------------------|
| 0000     | 64 kHz                              |
| 0001     | 32 kHz                              |
| 0010     | 16 kHz                              |
| 0011     | 8 kHz                               |
| 0100     | 4 kHz                               |
| 0101     | 2 kHz                               |
| 0110     | 1 kHz                               |
| 0111     | 500 Hz                              |
| 1000     | 250 Hz                              |
| 1001     | 125 Hz                              |
| 1010     | 64 Hz                               |
| 1011     | 32 Hz                               |
| 1100     | 16 Hz                               |
| 1101     | 8 Hz                                |
| 1110     | 4 Hz                                |
| 1111     | 0.5 Hz                              |

<sup>1</sup> これらのクロック周波数は内蔵発振器からの 13 MHz を分周したものです (表 1、図 45、図 46 参照)。

表 35. スルーレート・ステップ・サイズ・オプション

| SR_STEP | Step Size (LSB) |
|---------|-----------------|
| 000     | 1               |
| 001     | 2               |
| 010     | 4               |
| 011     | 16              |
| 100     | 32              |
| 101     | 64              |
| 110     | 128             |
| 111     | 256             |

次式は、スルーレートをステップ・サイズ、更新クロック周波数、LSB サイズの関数として表します。

$$Slew Rate = \frac{Output\ Change}{Step\ Size \times Update\ Clock\ Frequency \times LSB\ Size}$$

ここで、

Slew Rate の単位は sec です。

Output Change の単位はアンペア。

与えられた値に対する更新クロック周波数は、すべての出力範囲に対して同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これは LSB サイズが各出力範囲で異なるためです。

スルーレート制御機能をイネーブルすると、すべての出力変化が設定されたスルーレートで変化します (詳細については、DC/DC コンバータのセトリング・タイムのセクション参照)。例えば、CLEAR ピンがアサートされた場合、出力は設定されたスルーレートでクリア値まで変化します (チャンネルをクリアできるようにイネーブルしている場合)。

複数のチャンネルがスルーレート制御できるようにイネーブルされている場合は、CLEAR ピンをアサートするときに注意が必要です。CLEAR がアサートされたときチャンネルの 1 つが変化している場合、他のチャンネルはスルーレート制御を受けずにクリア値に向かって直接変化します。

## ダイナミック消費電力制御

AD5737 は DC/DC ブースト・コンバータ回路を使用したダイナミック消費電力制御機能を内蔵しています。この回路により、標準デザインより消費電力が削減されます。

標準的な電流入力モジュール・デザインでは、負荷抵抗値は  $50\ \Omega$  ~  $750\ \Omega$  の範囲とすることができます。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすため十分な電圧を供給する必要があります。例えば、 $4\ \text{mA}$  ~  $20\ \text{mA}$  ループで  $20\ \text{mA}$  を駆動する場合、コンプライアンス電圧は  $15\ \text{V}$  より大きい必要があります。 $50\ \Omega$  負荷で  $20\ \text{mA}$  駆動の場合、要求されるコンプライアンスは僅か  $1\ \text{V}$  です。

AD5737 回路は、出力電圧を検出して、コンプライアンス条件と小さいヘッドルーム電圧を満たすように、この電圧をレギュレーションします。AD5737 は  $1\ \text{k}\Omega$  の負荷を介して最大  $24\ \text{mA}$  を駆動することができます。

## DC/DC コンバータ

AD5737 は 4 個の独立な DC/DC コンバータを内蔵しています。これらを使って、各チャンネルに対する  $V_{\text{BOOST}_x}$  電源電圧のダイナミック制御を行います (図 48 参照)。図 55 に、DC/DC 回路に必要なとされるディスクリート部品を示します。次のセクションでは、部品の選択とこの回路の動作について説明します。

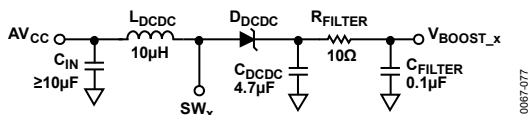


図 55. DC/DC 回路

表 36. DC/DC コンバータ用の推奨部品

| Symbol            | Component          | Value               | Manufacturer |
|-------------------|--------------------|---------------------|--------------|
| $L_{\text{DCDC}}$ | XAL4040-103        | $10\ \mu\text{H}$   | Coilcraft®   |
| $C_{\text{DCDC}}$ | GRM32ER71H475KA88L | $4.7\ \mu\text{F}$  | Murata       |
| $D_{\text{DCDC}}$ | PMEG3010BEA        | $0.285\ \text{V}_F$ | NXP          |

$C_{\text{DCDC}}$  の後ろに  $10\ \Omega$ 、 $100\ \text{nF}$  のローパス RC フィルタを接続することが推奨されます。このフィルタは小さい電力を消費しますが、 $V_{\text{BOOST}_x}$  電源のリップルを削減します。

## DC/DC コンバータの動作

内蔵 DC/DC コンバータでは、AD5737 出力チャンネルを駆動する  $4.5\ \text{V}$  ~  $5.5\ \text{V}$  の  $AV_{\text{CC}}$  入力を昇圧する固定周波数のピーク電流モード制御方式を採用しています。これらのコンバータは、デューティ・サイクルが 90% (typ) より小さい不連続導通モードで動作するようにデザインされています。不連続導通モードとは、スイッチング・サイクルのかかりの時間インダクタ電流がゼロになる動作モードを意味します。DC/DC コンバータは非同期であるため、外付けショットキー・ダイオードが必要です。

## DC/DC コンバータの出力電圧

チャンネル電流出力をイネーブルすると、コンバータが  $V_{\text{BOOST}_x}$  電源を  $7.4\ \text{V}$  ( $\pm 5\%$ ) または  $(I_{\text{OUT}} \times R_{\text{LOAD}} + \text{ヘッドルーム})$  のいずれか大きい方にレギュレーションします (ヘッドルーム対出力電流のプロットについては図 30 を参照)。出力をディスエーブルすると、コンバータは  $V_{\text{BOOST}_x}$  電源を  $7.4\ \text{V}$  ( $\pm 5\%$ ) にレギュレーションします。

## DC/DC コンバータのセトリング・タイム

約  $1\ \text{V}$  ( $I_{\text{OUT}} \times R_{\text{LOAD}}$ ) より大きいステップに対するセトリング・タイムは DC/DC コンバータのセトリング・タイムにより支配されます。これに対する例外は、 $I_{\text{OUT}_x}$  ピンに必要な電圧とコンプライアンス電圧の和が  $7.4\ \text{V}$  ( $\pm 5\%$ ) を下回るとき発生します。図 25 に、出力セトリング・タイムのプロット (typ 値) を示します。このプロットは  $1\ \text{k}\Omega$  負荷に対するものです。小さい負荷のセトリング・タイムほど高速になります。 $24\ \text{mA}$  より小さい電流ステップに対するセトリング・タイムも高速になります。

## DC/DC コンバータ $V_{\text{MAX}}$ の機能

最大  $V_{\text{BOOST}_x}$  電圧は DC/DC コントロール・レジスタに設定されます ( $23\ \text{V}$ 、 $24.5\ \text{V}$ 、 $27\ \text{V}$ 、または  $29.5\ \text{V}$ 、表 27 参照)。この最大電圧に到達すると、DC/DC コンバータがディスエーブルされるため、 $V_{\text{BOOST}_x}$  電圧は約  $0.4\ \text{V}$  だけ減少することができます。 $V_{\text{BOOST}_x}$  電圧が約  $0.4\ \text{V}$  減少すると、DC/DC コンバータが再イネーブルされるため、電圧は  $V_{\text{MAX}}$  に戻ることができます (まだ必要とされる場合)。この動作を図 56 に示します。

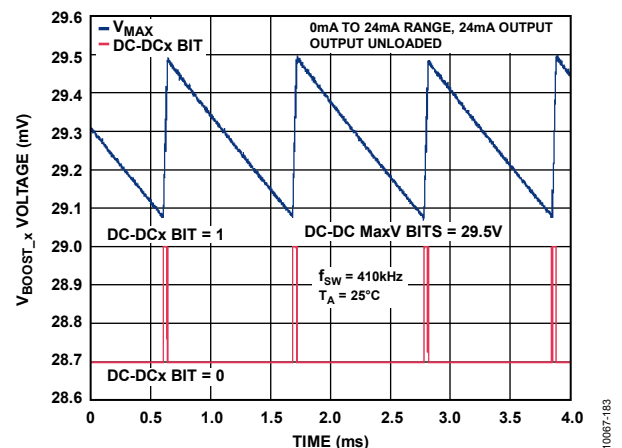


図 56.  $V_{\text{MAX}}$  に到達したときの動作

図 56 に示すように、AD5737 が  $V_{\text{MAX}}$  値まで上昇したとき、ステータス・レジスタの DC-DCx ビットがアサートされますが、電圧が  $V_{\text{MAX}}$  より約  $0.4\ \text{V}$  低くなるとこのビットのアサートは解除されます。

### DC/DCコンバータの内蔵スイッチ

**AD5737** は 0.425  $\Omega$  のスイッチを内蔵しています。このスイッチの電流は、パルスごとにモニタされて、0.8 A のピーク電流に制限されます。

### DC/DCコンバータのスイッチング周波数と位相

**AD5737** DC/DCコンバータのスイッチング周波数は、DC/DCコントローラ・レジスタから設定することができます(表 27 参照)。DC/DCコンバータが異なるクロック・エッジで動作できるように、チャンネルの位相を調整できるようになっています。一般的なアプリケーションに対しては、410 kHz 周波数の使用が推奨されます。負荷が軽いとき(低出力電流で低負荷抵抗)、DC/DCコンバータはパルス・スキップ・モードになって、スイッチング消費電力を小さくします。

### DC/DCコンバータのインダクタの選択

4 mA ~ 20 mA の一般的なアプリケーションの場合、10  $\mu$ H のインダクタ(例えば Coilcraft 社の XAL4040-103)をスイッチング周波数 410 kHz で使用すると、4.5 V ~ 5.5 V の  $AV_{CC}$  電源で最大 1 k $\Omega$  の負荷抵抗に最大 24 mA を供給することができます。特に最大周囲温度でサチレーションなしにインダクタがピーク電流を処理できることが重要です。インダクタがサチレーション・モードになると、効率が低下します。また、サチレーション時にはインダクタンス値も小さくなるため、DC/DC コンバータ回路は必要な出力電力を供給できなくなります。

### DC/DCコンバータの外付けショットキー・ダイオードの選択

**AD5737** には外付けショットキー・ダイオードが必要です。ショットキー・ダイオードが動作中に予想される最大逆方向ブレイクダウン電圧を処理できる定格であること、およびダイオードの最大ジャンクション温度を超えないことを確認してください。ダイオード平均電流は  $I_{LOAD}$  電流にほぼ等しくなります。順方向電圧降下が大きいダイオードでは、効率が低下します。

### DC/DCコンバータの補償コンデンサ

DC/DCコンバータは不連続導通モードで動作するため、無補償伝達関数は 1 極の伝達関数になります。伝達関数の極周波数は、DC/DCコンバータの出力容量、入力電圧、出力電圧、出力負荷により決定されます。**AD5737** では、レギュレータ・ループの補償に外付けコンデンサと内蔵 150 k $\Omega$  抵抗の組み合わせを使っています。

あるいは、DC/DC コントローラ・レジスタの DC-DC Comp ビットをセットして、外付け補償抵抗と補償コンデンサの直列接続を使うこともできます(表 27 参照)。この場合、約 50 k $\Omega$  抵抗の使用が推奨されます。この構成の利点は、 $AI_{CC}$  電源要求—変化時のセクションで説明します。一般的なアプリケーションでは、10 nF DC/DC 補償コンデンサの使用が推奨されます。

### DC/DCコンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサは DC/DC コンバータのリプル電圧に影響を与えるため、チャンネル出力電流が増加する最大スルーレートが間接的に制限されます。リプル電圧はコンデンサの容量と等価直列抵抗(ESR)の組み合わせによって発生します。一般的なアプリケーションでは 4.7  $\mu$ F のセラミック・コンデンサの使用が推奨されます。大きなコンデンサまたは並列接続のコンデンサにより、スルーレートは犠牲になりますがリプル性能を向上させることができます。また、大きなコンデンサは変化時の  $AV_{CC}$  電源電流要求に影響を与えます( $AI_{CC}$  電源要求—変化時のセクション参照)。DC/DC コンバータ出力のこの容量は、すべての動作条件で 3  $\mu$ F より大きい必要があります。

入力コンデンサはDC/DCコンバータに必要とされるダイナミック電流の大部分を供給するため、低ESRの部品である必要があります。**AD5737** の場合、一般的なアプリケーションでは低ESRの 10  $\mu$ F タンタルまたはセラミック・コンデンサの使用が推奨されます。セラミック・コンデンサは、DCバイアス電圧と温度に敏感なため注意深く選択する必要があります。X5RまたはX7R誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低ESR値になるよう注意する必要があります。

### $AI_{CC}$ 電源要求—スタティック

DC/DC コンバータは、次の  $V_{BOOST\_X}$  電圧を供給するようにデザインされています。

$$V_{BOOST\_X} = I_{OUT} \times R_{LOAD} + Headroom \quad (2)$$

ヘッドルーム対出力電流のプロットについては、図 30 を参照してください。このため、固定の負荷と出力電圧の場合、DC/DC コンバータの出力電流は次式で計算することができます。

$$AI_{CC} = \frac{Power\ Out}{Efficiency \times AV_{CC}} = \frac{I_{OUT} \times V_{BOOST}}{\eta_{V_{BOOST}} \times AV_{CC}} \quad (3)$$

ここで、  
 $I_{OUT}$  はアンプ内での  $I_{OUT\_X}$  からの出力電流。  
 $\eta_{V_{BOOST}}$  は  $V_{BOOST\_X}$  での効率(図 32 と図 33 参照)。

## AI<sub>CC</sub>電源要求—変化時

変化時の AI<sub>CC</sub> 電流要求は、DC/DC コンバータの出力容量を充電するために出力電力が増加するので、スタティック動作より大きくなります。図 57 のセクションで説明した方法により AV<sub>CC</sub> 電源の要求が小さくなりますが、この過渡電流は非常に大きくなることがあります (AI<sub>CC</sub> 電流要求の軽減参照)。

AI<sub>CC</sub> 電流の供給が十分でないと、AV<sub>CC</sub> 電圧が低下します。この AV<sub>CC</sub> 低下のために、変化に必要な AI<sub>CC</sub> 電流がさらに増えて、AV<sub>CC</sub> 電圧がさらに低下します(式 3 参照)。この場合、V<sub>BOOST\_X</sub> 電圧(したがって出力電圧)は、目標値に到達することはありません。この AV<sub>CC</sub> 電圧はすべてのチャンネルに共通であるため、他のチャンネルにも影響を与えます。

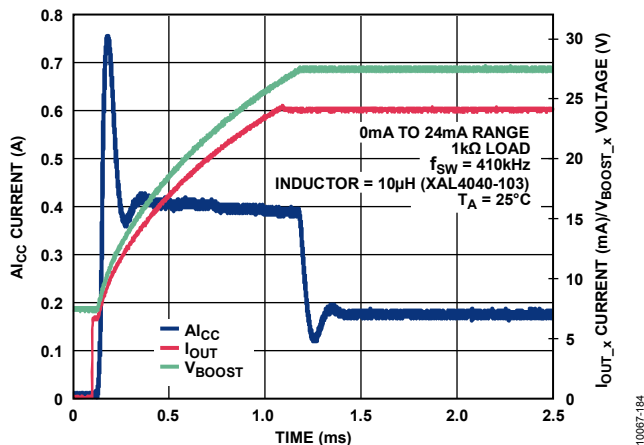


図 57. 1kΩ 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、外付け補償抵抗使用

## AI<sub>CC</sub> 電流要求の軽減

AI<sub>CC</sub> 電流要求の軽減に使用できる主な方法は 2 つあります。1 つ目は外付け補償抵抗を接続する方法で、2 つ目はスルーレート制御を使用する方法です。これらの方法は組み合わせて使用することができます。

## 外付け補償抵抗の接続

補償抵抗を 10 nF 補償コンデンサと直列に COMP<sub>DCDC\_X</sub> ピンに接続することができます。51 kΩ の外付け補償抵抗の使用が推奨されます。この補償により電流出力のスルー・タイムが大きくなりますが、AI<sub>CC</sub> 過渡電流要求が軽減されます。図 58 に、51 kΩ の補償抵抗を使用した場合の、1 kΩ 負荷を介した 24 mA ステップに対する AI<sub>CC</sub> 電流のプロットを示します。補償抵抗により、小さい負荷を流れる電流要求がさらに軽減されます(図 59 参照)。

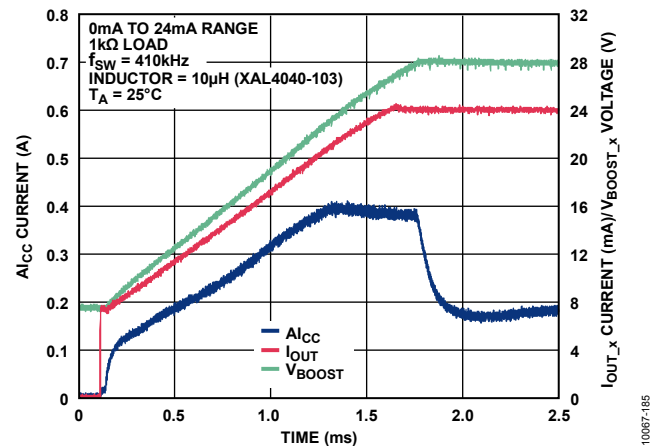


図 58. 1 kΩ 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、51 kΩ 外付け補償抵抗使用

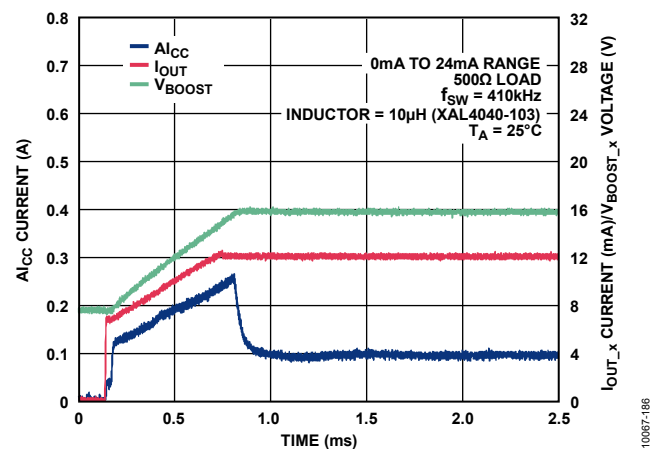


図 59. 500 Ω 負荷を流れる 24 mA ステップ変化に対する AI<sub>CC</sub> 電流の時間変化、51 kΩ 外付け補償抵抗使用

## スルーレート制御の使用

スルーレート制御を使用すると、図 60 に示すように  $AV_{CC}$  電源の電流要求を大幅に軽減することができます。

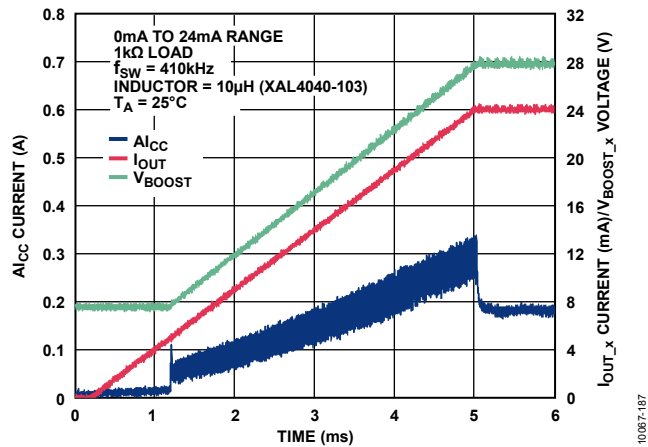


図 60. 1k $\Omega$  負荷を流れる 24 mA ステップ変化に対する  $AI_{CC}$  電流の時間変化、スルーレート制御使用

スルーレート制御を使用する場合、出力は DC/DC コンバータより高速に変化できないことに注意する必要があります。DC/DC コンバータの変化は、大きな負荷(例えば 1 k $\Omega$ )を流れる電流が大きいほど低速になります。また、このスルーレートは DC/DC コンバータの構成にも依存します。図 58 と図 59 に、DC/DC コンバータ出力変化の 2 つの例を示します( $V_{BOOST}$  は DC/DC コンバータ出力電圧に対応します)。

## 外付けPMOS モード

AD5737 は、チャンネルごとに外付け PMOS トランジスタを使用して使うことができます(図 61 参照)。このモードを使って AD5737 の内部消費電力を制限できますが、これによりシステム全体の消費電力は削減されません。ダイナミック電力制御機能を使う際、一般に IGATE<sub>x</sub> 機能は必要ないため、図 61 に固定  $V_{BOOST\_x}$  電源に対するデバイス構成を示します。

この構成では、 $SW_x$  ピンをフローティングのままにし、 $GNDSW_x$  ピンをグラウンドに接続します。 $V_{BOOST\_x}$  ピンは 7.4 V の最小電源電圧と 33 V の最大電源電圧に接続します。この電源は、駆動に必要な最大負荷に従ってサイズを決めることができます。

IGATE<sub>x</sub> 機能は、外付け PMOS トランジスタのゲートを ( $V_{BOOST\_x} - 5$  V) に維持することにより機能します。これは、チャンネル消費電力の大部分がこの外付け PMOS トランジスタで生ずることを意味しています。

外付け PMOS トランジスタは、少なくとも  $V_{BOOST\_x}$  の  $V_{DS}$  電圧に耐え、必要とされる消費電力を処理できるように選択する必要があります。一般に、この外付け PMOS トランジスタの電流出力性能に対する影響は小さいものです。

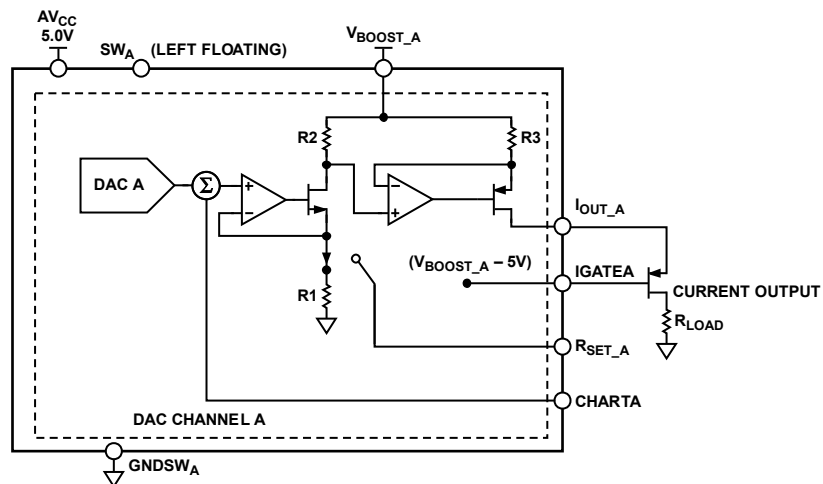


図 61. IGATE<sub>x</sub> を使用するチャンネル A の構成

## アプリケーション情報

### 内蔵R<sub>SET</sub>を使う電流出力モード

内蔵 R<sub>SET</sub> 抵抗を使う場合、イネーブルされている内蔵 R<sub>SET</sub> を使う他のチャンネルの数により、およびこれらのチャンネルからの DC クロストークにより、出力が大きな影響を受けます。表 1 に示す内部 R<sub>SET</sub> 仕様は、内蔵 R<sub>SET</sub> を使用し、同じコードを出力する 4 チャンネルすべてをイネーブルする場合です。

イネーブルされた内蔵 R<sub>SET</sub> を使用する各チャンネルに対して、オフセット誤差が小さくなります。例えば、内蔵 R<sub>SET</sub> 使用のイネーブルされた 1 つの電流出力では、オフセット誤差は 0.075% FSR です。この値はイネーブルされる電流チャンネル数に比例して小さくなります。2 チャンネルの各々ではオフセット誤差が 0.056% FSR になり、3 チャンネルの各々では 0.029% FSR に、4 チャンネルの各々では 0.01% FSR に、それぞれなります。

同様に、内蔵 R<sub>SET</sub> を使用する場合の DC クロストークは、内蔵 R<sub>SET</sub> を使用するイネーブルされた電流出力チャンネル数に比例します。例えば、測定チャンネルが 0x8000 にあり、別のチャンネルがゼロからフルスケールへ変化する場合、DC クロストークは -0.011% FSR になります。他の 2 つのチャンネルがゼロからフルスケールに変化する場合には DC クロストークは -0.019% FSR になり、他の 3 チャンネルすべてがゼロからフルスケールに変化する場合は、-0.025% FSR になります。

表 1 に示すフルスケール誤差測定では、すべてのチャンネルが 0xFFFF に設定されています。これは、あるチャンネルがゼロスケールになると、DC クロストークのためにフルスケール誤差が大きくなることを意味しています。例えば、測定チャンネルが 0xFFFF にあり、3 チャンネルがゼロスケールのとき、フルスケール誤差は 0.025% FSR になります。同様に、1 チャンネルのみがイネーブルされ、かつ内蔵 R<sub>SET</sub> を使っている場合、フルスケール誤差は 0.025% FSR + 0.075% FSR = 0.1% FSR になります。

### 高精度リファレンス電圧の選択

フル動作温度範囲で AD5737 の最適性能を実現するためには、高精度のリファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。リファレンス入力に加えられる電圧は、バッファ済みリファレンス電圧を DAC コアへ供給するために使われます。このため、リファレンス電圧の誤差は AD5737 の出力に影響を与えます。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、長時間ドリフト、出力電圧の温度係数、出力電圧ノイズの 4 つがあります。

外部リファレンスの出力電圧の初期精度誤差により、DAC 内でフルスケール誤差が発生します。これらの誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR435 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。この調整機能は、誤差をなくすため任意の温度で使用できます。

長時間ドリフトは、リファレンス出力電圧の時間的なドリフトの大きさを表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

リファレンス出力電圧の温度係数は、INL、DNL、TUE に影響を与えます。DAC 出力電圧の周囲温度に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。システム分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR435 (XFET® デザイン) のような高精度リファレンス電圧は、0.1 Hz ~ 10 Hz 帯域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広くなると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

### 誘導負荷の駆動

誘導負荷または低品質負荷を駆動する場合は、I<sub>OUT\_X</sub> ピンと AGND ピンの間にコンデンサの接続が必要になります。I<sub>OUT\_X</sub> と AGND の間に 0.01 μF のコンデンサを接続すると、50 mH 負荷の安定性が確実になります。負荷の容量成分によりセトリングが低速になることがあります。AD5737 のセトリング・タイムによりマスクすることができます。AD5737 の電流出力に対して最大容量の制限はありません。

表 37. 推奨高精度リファレンス電圧

| Part No. | Initial Accuracy<br>(mV Maximum) | Long-Term Drift<br>(ppm Typical) | Temperature Coefficient<br>(ppm/°C Maximum) | 0.1 Hz to 10 Hz Noise<br>(μV p-p Typical) |
|----------|----------------------------------|----------------------------------|---------------------------------------------|-------------------------------------------|
| ADR445   | ±2                               | 50                               | 3                                           | 2.25                                      |
| ADR02    | ±3                               | 50                               | 3                                           | 10                                        |
| ADR435   | ±2                               | 40                               | 3                                           | 8                                         |
| ADR395   | ±5                               | 50                               | 9                                           | 8                                         |
| AD586    | ±2.5                             | 15                               | 10                                          | 4                                         |

## 過渡電圧保護

**AD5737** はESD保護ダイオードを内蔵しているため、通常の取り扱いによる損傷を防止しますが、工業用制御環境では、I/O回路が大きな過渡電圧に遭遇することがあります。高い過渡電圧から **AD5737** を保護するため、外付けパワー・ダイオードとサージ電流制限抵抗( $R_P$ )が必要となります(図 62 参照)。 $R_P$ のtyp値は  $10\Omega$ です。2本の保護ダイオードと抵抗( $R_P$ )は適切な電力定格を持っている必要があります。

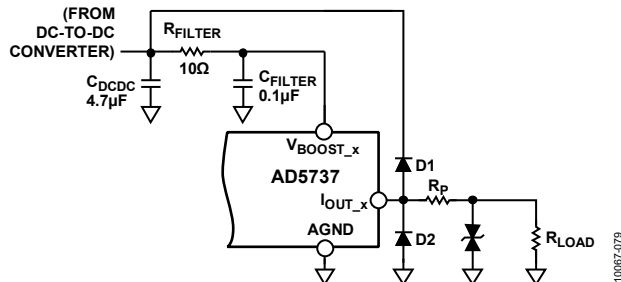


図 62. 出力過渡電圧保護機能

トランソープとも呼ばれる過渡電圧サプレッサ (TVS)を使うと、さらに保護を強化することができます。これらの部品は単方向サプレッサ (正の高電圧過渡に対する保護)と双方向サプレッサ (正と負の高電圧過渡に対する保護)として提供されています。過渡電圧サプレッサは、広範囲なスタンドオフ電圧とブレイクダウン電圧定格で提供されています。TVS のサイズは、できるだけ低いブレイクダウン電圧を持ち、かつ電流出力の動作範囲で導通しないものとする必要があります。

すべてのフィールドの接続ノードを保護することが推奨されます。

## マイクロプロセッサ・インターフェース

マイクロプロセッサと **AD5737** とのインターフェースは、マイクロコントローラとDSPプロセッサに対して互換性を持つプロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、ラッチ信号から構成される3線式の最小インターフェースです。**AD5737** では24ビット・ワードを使い、データはSCLKの立下がりエッジで有効になります。

DAC 出力の更新は、 $\overline{\text{LDAC}}$  の立上がりエッジ、または  $\overline{\text{LDAC}}$  がロー・レベルに維持される場合には  $\overline{\text{SYNC}}$  の立上がりエッジで開始されます。レジスタの値は、リードバック機能を使って読出すことができます。

## AD5737 と ADSP-BF527 とのインターフェース

**AD5737** は、アナログ・デバイゼスのBlackfin® DSPである **ADSP-BF527** のSPORTインターフェースへ直接接続することができます。図 63 に、**AD5737** を制御するためにSPORTインターフェースと接続する方法を示します。

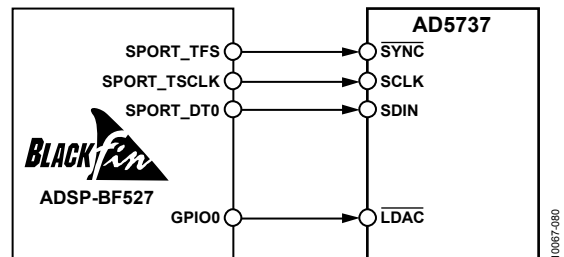


図 63. AD5737 と ADSP-BF527 SPORT とのインターフェース

## レイアウトのガイドライン

### グラウンド接続

精度が重要な回路では、電源とグラウンド・リターンのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。**AD5737** を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内で **AD5737** を使用する場合は、この接続は1ヵ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

GNDSW<sub>x</sub> ピンと AV<sub>CC</sub> 電源のグラウンド接続は PGND と呼んでいます。PGND はボードの一定領域にまとめ、PGND—AGND 間接続は1点で行う必要があります。

### 電源のデカップリング

**AD5737** に対しては、 $10\mu\text{F}$ と  $0.1\mu\text{F}$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。 $10\mu\text{F}$ のコンデンサはタンタルのビーズ型を使います。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・バスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

## パターン

AD5737 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの影響を小さくする必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDINラインとSCLKラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。REFINラインのノイズはDAC出力に混入するため、ここのノイズを小さくすることは不可欠です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

## DC/DCコンバータ

高効率、優れたレギュレーション、安定性を実現するためには、プリント回路ボードの正しいレイアウトが必要です。

プリント回路ボードをデザインする際には次のガイドラインに従ってください(図 55 参照)。

- 低 ESR の入力コンデンサ  $C_{IN}$  を  $AV_{CC}$  と PGND の近くに配置します。
- $C_{IN}$  からインダクタ  $L_{DCDC}$  を経て  $SW_x$  および PGND までの高電流パスをできるだけ短くします。
- $C_{IN}$  からインダクタ  $L_{DCDC}$ 、ダイオード  $D_{DCDC}$ 、出力コンデンサ  $C_{DCDC}$  までの高電流パスをできるだけ短くします。

- 高電流パターンをできるだけ短くかつ太くします。 $C_{IN}$  からインダクタ  $L_{DCDC}$  を経て  $SW_x$  および PGND までのパスで、最小でも 1 A を流せるようにします。
- 補償部品を  $COMP_{DCDC_x}$  ピンのできるだけ近くに配置します。
- 放射ノイズの混入を防止するため、 $SW_x$  に接続するすべてのノードの近く、またはインダクタの近くをハイ・インピーダンス・パターンが通過しないようにします。

## 電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイセズの iCoupler® 製品は、2.5 kV を超える電圧アイソレーションを提供することができます。AD5737 はシリアル・ローディング構造を採用しているため、インターフェース線数が最小で済むので、インターフェースのアイソレーションに最適です。図 64 に、ADuM1411 を使用した、AD5737 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/jp> をご覧ください。

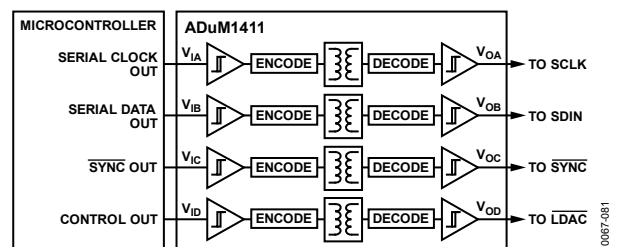
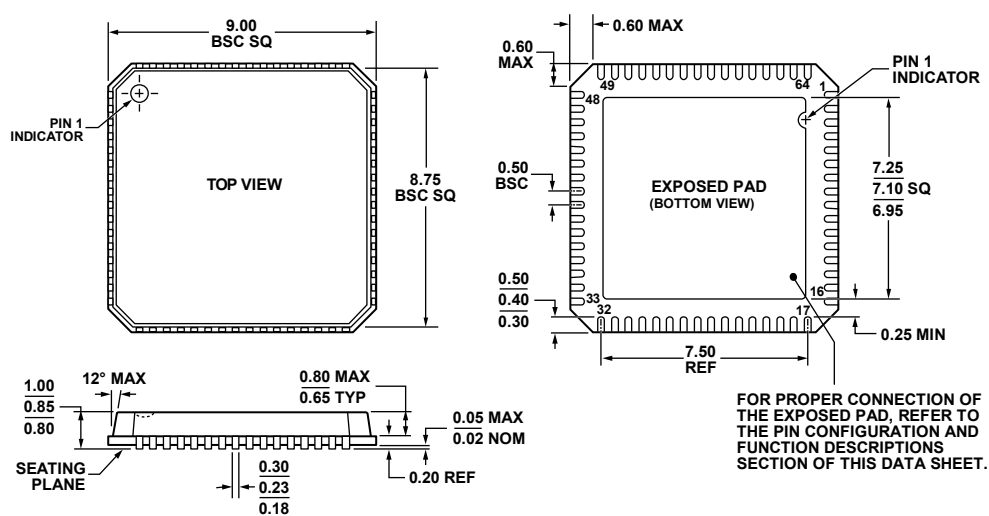


図 64. AD5737 に対する 4 チャンネル絶縁型インターフェース

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

080108-C

図 65.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
 9 mm × 9 mm ボディ、極薄クワッド  
 (CP-64-3)  
 寸法: mm

## オーダー・ガイド

| Model <sup>1</sup> | Resolution (Bits) | Temperature Range | Package Description | Package Option |
|--------------------|-------------------|-------------------|---------------------|----------------|
| AD5737ACPZ         | 12                | -40°C to +105°C   | 64-Lead LFCSP_VQ    | CP-64-3        |
| AD5737ACPZ-RL7     | 12                | -40°C to +105°C   | 64-Lead LFCSP_VQ    | CP-64-3        |

<sup>1</sup> Z = RoHS 準拠製品。