

特長

16ビットのクワッド D/A コンバータ(DAC)
出力範囲が設定可能: $\pm 10\text{ V}$ 、 $\pm 10.2564\text{ V}$ 、または $\pm 10.5263\text{ V}$
最大 INL 誤差: $\pm 1\text{ LSB}$ 、最大 DNL 誤差: $\pm 1\text{ LSB}$
低ノイズ: $60\text{ nV}/\sqrt{\text{Hz}}$
セトリング・タイム: 最大 $10\text{ }\mu\text{s}$
リファレンス電圧バッファを内蔵
パワーアップ/停電時の出力制御
プログラマブルな短絡保護
LDACによる同時更新
ゼロ・コードに非同期CLR
オフセットとゲインをデジタル調整
ロジック出力の制御ピン
DSP/マイクロコントローラ互換のシリアル・インターフェース
温度範囲: $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$
iCMOS プロセス技術を採用¹

アプリケーション

工業用オートメーション
オープン・ループ/クローズド・ループのサーボ制御
プロセス・コントロール
データ・アキュイジション・システム
自動テスト装置
車両のテストおよび測定
高精度計装

概要

AD5764は、 $\pm 11.4\text{ V}\sim\pm 16.5\text{ V}$ の電源電圧で動作するシリアル入力バイポーラ電圧出力のクワッド・16ビットDACです。公称フルスケール出力範囲は $\pm 10\text{ V}$ です。AD5764は、出力アンプ、リファレンス・バッファ、当社独自のパワーアップ/パワーダウン制御回路を内蔵しています。また、このデバイスは、シリアル・インターフェースから設定できるデジタルI/Oポートも内蔵しています。デバイスは、デジタル・オフセットとチャンネルごとのゲイン調整レジスタを内蔵しています。

AD5764は、保証された単調性、 $\pm 1\text{ LSB}$ の積分非直線性(INL)、低ノイズ、 $10\text{ }\mu\text{s}$ のセトリング・タイムを持つ高性能コンバータです。電源電圧変化中のパワーアップでは、VOUTxが低インピーダンス・パスを介して0Vにクランプされます。

AD5764は、最大 30 MHz のクロック・レートで動作し、DSPおよびマイクロコントローラ・インターフェース規格と互換性を持つシリアル・インターフェースを採用しています。ダブル・バッファリングの採用により、同時に全DACの更新が可能です。入力コーディングは、2の補数フォーマットまたはオフセット・バイナリ・フォーマットに設定することができます。非同期クリア機能により、使用するコーディングに応じて、データ・レジスタをバイポーラ・ゼロまたはゼロスケールへクリアすることができます。AD5764は、クローズド・ループ・サーボ制御アプリケーションとオープン・ループ制御アプリケーションに最適です。このデバイスは 32 ピンTQFP パッケージを採用し、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ の工業温度範囲で仕様を保証します。図1に機能ブロック図を示します。

表 1. 関連デバイス

Part No.	Description
AD5764R	AD5764 with internal voltage reference
AD5744R	Complete quad, 14-bit, high accuracy, serial input, bipolar voltage output DAC with internal voltage reference

¹高い電圧レベルで高性能 IC を必要とする工業用/計装装置 OEM のアナログ・システム設計者にとって、iCMOS[®] は耐圧 30 V で $\pm 15\text{ V}$ 電源で動作し、かつ消費電力とパッケージ・サイズを大幅に小さくし、AC 性能と DC 性能を強化したアナログ IC の開発を可能にする技術プラットフォームになります。

目次

特長	1	ファンクション・レジスタ	21
アプリケーション	1	データ・レジスタ	21
概要	1	粗調整ゲイン・レジスタ	21
改訂履歴	2	微調整ゲイン・レジスタ	22
機能ブロック図	3	オフセット・レジスタ	22
仕様	4	オフセットとゲインの調整例	23
AC性能特性	5	デザインの特長	24
タイミング特性	6	アナログ出力制御	24
絶対最大定格	9	オフセットとゲインのデジタル調整	24
ESDの注意	9	設定可能な短絡保護機能	24
ピン配置およびピン機能説明	10	デジタルI/Oポート	24
代表的な性能特性	12	ローカル・グラウンド・オフセットの調整	24
用語	17	アプリケーション情報	25
動作原理	18	代表的な動作回路	25
DACアーキテクチャ	18	レイアウトのガイドライン	27
リファレンス電圧バッファ	18	電流絶縁型インターフェース	27
シリアル・インターフェース	18	マイクロプロセッサ・インターフェース	27
$\overline{\text{LDAC}}$ による同時更新	19	評価用ボード	27
伝達関数	20	外形寸法	28
非同期クリア(CLR)	20	オーダー・ガイド	28

改訂履歴

8/09—Rev. C to Rev. D

Changes to Table 2 and Table 3 Endnotes	6
Changes to t_6 Parameter and Endnotes, Table 4	7

1/09—Rev. B to Rev. C

Changes to General Description Section	1
Changes to Figure 1	3
Changes to Table 2 Conditions	4
Changes to Table 3 Conditions	5
Changes to Table 4 Conditions	6
Changes to Figure 5	8
Changes to Table 5	9
Changes to Table 6	10
Changes to Figure 34	19
Changes to Table 7 and Table 10	20
Added Table 8; Renumbered Sequentially	20
Changes to Table 11 and Table 12	21
Changes to Digital Offset and Gain Control Section	24
Changes to Table 20	26
Deleted AD5764 to MC68HC11 Interface Section	27
Deleted Figure 38; Renumbered Sequentially	27
Deleted AD5764 to 8XC51 Interface Section, Figure 39, AD5764 to ADSP-2101 Interface Section, Figure 40, and AD5764 to PIC16C6x/PIC16C7x Interface Section	28

04/08—Rev. A to Rev. B

Changes to Table Summary Statement, Specifications Section	4
Changes to Power Requirements Parameter, Table 2 and Table Summary Statement	5
Changes to t_{16} Parameter, Table 4	6
Changes to Table 6	10
Changed V_{SS}/V_{DD} to AV_{SS}/AV_{DD} in Typical Performance Characteristics Section	13
Changes to Table 16	22
Changes to Table 18	23
Changes to Typical Operating Circuit Section	28
Changes to AD5764 to ADSP-2101 Section	29
Changes to Ordering Guide	30

1/07—Rev. 0 to Rev. A

Changes to Absolute Maximum Ratings	10
Changes to Figure 25 and Figure 26	16

3/06—Revision 0: Initial Version

機能ブロック図

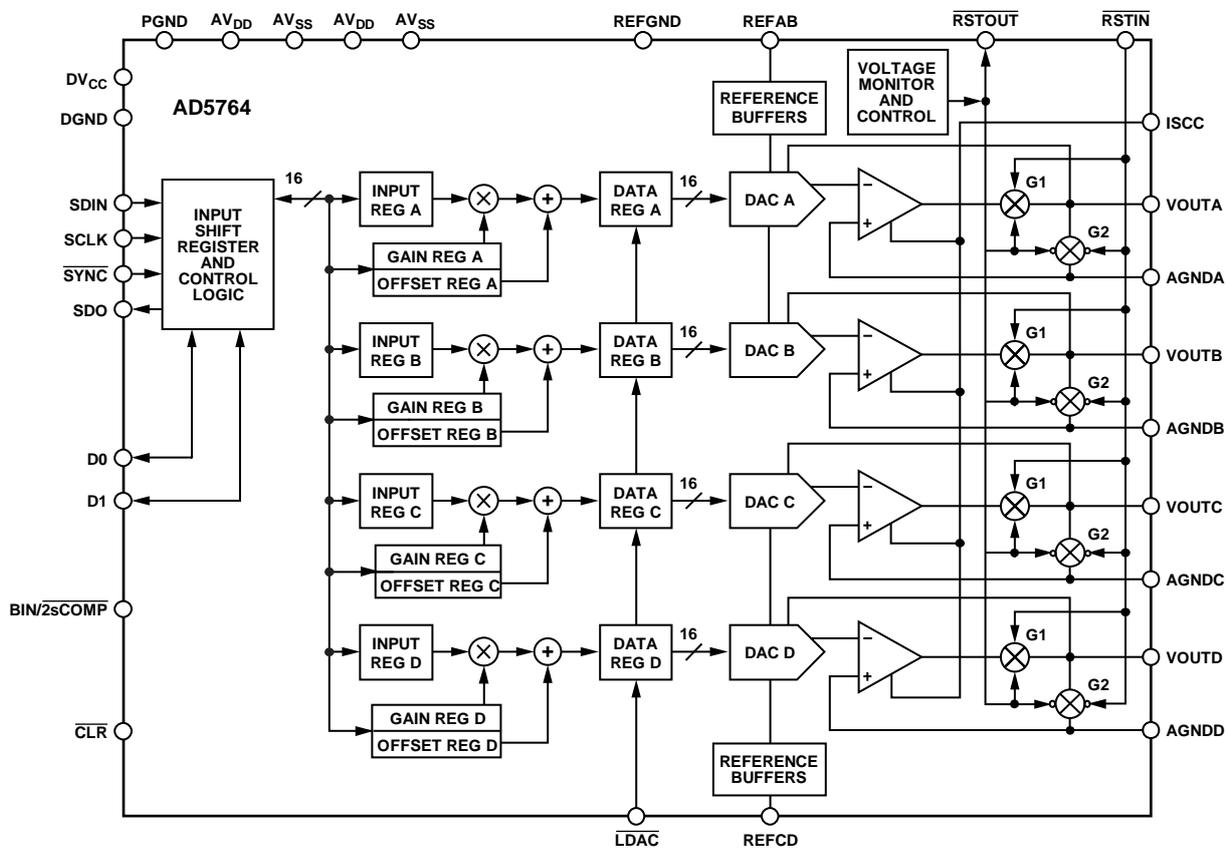


図 1.

095303-001

仕様

$AV_{DD} = 11.4\text{ V} \sim 16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V} \sim -16.5\text{ V}$ 、 $AGND_x = DGND = REF_{GND} = PGND = 0\text{ V}$ ； $REF_{AB} = REF_{CD} = 5\text{ V}$ ； $DV_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。温度範囲: $+25^\circ\text{C}$ で $-40^\circ\text{C} \sim +85^\circ\text{C}$ (typ)。デバイス機能は $+105^\circ\text{C}$ まで保証しますが性能低下があります。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	A Grade	B Grade	C Grade	Unit	Test Conditions/Comments
ACCURACY					Outputs unloaded
Resolution	16	16	16	Bits	
Relative Accuracy (INL)	± 4	± 2	± 1	LSB max	
Differential Nonlinearity	± 1	± 1	± 1	LSB max	Guaranteed monotonic
Bipolar Zero Error	± 2	± 2	± 2	mV max	At 25°C ; error at other temperatures obtained using bipolar zero TC
Bipolar Zero Temperature Coefficient (TC) ¹	± 2	± 2	± 2	ppm FSR/ $^\circ\text{C}$ max	
Zero-Scale Error	± 2	± 2	± 2	mV max	At 25°C ; error at other temperatures obtained using zero-scale TC
Zero-Scale TC ¹	± 2	± 2	± 2	ppm FSR/ $^\circ\text{C}$ max	
Gain Error	± 0.02	± 0.02	± 0.02	% FSR max	At 25°C ; error at other temperatures obtained using gain TC
Gain TC ¹	± 2	± 2	± 2	ppm FSR/ $^\circ\text{C}$ max	
DC Crosstalk ¹	0.5	0.5	0.5	LSB max	
REFERENCE INPUT¹					
Reference Input Voltage	5	5	5	V nom	$\pm 1\%$ for specified performance
DC Input Impedance	1	1	1	M Ω min	Typically 100 M Ω
Input Current	± 10	± 10	± 10	μA max	Typically $\pm 30\text{ nA}$
Reference Range	1 to 7	1 to 7	1 to 7	V min to V max	
OUTPUT CHARACTERISTICS¹					
Output Voltage Range ²	± 10.5263	± 10.5263	± 10.5263	V min to V max	$AV_{DD}/AV_{SS} = \pm 11.4\text{ V}$, $V_{REFIN} = 5\text{ V}$
	± 14	± 14	± 14	V min to V max	$AV_{DD}/AV_{SS} = \pm 16.5\text{ V}$, $V_{REFIN} = 7\text{ V}$
Output Voltage Drift vs. Time	± 13	± 13	± 13	ppm FSR/ 500 hours typ	
	± 15	± 15	± 15	ppm FSR/ 1000 hours typ	
Short-Circuit Current	10	10	10	mA typ	$R_{ISCC} = 6\text{ k}\Omega$, see Figure 31
Load Current	± 1	± 1	± 1	mA max	For specified performance
Capacitive Load Stability					
$R_{LOAD} = \infty$	200	200	200	pF max	
$R_{LOAD} = 10\text{ k}\Omega$	1000	1000	1000	pF max	
DC Output Impedance	0.3	0.3	0.3	Ω max	
DIGITAL INPUTS					$DV_{CC} = 2.7\text{ V}$ to 5.25 V , JEDEC compliant
Input High Voltage, V_{IH}	2	2	2	V min	
Input Low Voltage, V_{IL}	0.8	0.8	0.8	V max	
Input Current	± 1	± 1	± 1	μA max	Per pin
Pin Capacitance	10	10	10	pF max	Per pin
DIGITAL OUTPUTS (D0, D1, SDO)¹					
Output Low Voltage	0.4	0.4	0.4	V max	$DV_{CC} = 5\text{ V} \pm 5\%$, sinking $200\text{ }\mu\text{A}$
Output High Voltage	$DV_{CC} - 1$	$DV_{CC} - 1$	$DV_{CC} - 1$	V min	$DV_{CC} = 5\text{ V} \pm 5\%$, sourcing $200\text{ }\mu\text{A}$
Output Low Voltage	0.4	0.4	0.4	V max	$DV_{CC} = 2.7\text{ V}$ to 3.6 V , sinking $200\text{ }\mu\text{A}$
Output High Voltage	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	V min	$DV_{CC} = 2.7\text{ V}$ to 3.6 V , sourcing $200\text{ }\mu\text{A}$
High Impedance Leakage Current	± 1	± 1	± 1	μA max	SDO only
High Impedance Output Capacitance	5	5	5	pF typ	SDO only
POWER REQUIREMENTS					
AV_{DD}/AV_{SS}	± 11.4 to ± 16.5	± 11.4 to ± 16.5	± 11.4 to ± 16.5	V min to V max	
DV_{CC}	2.7 to 5.25	2.7 to 5.25	2.7 to 5.25	V min to V max	
Power Supply Sensitivity ¹					
$\Delta V_{OUT}/\Delta AV_{DD}$	-85	-85	-85	dB typ	
AI_{DD}	3.5	3.5	3.5	mA/channel max	Outputs unloaded

Parameter	A Grade	B Grade	C Grade	Unit	Test Conditions/Comments
AI _{SS}	2.75	2.75	2.75	mA/channel max	Outputs unloaded
DI _{CC}	1.2	1.2	1.2	mA max	V _{IH} = DV _{CC} , V _{IL} = DGND, 750 μA typical
Power Dissipation	275	275	275	mW typ	±12 V operation output unloaded

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 出力アンプのヘッドルームは最小 1.4 V 必要です。

AC性能特性

AV_{DD} = 11.4 V ~ 16.5 V、AV_{SS} = -11.4 V ~ -16.5 V、AGND_X = DGND = REFGND = PGND = 0 V; REFAB = REFC = 5 V; DV_{CC} = 2.7 V ~ 5.25 V、R_{LOAD} = 10 kΩ、C_L = 200 pF。特に指定のない限り、すべての仕様はT_{MIN} ~ T_{MAX}で規定。

表 3.

Parameter	A Grade	B Grade	C Grade	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE ¹					
Output Voltage Settling Time	8	8	8	μs typ	Full-scale step to ±1 LSB
	10	10	10	μs max	
	2	2	2	μs typ	
Slew Rate	5	5	5	V/μs typ	512 LSB step settling
Digital-to-Analog Glitch Energy	8	8	8	nV-sec typ	
Glitch Impulse Peak Amplitude	25	25	25	mV max	
Channel-to-Channel Isolation	80	80	80	dB typ	
DAC-to-DAC Crosstalk	8	8	8	nV-sec typ	
Digital Crosstalk	2	2	2	nV-sec typ	
Digital Feedthrough	2	2	2	nV-sec typ	Effect of input bus activity on DAC outputs
Output Noise (0.1 Hz to 10 Hz)	0.1	0.1	0.1	LSB p-p typ	
Output Noise (0.1 Hz to 100 kHz)	45	45	45	μV rms max	
1/f Corner Frequency	1	1	1	kHz typ	
Output Noise Spectral Density	60	60	60	nV/√Hz typ	Measured at 10 kHz
Complete System Output Noise Spectral Density ²	80	80	80	nV/√Hz typ	Measured at 10 kHz

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 内蔵リファレンス・バッファ、16 ビット DAC、出力アンプからの各ノイズ成分を含みます。

タイミング特性

$AV_{DD} = 11.4\text{ V} \sim 16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V} \sim -16.5\text{ V}$ 、 $AGND_x = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFC_D = 5\text{ V}$ ； $DV_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.

Parameter ^{1,2,3}	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	33	ns min	SCLK cycle time
t_2	13	ns min	SCLK high time
t_3	13	ns min	SCLK low time
t_4	13	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time
t_5^4	13	ns min	24 th SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_6	90	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_7	2	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9	1.7	μs min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (all DACs updated)
	480	ns min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge (single DAC updated)
t_{10}	10	ns min	$\overline{\text{LDAC}}$ pulse width low
t_{11}	500	ns max	$\overline{\text{LDAC}}$ falling edge to DAC output response time
t_{12}	10	μs max	DAC output settling time
t_{13}	10	ns min	$\overline{\text{CLR}}$ pulse width low
t_{14}	2	μs max	$\overline{\text{CLR}}$ pulse activation time
$t_{15}^{5,6}$	25	ns max	SCLK rising edge to SDO valid
t_{16}	13	ns min	$\overline{\text{SYNC}}$ rising edge to SCLK falling edge
t_{17}	2	μs max	$\overline{\text{SYNC}}$ rising edge to DAC output response time ($\overline{\text{LDAC}} = 0$)
t_{18}	170	ns min	$\overline{\text{LDAC}}$ falling edge to $\overline{\text{SYNC}}$ rising edge

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_r = t_f = 5\text{ ns}$ (DV_{CC} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

³ 図 2～図 4 を参照。

⁴ スタンドアロン・モードの場合。

⁵ 図 5 の負荷回路で測定。

⁶ デイジーチェーン・モードの場合。

タイミング図

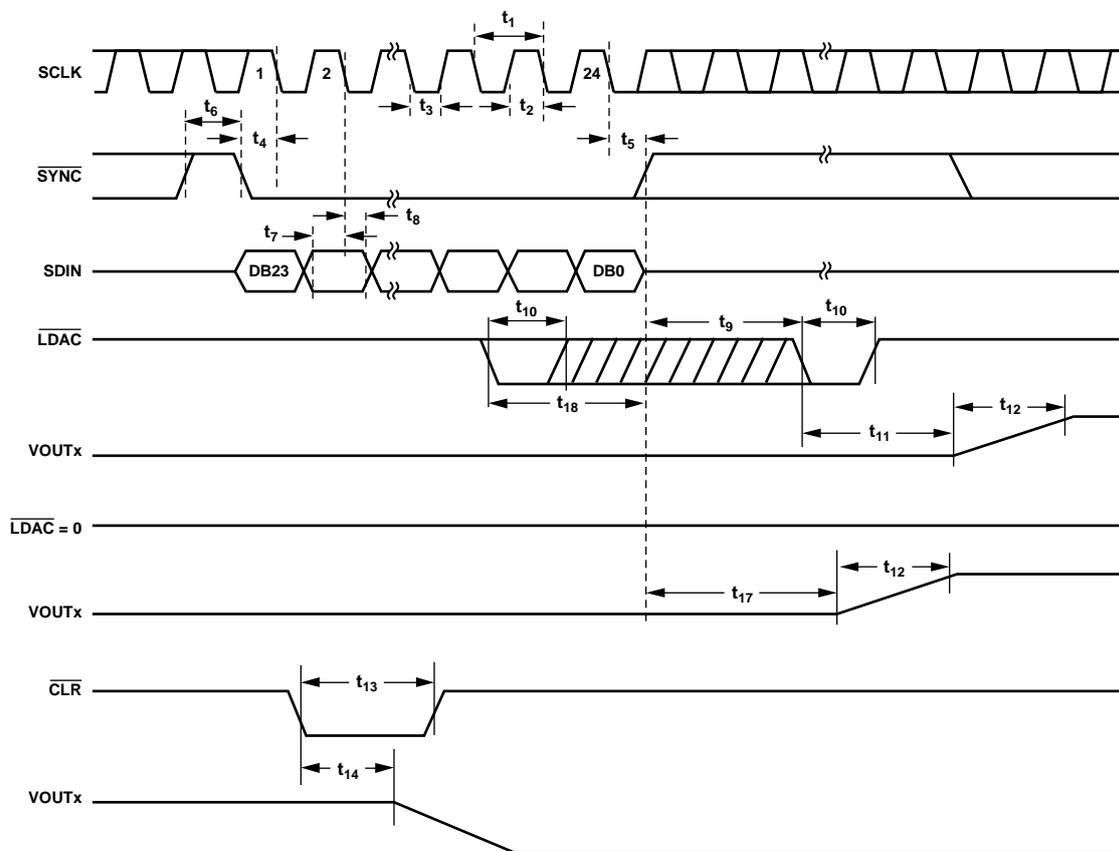


図 2. シリアル・インターフェースのタイミング図

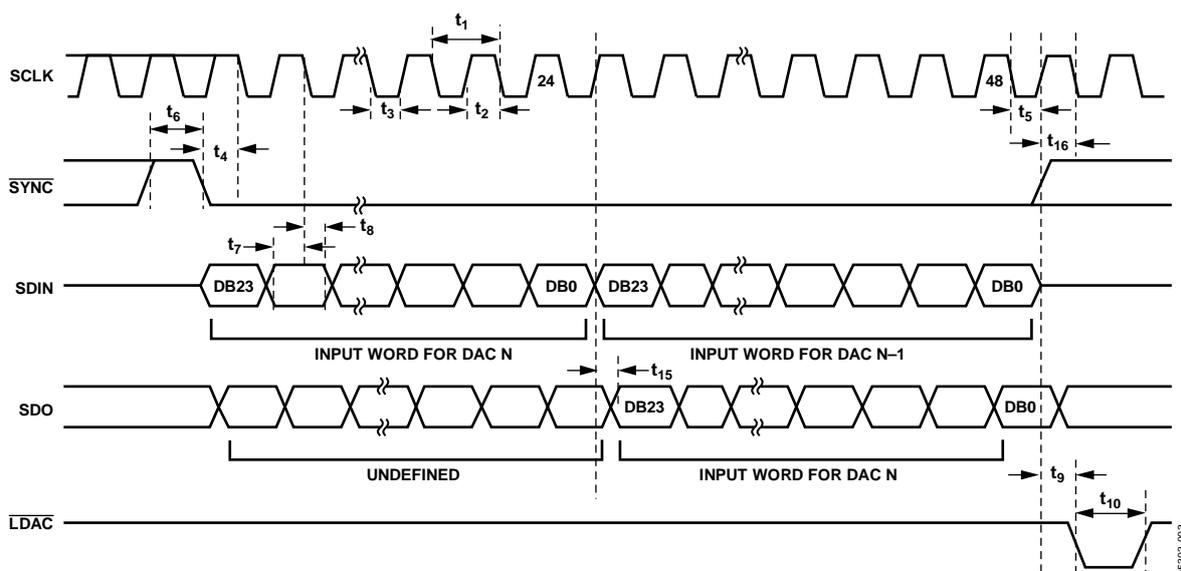
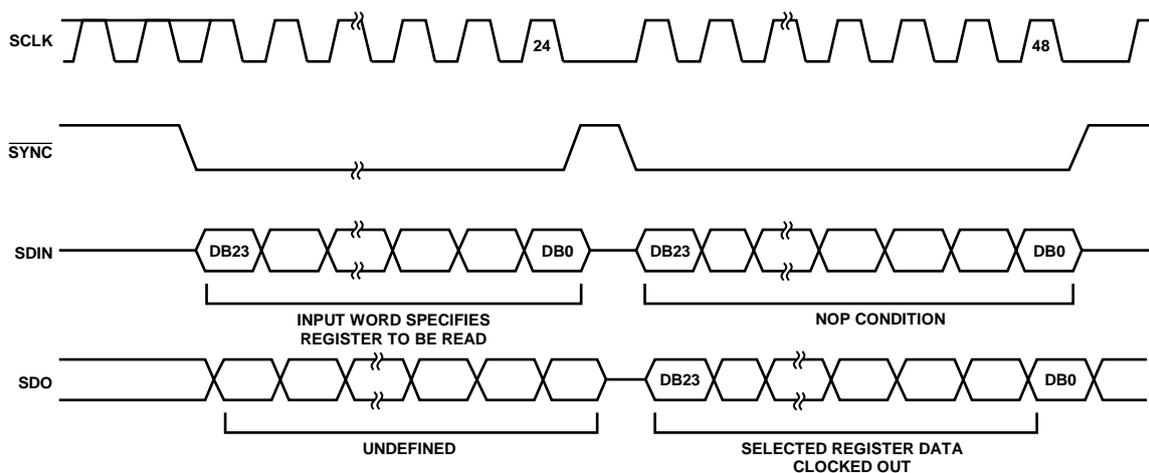
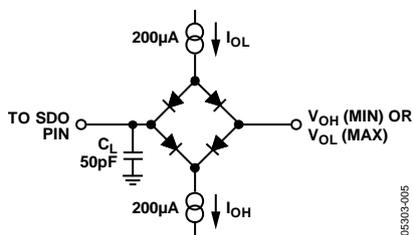


図 3. ディジーチェーン・タイミング図



055303-004

図 4. リードバック・タイミング図



055303-005

図 5. SDO タイミング図の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 5.

Parameter	Rating
AV_{DD} to AGNDx, DGND	-0.3 V to +17 V
AV_{SS} to AGNDx, DGND	+0.3 V to -17 V
DV_{CC} to DGND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to $DV_{CC} + 0.3$ V or 7 V (whichever is less)
Digital Outputs to DGND	-0.3 V to $DV_{CC} + 0.3$ V
REFAB, REFC to AGNDx, PGND	-0.3 V to $AV_{DD} + 0.3$ V
VOUTA, VOUTB, VOUTC, VOUTD to AGNDx	AV_{SS} to AV_{DD}
AGNDx to DGND	-0.3 V to +0.3 V
Operating Temperature Range	
Industrial	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J max)	150°C
32-Lead TQFP	
θ_{JA} Thermal Impedance	65°C/W
θ_{JC} Thermal Impedance	12°C/W
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

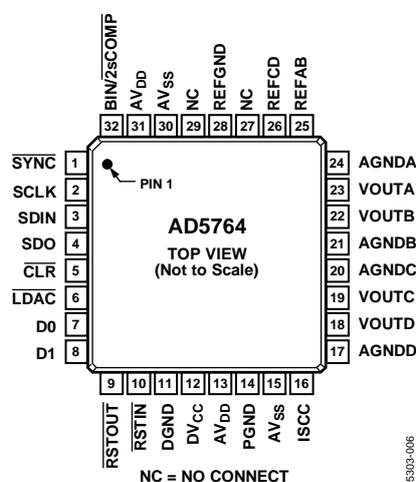


図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SYNC	アクティブ・ローの入力。これは、シリアル・インターフェースのフレーム同期信号です。SYNCがロー・レベルのとき、データはSCLKの立下がりエッジで転送されます。
2	SCLK	シリアル・クロック入力。データは、SCLKの立下がりエッジで入力シフトレジスタに入力されます。最大30 MHzのクロック速度で動作します。
3	SDIN	シリアル・データ入力。データは、SCLKの立下がりエッジで有効である必要があります。
4	SDO	シリアル・データ出力。ディジーチェーン・モードまたはリードバック・モードでシリアル・レジスタからのデータを駆動するときに使います。
5	CLR	立下がりエッジ・トリガー入力。このピンをアサートすると、データ・レジスタが0x0000に設定されます。このロジック入力にはプルアップ・デバイスが内蔵されています。そのため、フローティングのままにしておくことができ、デフォルトではロジック・ハイ・レベル状態になります。
6	LDAC	DACのロード。ロジック入力。データ・レジスタの更新に使われ、更新されるとアナログ出力が変化します。このピンをロー・レベルに固定すると、アドレス指定されたデータ・レジスタがSYNCの立下がりエッジで更新されます。書き込みサイクルでLDACをハイ・レベルにすると、DAC入力シフト・レジスタが更新されますが、出力の更新はLDACの立下がりエッジまで待たされます。このモードでは、LDACの立下がりエッジで、すべてのアナログ出力を同時に更新することができます。LDACピンは解放のままにしないでください。
7、8	D0、D1	デジタルI/Oポート。これらのピンは入力または出力に設定することができ、シリアル・インターフェースを介して設定または読出すことができます。入力に設定すると、これらのピンにはDV _{CC} への弱い内部プルアップが接続されます。出力に設定すると、D0とD1はDV _{CC} とDGNDを基準とします。
9	RSTOUT	リセット・ロジック出力。このピンは、リセット回路で使用される内蔵電圧モニタからの出力です。必要に応じて、他のシステム・コンポーネントの制御に使うことができます。
10	RSTIN	リセット・ロジック入力。この入力を使うと、内部リセット・ロジックへの外部アクセスが可能になります。ロジック0をこの入力に入力すると、DAC出力が0Vにクランプされます。通常の動作では、RSTINをロジック1に接続しておく必要があります。レジスタ値は変化しません。
11	DGND	デジタル・グラウンド。
12	DV _{CC}	デジタル電源。電圧範囲は2.7V~5.25V。
13、31	AV _{DD}	正のアナログ電源。電圧範囲は11.4V~16.5V。
14	PGND	アナログ回路に対するグラウンド基準ポイント。
15、30	AV _{SS}	負のアナログ電源。電圧範囲は-11.4V~-16.5V。
16	ISCC	ピン設定可能な短絡電流に対する抵抗接続。このピンはAGNDへ接続したオプションの外付け抵抗と組み合わせ使用、出力アンプの短絡電流を設定します。詳細については、デザインの特長のセクションを参照してください。
17	AGNDD	DAC D出力アンプのグラウンド基準ピン。
18	VOUTD	DAC Dのアナログ出力電圧。±10Vの公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10kΩ/200pFの負荷を直接駆動する能力を持っています。

ピン番号	記号	説明
19	VOUTC	DAC C のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ/200 pF の負荷を直接駆動する能力を持っています。
20	AGNDC	DAC C 出力アンプのグラウンド基準ピン。
21	AGNDB	DAC B 出力アンプのグラウンド基準ピン。
22	VOUTB	DAC B のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ/200 pF の負荷を直接駆動する能力を持ちます。
23	VOUTA	DAC A のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ/200 pF の負荷を直接駆動する能力を持ちます。
24	AGNDA	DAC A 出力アンプのグラウンド基準ピン。
25	REFAB	チャンネル A とチャンネル B の外付けリファレンス電圧入力。リファレンス入力範囲は 1 V~7 V、フルスケール出力電圧を設定します。規定性能に対して $V_{REFIN} = 5 V$ 。
26	REFCD	チャンネル C とチャンネル D の外付けリファレンス電圧入力。リファレンス入力範囲は 1 V~7 V、フルスケール出力電圧を設定します。規定性能に対して $V_{REFIN} = 5 V$ 。
27、29	NC	未接続。
28	REFGND	リファレンス電圧ジェネレータとバッファのリファレンス電圧グラウンド・リターン。
32	<u>BIN/2sCOMP</u>	DAC コーディングを指定。このピンは、DV _{CC} またはDGNDへ固定接続する必要があります。DV _{CC} へ接続すると、入力コーディングはオフセット・バイナリになります。DGNDへ接続すると、入力コーディングは 2 の補数になります(表 7 と 表 8 参照)。

代表的な性能特性

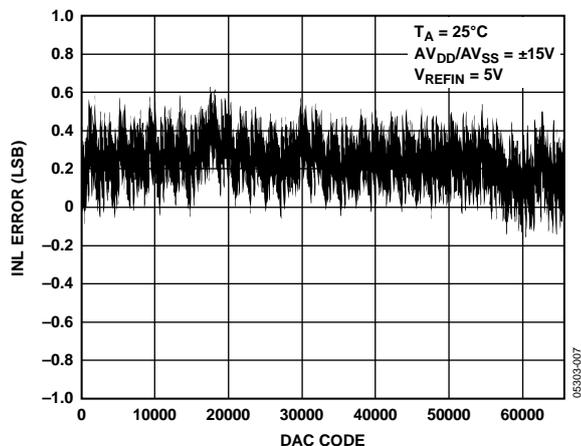


図 7.コード対積分非直線性誤差、 $AV_{DD}/AV_{SS} = \pm 15V$

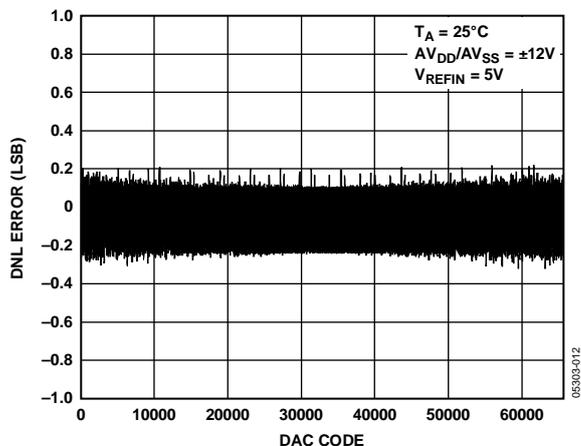


図 10.コード対微分非直線性誤差、 $AV_{DD}/AV_{SS} = \pm 12V$

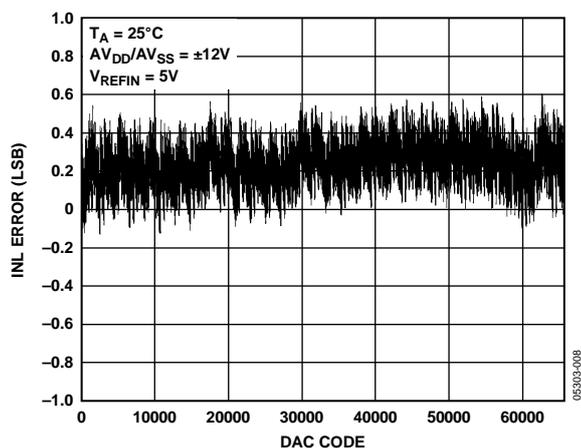


図 8.コード対積分非直線性誤差、 $AV_{DD}/AV_{SS} = \pm 12V$

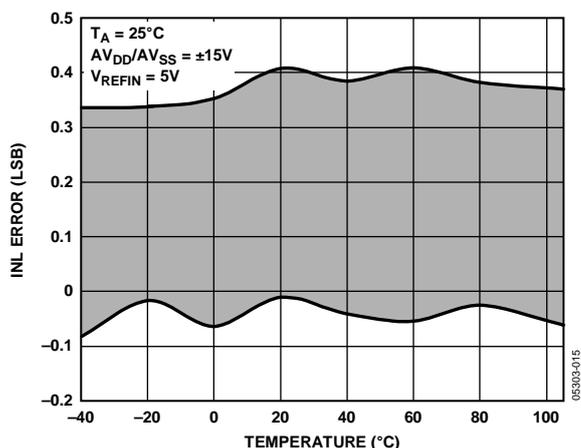


図 11.積分非直線性誤差の温度特性、 $AV_{DD}/AV_{SS} = \pm 15V$

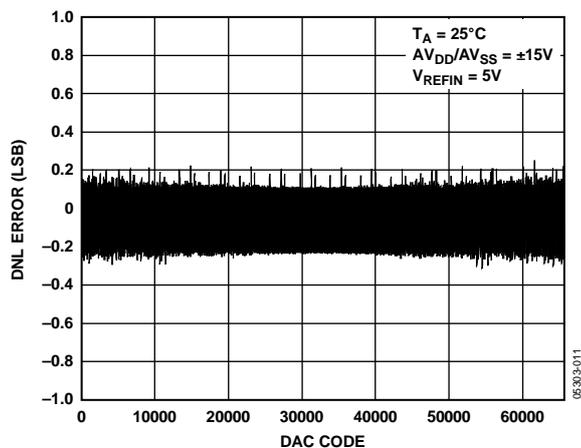


図 9.コード対微分非直線性誤差、 $AV_{DD}/AV_{SS} = \pm 15V$

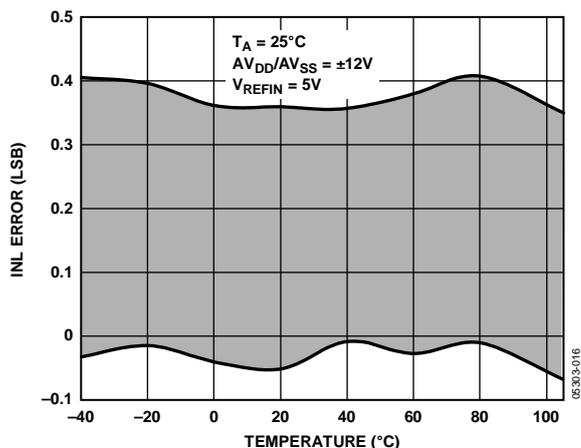


図 12.積分非直線性誤差の温度特性、 $AV_{DD}/AV_{SS} = \pm 12V$

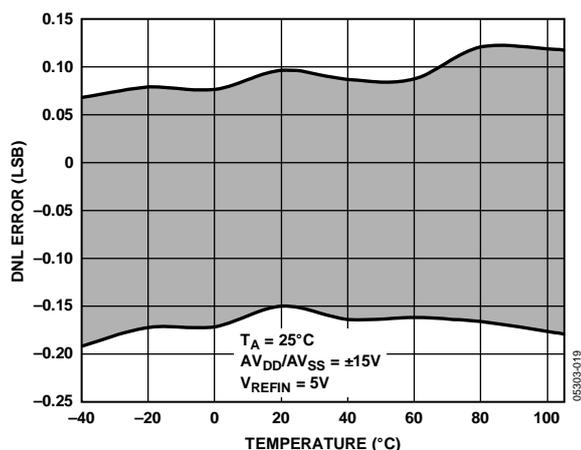


図 13. 微分非直線性誤差の温度特性、 $AV_{DD}/AV_{SS} = \pm 15V$

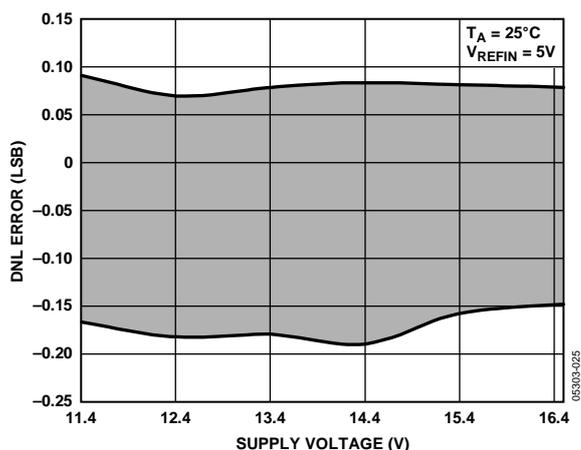


図 16. 電源電圧対微分非直線性誤差

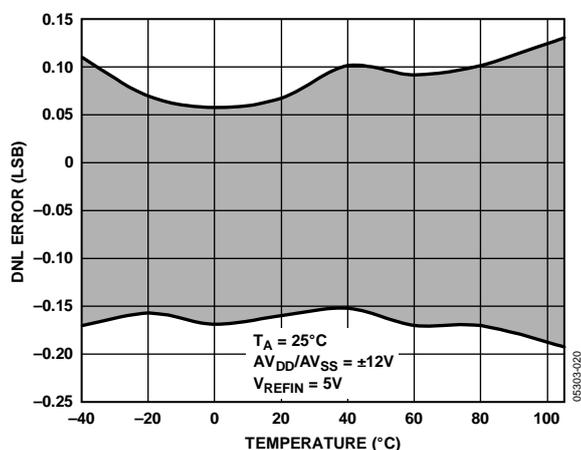


図 14. 微分非直線性誤差の温度特性、 $AV_{DD}/AV_{SS} = \pm 12V$

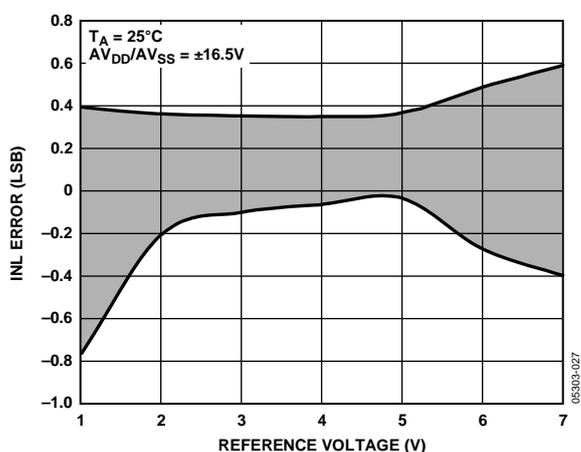


図 17. リファレンス電圧対積分非直線性誤差
 $AV_{DD}/AV_{SS} = \pm 16.5V$

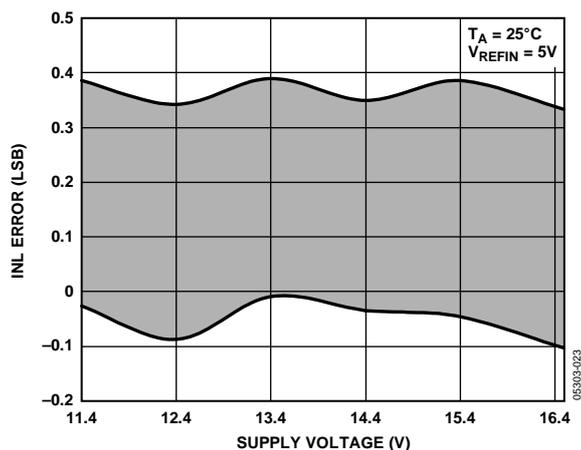


図 15. 電源電圧対積分非直線性誤差

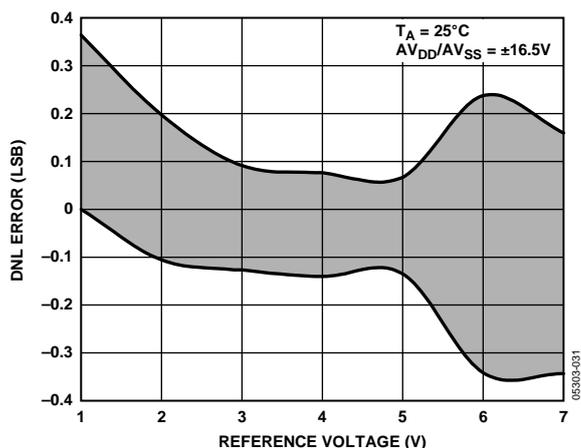


図 18. リファレンス電圧対微分非直線性誤差
 $AV_{DD}/AV_{SS} = \pm 16.5V$

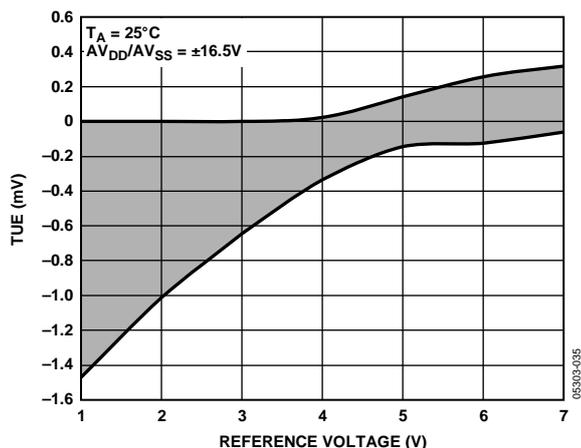


図 19. リファレンス電圧対総合未調整誤差
 $AV_{DD}/AV_{SS} = \pm 16.5\text{V}$

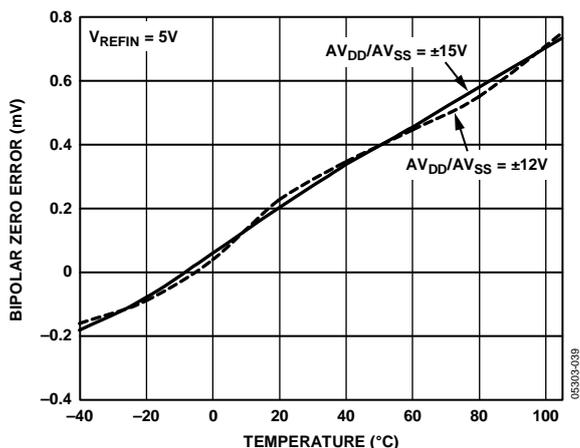


図 22. バイポーラ・ゼロ誤差の温度特性

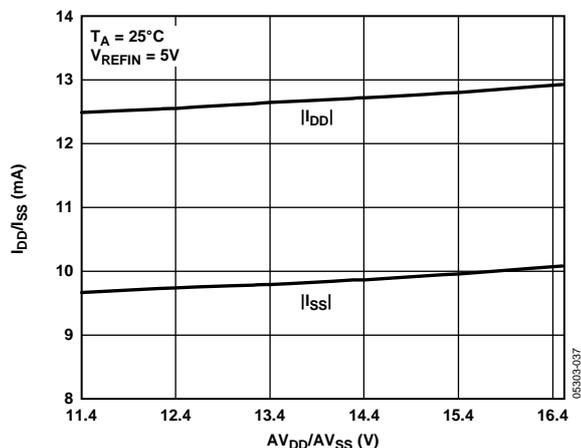


図 20. AV_{DD}/AV_{SS} 対 I_{BD}/I_{SS}

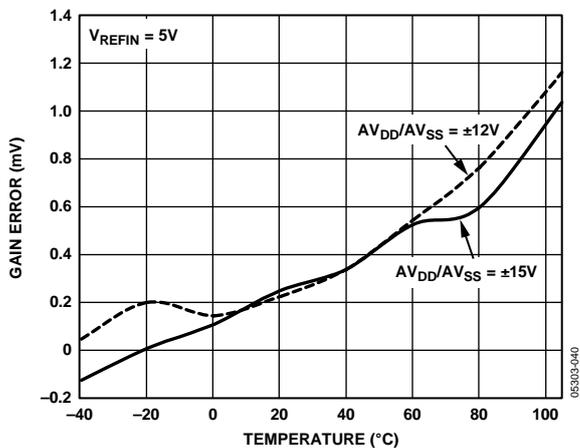


図 23. ゲイン誤差の温度特性

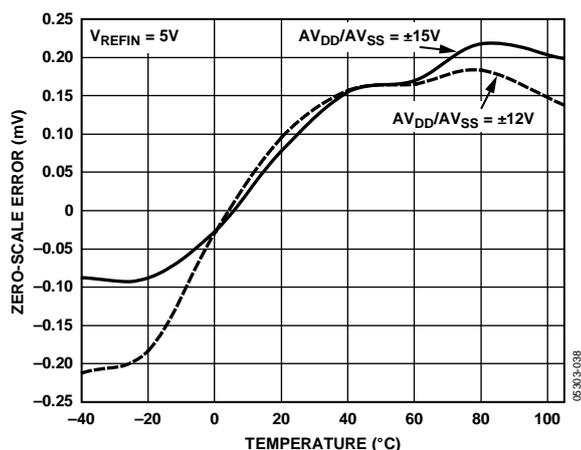


図 21. ゼロスケール誤差の温度特性

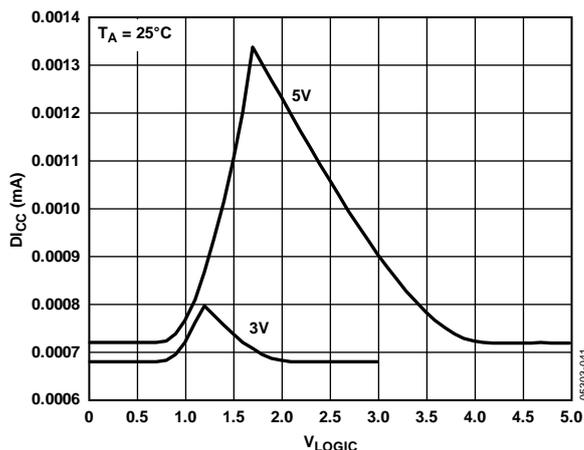


図 24. ロジック入力電圧対 D_{ICC}

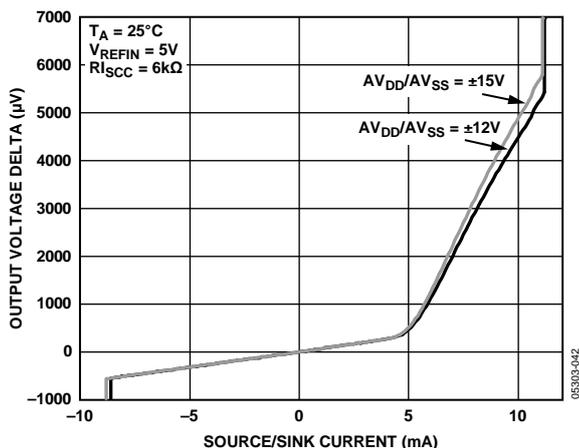


図 25.出力アンプのソース/シンク能力、正のフルスケール負荷

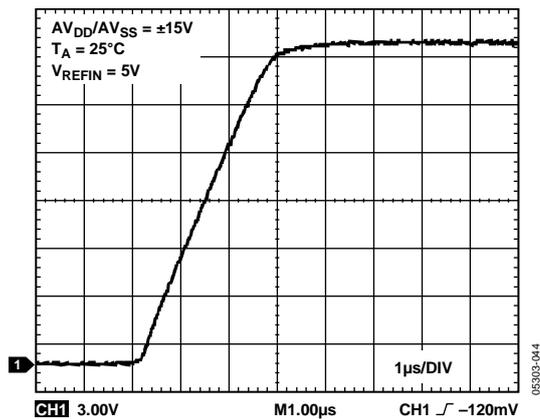


図 27.フルスケール・セトリング・タイム

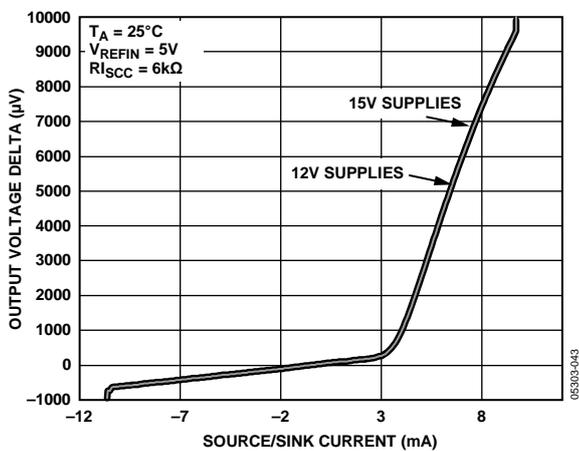


図 26.出力アンプのソース/シンク能力、負のフルスケール負荷

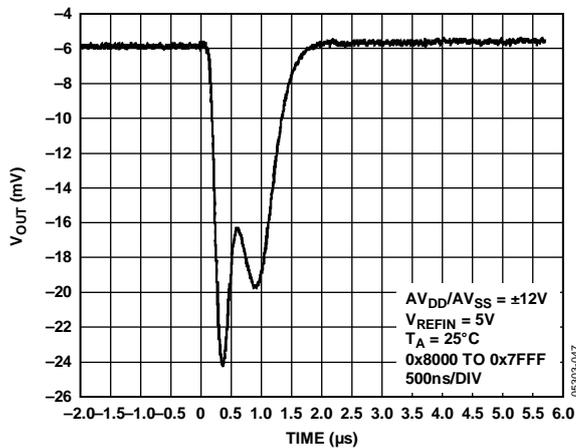


図 28.主要コード変化時のグリッチ・エネルギー
AVDD/AVSS = ±12 V

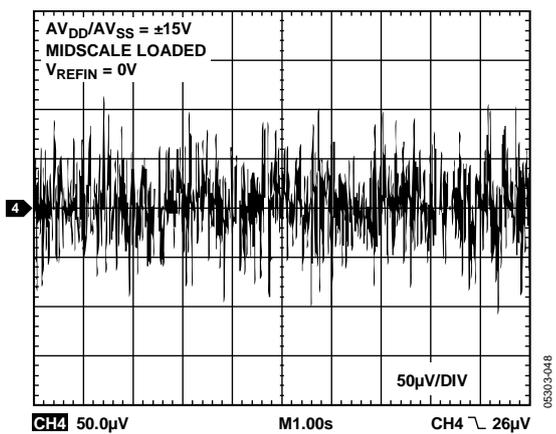


図 29. ピーク to ピーク・ノイズ(100 kHz 帯域幅)

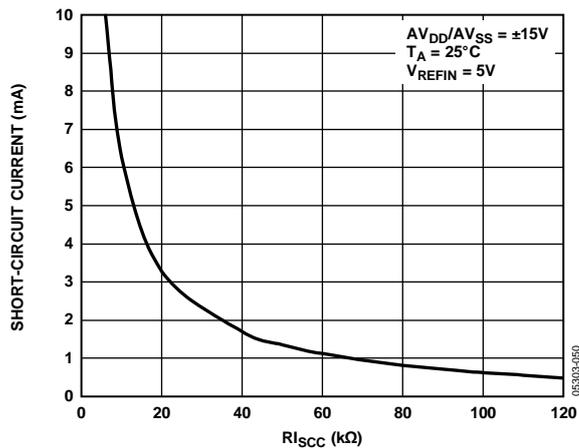


図 31. R_{ISC} 対短絡電流

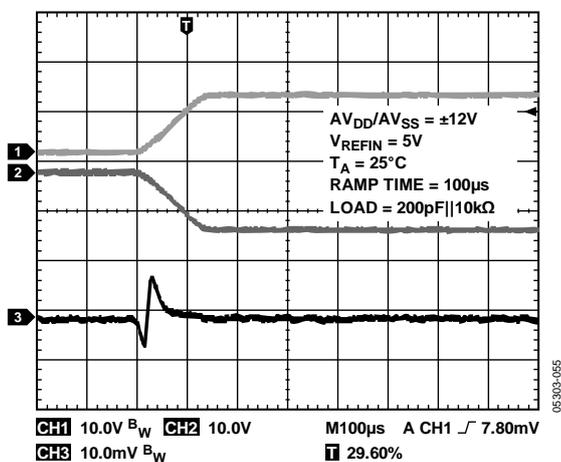


図 30. パワーアップ時の AV_{DD}/AV_{SS} 対 V_{OUT}

用語

相対精度または積分非直線性(INL)

DACの場合、相対高精度すなわち積分非直線性(INL)は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。代表的なINL対コードについては図7を参照してください。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差をいいます。最大 ± 1 LSBの微分非直線性の仕様は、単調性を保証するものです。このDACは単調性が保証されています。代表的なDNL対コードについては図9を参照してください。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DACは単調であるといえます。AD5764は全動作温度範囲で単調です。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、データ・レジスタに0x8000(オフセット・バイナリ・コーディング)または0x0000(2の補数コーディング)をロードしたときの、0Vの理論ハーフスケール出力からのアナログ出力の差を意味します。バイポーラ・ゼロ誤差の温度特性を図22に示します。

バイポーラ・ゼロ温度係数(TC)

バイポーラ・ゼロTCは、温度変化に対するバイポーラ・ゼロ誤差の変化を表し、ppm FSR/ $^{\circ}$ Cで表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コードをデータ・レジスタにロードしたときの出力誤差として測定されます。理論的には、出力電圧は $2 \times V_{REF} - 1$ LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値で表します。

負のフルスケール誤差/ゼロスケール誤差

負のフルスケール誤差は0x0000(オフセット・バイナリ・コーディング)または0x8000(2の補数コーディング)をデータ・レジスタにロードしたときのDAC出力電圧の誤差を意味します。理論的には出力電圧は $-2 \times V_{REF}$ である必要があります。ゼロスケール誤差の温度特性を図21に示します。

出力電圧セトリング・タイム

フルスケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。

スルーレート

デバイスのスルーレートは、出力電圧の変化率の限界値を表します。電圧出力DACの出力スルーレートは一般に、出力で使用されるアンプのスルーレートで制限されます。スルーレートは出力信号の10%から90%までで測定され、V/ μ sで表されます。

ゲイン誤差

ゲイン誤差はDACのスパン誤差を表します。理論値からの実際のDAC伝達特性の傾きの差をフルスケール範囲のパーセント値で表したものです。ゲイン誤差の温度特性を図23に示します。

総合未調整誤差

総合未調整誤差(TUE)は、種々の誤差を考慮した出力誤差を表します。リファレンス電圧対総合未調整誤差のプロットを図19に示します。

ゼロスケール誤差温度係数(TC)

ゼロスケール誤差TCは、温度変化に対するゼロスケール誤差の変化を意味し、ppm FSR/ $^{\circ}$ Cで表されます。

ゲイン誤差温度係数(TC)

ゲイン誤差TCは、温度変化によるゲイン誤差の変化を表し、ppm FSR/ $^{\circ}$ Cで表されます。

デジタルからアナログへのグリッチ・エネルギー

デジタルからアナログへのグリッチ・インパルスは、データ・レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-secで表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFFから0x8000)、デジタル入力コードが1LSBだけ変化したときに測定されます。図28を参照してください。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-secで規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。

電源感度

電源電圧変化のDAC出力に対する影響を表します。

DCクロストーク

別のDAC出力でのフルスケール変化に起因する1つのDACの出力レベルでのDC変化を意味します。1つのDACをモニタしながら、別のDAC上でのフルスケール出力変化を使って測定し、LSB数で表されます。

DAC間クロストーク

デジタル・コードの変化とそれに続くDACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。 \overline{LDAC} ピンをロー・レベルに設定して、DACの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)をロードして、別のDAC出力をモニタすることにより測定します。グリッチのエネルギーはnV-secで表示します。

チャンネル間アイソレーション

1つのDAC出力における信号振幅と他のDACのリファレンスに入力された正弦波との比。dB値で表示します。

デジタル・クロストーク

デジタル・クロストークは、DAC出力の更新が行われていないときに、1つのDACのデジタル入力から別DACのアナログ出力に注入されるインパルスを表します。nV-secで規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。

動作原理

AD5764 は、 $\pm 11.4\text{ V} \sim \pm 16.5\text{ V}$ の電源電圧で動作するシリアル入力バイポーラ電圧出力のクワッド 16 ビット DAC です。バッファされた出力範囲は最大 $\pm 10.5263\text{ V}$ です。データは、3 線式シリアル・インターフェースを使って 24 ビットのワード・フォーマットで AD5764 に書込まれます。このデバイスには、ディジーチェーン接続またはリードバックを可能にする SDO ピンもあります。

AD5764 はパワーオン・リセット回路を内蔵しているため、データ・レジスタに $0x0000$ をロードした状態で確実にパワーアップすることができます。また、AD5764 は、シリアル・インターフェースから設定できるデジタル I/O ポート、リファレンス・バッファ、チャンネルごとのデジタル・ゲイン・レジスタとオフセット・レジスタも内蔵しています。

DACアーキテクチャ

AD5764 の DAC アーキテクチャは、16 ビットの電流モード・セグメント化 R-2R DAC から構成されています。DAC セクションの簡略化した回路図を図 32 に示します。

16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ (E1~E15) を駆動します。これらの各スイッチは、AGNDx または IOOUT に接続された 15 個の一致した抵抗の 1 つに接続されます。データ・ワードの残りの 12 ビットは、12 ビットの R-2R ラダー回路のスイッチ (S0~S11) を駆動します。

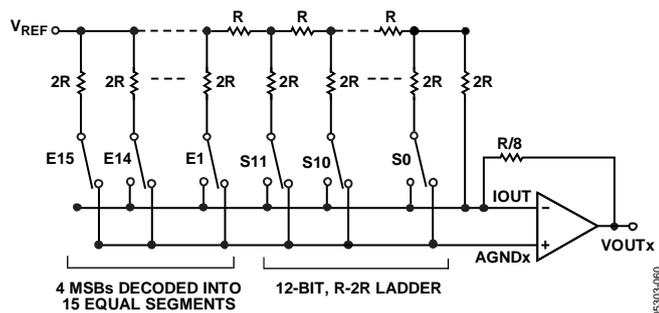


図 32. DAC のラダー構造

リファレンス電圧バッファ

AD5764 は、外付けのリファレンスを使用して動作します。リファレンス入力 (REFAB と REFCD) の入力範囲は 7 V までです。この入力電圧を使って DAC コア用のバッファされた正と負リファレンスが生成されます。正リファレンス電圧は、

$$+V_{REF} = 2 \times V_{REF}$$

DAC コアへの負リファレンス電圧は、

$$-V_{REF} = -2 \times V_{REF}$$

これらの正と負のリファレンス電圧とゲイン・レジスタ値の組み合わせにより、DAC の出力範囲が決定されます。

シリアル・インターフェース

AD5764 は、最大 30 MHz のクロック・レートで動作し、かつ SPI、QSPI™、MICROWIRE™、DSP の各規格と互換性を持つ多機能の 3 線式シリアル・インターフェースを介して制御されます。

入力シフトレジスタ

入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入力シフト・レジスタは、1 ビットのリード/ライト、3 ビットのレジスタ・セレクト、3 ビットの DAC アドレス、16 ビットのデータから構成されています (表 9 参照)。図 2 に、動作タイミング図を示します。

パワーアップ時、データ・レジスタにはゼロ・コード ($0x0000$) がロードされ、出力は低インピーダンス・パスを介して 0 V にクランプされます。LDAC または CLR をアサートすると、出力をゼロ・コード値に更新することができます。対応する出力電圧は、BIN/2sCOMP ピンの状態に依存します。BIN/2sCOMP ピンを DGND に接続すると、データ・コーディングが 2 の補数になるため、出力が 0 V に更新されます。BIN/2sCOMP ピンを DV_{CC} に接続すると、データ・コーディングがオフセット・バイナリになるため、出力が負のフルスケールに更新されます。出力へゼロ・コードをロードして出力をパワーアップさせるときは、CLR ピンをパワーアップの間ロー・レベルに維持してください。

スタンドアロン動作

このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。正しいクロック・サイクル数間、SYNC をロー・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲートド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に SYNC をハイ・レベルにしてデータをラッチする必要があります。SYNC の最初の立下がりエッジで書込みサイクルが開始されます。SYNC をハイ・レベルに戻す前に、24 個の立下がりクロック・エッジを SCLK に入力する必要があります。24 番目の立下がり SCLK エッジの前に SYNC をハイ・レベルにすると、書込まれたデータは無効になります。SYNC をハイ・レベルにする前に、24 個より多くの立下がり SCLK エッジを入力した場合も、入力データは無効になります。アドレス指定された入力シフト・レジスタは、SYNC の立下がりエッジで更新されます。次のシリアル転送を行うときは、SYNC をロー・レベルに戻す必要があります。シリアル・データ転送の終了後、データは自動的に入力シフトレジスタからアドレス指定されたレジスタへ転送されます。

データがアドレス指定された DAC の選択されたレジスタへ転送されたときに、LDAC をロー・レベルにすると、データ・レジスタと出力を更新することができます。

ディジーチェーン動作

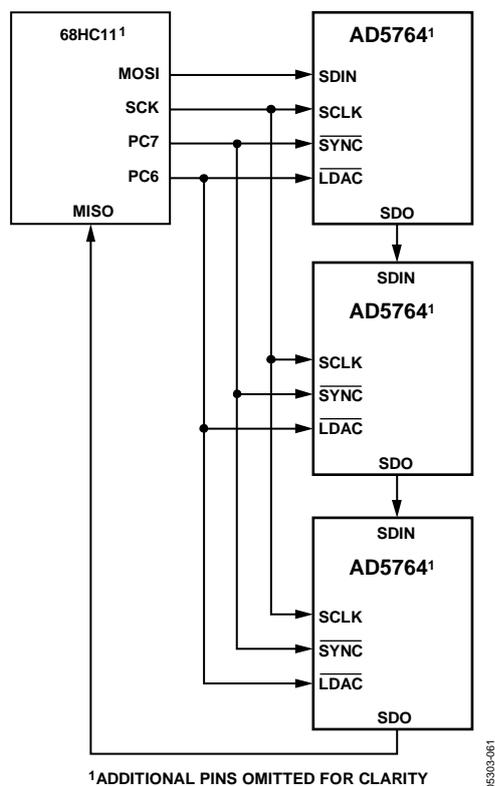


図 33. AD5764 のディジーチェーン接続

複数のデバイスを使うシステムでは、SDO ピンを使って複数のデバイスをディジーチェーン接続することができます。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。SYNCの最初の立下がりエッジで書き込みサイクルが開始されます。SYNCがロー・レベルのとき、SCLK は連続的に入力シフトレジスタに入力されます。24 個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDO ピンに出力されます。データは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効になります。最初のデバイスの SDO をチェーン内にある次のデバイスの SDIN 入力に接続すると、複数デバイスのインターフェースが構成されます。システム内の各デバイスは、24 個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24N$ になります。ここで、 N はチェーン内の合計 AD5764 デバイス数です。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、ディジーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合のみ、連続SCLKソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

リードバック動作

リードバック動作を開始する前に、ファンクション・レジスタに書き込みを行ってSDOピンをイネーブルし、さらにSDOディスエーブル・ビットをクリアする必要があります。このビットはデフォルト

でクリアされています。シリアル入力レジスタへの書き込みで、 R/\overline{W} ビット=1を設定すると、リードバック・モードが開始されます。 R/\overline{W} =1のとき、ビットREG2~ビットREG0ビットに対応するビットA2~ビットA0を使って、読み出し対象レジスタを選択します。書き込みシーケンス内の残りのデータビットは無視されます。次のSPIへの書き込み時にSDOに出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。1 個のレジスタを読み出すときは、選択したレジスタのデータをSDOへシフト出力する際にNOPコマンドを使うことができます。図 4 に、リードバック・シーケンスを示します。たとえば、AD5764 のチャンネルAの微調ゲイン・レジスタをリードバックするときは、次のシーケンスを使うことができます。

1. $0xA0XXXX$ を AD5764 入力シフトレジスタに書き込みます。この動作により、AD5764 が読み出しモードに設定され、チャンネル A の微調ゲイン・レジスタが選択されます。データビット DB15~DB0は無視されることに注意してください。
2. 次に、2 番目の書き込みで NOP 状態 $0x00XXXX$ を書き込みます。この書き込みで、微調ゲイン・レジスタのデータが SDO ラインに出力されます。すなわち、出力されたデータのビット DB5~DB0に微調ゲイン・レジスタのデータが含まれます。

LDACによる同時更新

SYNCとLDACの状態に応じて、データが DAC の入力レジスタへ転送された後、データ・レジスタと DAC 出力を更新する方法は 2 つあります。

個別DACの更新

このモードでは、データを入力シフトレジスタへ入力中にLDACをロー・レベルにします。アドレス指定された DAC 出力は、SYNCの立上がりエッジで更新されます。

すべてのDACの同時更新

このモードでは、データを入力シフトレジスタへ入力中にLDACをハイ・レベルに維持します。SYNCをハイ・レベルにした後にLDACをロー・レベルにすると、すべての DAC 出力が更新されます。更新は、LDACの立下がりエッジで行われるようになります。

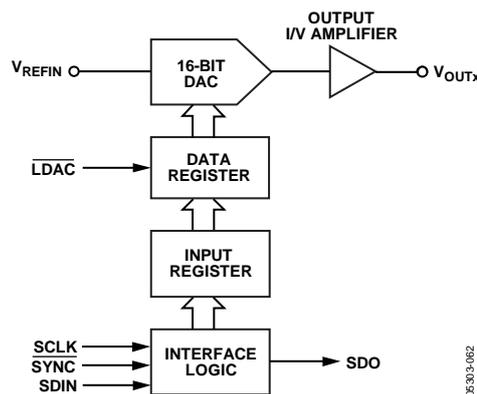


図 34. 1 個の DAC チャンネルについての入力ロード回路の簡略化したシリアル・インターフェース

伝達関数

表 7 と表 8 に、AD5764 の理論入力コードと出力電圧の関係を、それぞれオフセット・バイナリ・データ・コーディングと 2 の補数データ・コーディングについて示します。

表 7.理論出力電圧と入力コードの関係—オフセット・バイナリ・データ・コーディング

Digital Input				Analog Output
MSB			LSB	VOUTx
1111	1111	1111	1111	+2 V _{REF} × (32,767/32,768)
1000	0000	0000	0001	+2 V _{REF} × (1/32,768)
1000	0000	0000	0000	0 V
0111	1111	1111	1111	-2 V _{REF} × (1/32,768)
0000	0000	0000	0000	-2 V _{REF} × (32,767/32,768)

表 8.理論出力電圧と入力コードの関係—2 の補数データ・コーディング

Digital Input				Analog Output
MSB			LSB	VOUTx
0111	1111	1111	1111	+2 V _{REF} × (32,767/32,768)
0000	0000	0000	0001	+2 V _{REF} × (1/32,768)
0000	0000	0000	0000	0 V
1111	1111	1111	1111	-2 V _{REF} × (1/32,768)
1000	0000	0000	0000	-2 V _{REF} × (32,767/32,768)

表 9.入力シフト・レジスタのビット・マップ

MSB								LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15:DB0
R/W	0	REG2	REG1	REG0	A2	A1	A0	Data

表 10.入力シフト・レジスタ・ビットの機能

Bit	Description			
R/W	Indicates a read from or a write to the addressed register.			
REG2, REG1, REG0	Used in association with the address bits to determine if a read or write operation is to the data register, offset register, coarse gain register, fine gain register, or function register.			
	REG2	REG1	REG0	Function
	0	0	0	Function register
	0	1	0	Data register
	0	1	1	Coarse gain register
	1	0	0	Fine gain register
	1	0	1	Offset register
A2, A1, A0	These bits are used to decode the DAC channels.			
	A2	A1	A0	Channel Address
	0	0	0	DAC A
	0	0	1	DAC B
	0	1	0	DAC C
	0	1	1	DAC D
	1	0	0	All DACs
Data	Data bits.			

AD5764 の出力電圧は次式で表されます。

$$V_{OUT} = -2 \times V_{REFIN} + 4 \times V_{REFIN} \left[\frac{D}{65,536} \right]$$

ここで、

D は、DAC にロードされるコードの 10 進数表示。

V_{REFIN} は、REFAB ピンと REFCD ピンに入力されるリファレンス電圧。

非同期クリア(CLR)

CLR は、負エッジ・トリガのクリアであり、これを使うと、出力を 0 V (2 の補数コーディング)または負フルスケール(オフセット・バイナリ・コーディング)にクリアすることができます。動作を完了するためには、CLR を最小時間ロー・レベルに維持する必要があります(図 2 参照)。CLR 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。パワーオン時に CLR が 0 V になると、すべての DAC 出力はクリア値で更新されます。コマンド 0x04XXXX を AD5764 に書込むことにより、クリアをソフトウェアから起動することもできます。

ファンクション・レジスタ

3 ビットのREGビットを 000 に設定すると、ファンクション・レジスタが指定されます。アドレス・ビットに書込まれた値とデータビットが機能を指定します。ファンクション・レジスタから使用できる機能を表 11 と表 12 に示します。

表 11. ファンクション・レジスタ・オプション

REG 2	REG 1	REG 0	A2	A1	A0	DB15:DB 6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	NOP, data = don't care						
0	0	0	0	0	1	Don't care	Local ground offset adjust	D1 direction	D1 value	D0 direction	D0 value	SDO disable
0	0	0	1	0	0	Clear, data = don't care						
0	0	0	1	0	1	Load, data = don't care						

表 12. ファンクション・レジスタ・オプションの説明

Option	Description
NOP	No operation instruction used in readback operations.
Local Ground Offset Adjust	Set by the user to enable the local ground offset adjust function. Cleared by the user to disable the local ground offset adjust function (default). Refer to the Design Features section for further details.
D0/D1 Direction	Set by the user to enable D0/D1 as outputs. Cleared by the user to enable D0/D1 as inputs (default). Refer to the Design Features section for further details.
D0/D1 Value	I/O port status bits. Logic values written to these locations determine the logic outputs on the D0 and D1 pins when configured as outputs. These bits indicate the status of the D0 and D1 pins when the I/O port is active as an input. When enabled as inputs, these bits are don't cares during a write operation.
SDO Disable	Set by the user to disable the SDO output. Cleared by the user to enable the SDO output (default).
Clear	Addressing this function resets the DAC outputs to 0 V in twos complement mode and negative full scale in binary mode.
Load	Addressing this function updates the data register and consequently the analog outputs.

データ・レジスタ

3 ビットのREGビットを 010 に設定すると、データ・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。データ・ビットはDB15~DB0です(表 13 参照)。

表 13. データ・レジスタ・ビット・マップの設定

REG2	REG1	REG0	A2	A1	A0	DB15:DB0
0	1	0	DAC address			16-bit DAC data

粗調整ゲイン・レジスタ

3 ビットのREGビットを 011 に設定すると、粗調整ゲイン・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。粗調整ゲイン・レジスタは2ビットのレジスタで、これを使うと、各DACの出力範囲を表 14 と

REG2	REG1	REG0	A2	A1	A0	DB15: DB2	DB1	DB0
0	1	1	DAC address			Don't care	CG1	CG0

表 15 のように選択することができます。

表 14. 粗調整ゲイン・レジスタ・ビット・マップの設定

REG2	REG1	REG0	A2	A1	A0	DB15: DB2	DB1	DB0
0	1	1	DAC address			Don't care	CG1	CG0

表 15. 出力範囲の選択

Output Range	CG1	CG0
±10 V (Default)	0	0
±10.2564 V	0	1
±10.5263 V	1	0

微調整ゲイン・レジスタ

3 ビットのREGビットを 100 に設定すると、微調整ゲイン・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。微調整ゲイン・レジスタは 6 ビット・レジスタで、これを使うと、各DACチャンネルのゲインを-32 LSB~+31 LSBの範囲を 1 LSBステップで調整することができます(表 16 と 表 17 参照)。正のフルスケール・ポイントと負のフルスケール・ポイントを同時に調整し、各ポイントを 1 ステップの 1/2 だけ調整します。微調整ゲイン・レジスタのコーディングは 2 の補数です。

表 16.微調整ゲイン・レジスタ・ビット・マップの設定

REG2	REG1	REG0	A2	A1	A0	DB15:DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0	DAC address			Don't care	FG5	FG4	FG3	FG2	FG1	FG0

表 17.微調整ゲイン・レジスタのオプション

Gain Adjustment	FG5	FG4	FG3	FG2	FG1	FG0
+31 LSBs	0	1	1	1	1	1
+30 LSBs	0	1	1	1	1	0
...
+2 LSBs	0	0	0	0	1	0
+1 LSB	0	0	0	0	0	1
No Adjustment (Default)	0	0	0	0	0	0
-1 LSB	1	1	1	1	1	1
-2 LSBs	1	1	1	1	1	0
...
-31 LSBs	1	0	0	0	0	1
-32 LSBs	1	0	0	0	0	0

表 18.オフセット・レジスタ・ビット・マップの設定

REG2	REG1	REG0	A2	A1	A0	DB15:DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	1	DAC address			Don't care	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0

表 19.AD5764 オフセット・レジスタ・オプション

Offset Adjustment	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
+15.875 LSBs	0	1	1	1	1	1	1	1
+15.75 LSBs	0	1	1	1	1	1	1	0
...
+0.25 LSBs	0	0	0	0	0	0	1	0
+0.125 LSBs	0	0	0	0	0	0	0	1
No Adjustment (Default)	0	0	0	0	0	0	0	0
-0.125 LSBs	1	1	1	1	1	1	1	1
-0.25 LSBs	1	1	1	1	1	1	1	0
...
-15.875 LSBs	1	0	0	0	0	0	0	1
-16 LSBs	1	0	0	0	0	0	0	0

オフセットとゲインの調整例

微調整ゲイン・レジスタと オフセット・レジスタのセクションに記載する情報を使って、AD5764 の機能を使ってオフセット誤差とゲイン誤差を解消する方法の例を次に示します。AD5764 は出荷時に校正されていたため、オフセット誤差とゲイン誤差は無視できる値ですが、AD5764 が動作しているシステムにより誤差が導入されることがあります。例えば、5 Vに一致しないリファレンス電圧値により、ゲイン誤差が発生します。±10 Vの出力範囲と 2 の補数データ・コーディングの場合を想定しています。

オフセット誤差の除去

AD5764 は、16 ビット LSB の 1/8 ステップ・サイズで-4.88 mV～+4.84 mV の範囲のオフセット誤差を除去することができます。

次式を使って、オフセット調整のステップ・サイズを計算します。

$$\text{Offset Adjust Step Size} = \frac{20}{2^{16} \times 8} = 38.14 \mu\text{V}$$

データ・レジスタに 0x0000 を設定し、このときの出力電圧を測定して、オフセット誤差を測定します。この例では、測定値は 614 μV です。

この値により表されるオフセット調整ステップ数を計算します。

$$\text{Number of Steps} = \frac{\text{Measured Offset Value}}{\text{Offset Step Size}} = \frac{614 \mu\text{V}}{38.14 \mu\text{V}} = 16 \text{ Steps}$$

オフセット誤差測定値は正であるため、16 ステップの負調整が必要です。オフセット・レジスタは 8 ビット幅で、コーディングは 2 の補数です。必要とされるオフセット・レジスタ値は次のように計算されます。

調整値をバイナリ 00010000 に変換します。

このバイナリ値のすべてのビットを反転し、1 を加算して負の 2 の補数値 11110000 に変換します。この値をオフセット・レジスタに設定します。

正のオフセット調整値の場合には、この 2 の補数変換が不要なことに注意してください。オフセット・レジスタに設定する値は、調整値のバイナリ表現になります。

ゲイン誤差の除去

AD5764 は、16 ビット LSB の 1/2 ステップ・サイズで-9.77 mV～+9.46 mV 範囲の負フルスケール出力でゲイン誤差を除去することができます。

次式を使って、ゲイン調整のステップ・サイズを計算します。

$$\text{Gain Adjust Step Size} = \frac{20}{2^{16} \times 2} = 152.59 \mu\text{V}$$

データ・レジスタに 0x8000 を設定し、このときの出力電圧を測定して、ゲイン誤差を測定します。ゲイン誤差はこの値と-10 Vとの差を表し、この例では、ゲイン誤差=-1.2 mV です。

この値により表されるゲイン調整ステップ数を計算します。

$$\text{Number of Steps} = \frac{\text{Measured Gain Value}}{\text{Gain Step Size}} = \frac{1.2 \text{ mV}}{152.59 \mu\text{V}} = 8 \text{ Steps}$$

ゲイン誤差測定値は負であるため(大きさ)、8 ステップの正調整が必要です。ゲイン・レジスタは 6 ビット幅で、コーディングは 2 の補数であるため、ゲイン・レジスタ値は次のように求めることができます。

調整値をバイナリ 001000 に変換します。

ゲイン・レジスタに設定する値は、この単純なバイナリ表現になります。

デザインの特長

アナログ出力制御

多くの工業用プロセス制御アプリケーションでは、パワーアップ時と停電時に出力電圧を制御することが不可欠です。電源電圧変化中は、 V_{OUTx} が低インピーダンス・パスを介して0 Vにクランプされます。この間に出力アンプが0 Vに短絡されるのを防止するため、送信ゲートG1もオープンになります(図 35参照)。これらの状態は、電源が安定して、有効なワードがデータ・レジスタへ書込まれるまで維持されます。この時点で、G2がオープンし、G1がクローズします。両送信ゲートは、制御入力のリセット・ロジック(RSTIN)を使って外部からも制御することができます。たとえば、RSTINをバッテリー監視回路チップから駆動する場合、パワーダウン時または停電時にG1を開き、G2を閉じるためにRSTIN入力をロー・レベルに駆動します。逆に、内蔵電圧検出出力(RSTOUT)を使用して、システムの他の部分を制御することもできます。送信ゲートの基本機能を図 35に示します。

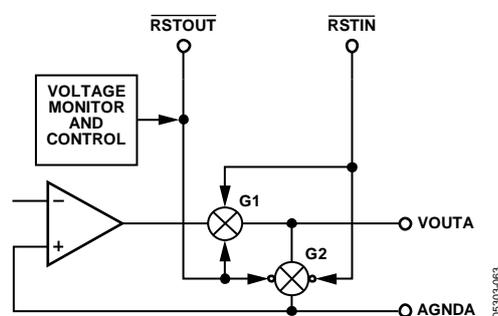


図 35. アナログ出力の制御回路

オフセットとゲインのデジタル調整

AD5764は、 ± 16 LSBの調整範囲と0.125 LSBの分解能を持つデジタル・オフセット調整機能を内蔵しています。粗調整ゲイン・レジスタを使うと、AD5764のフルスケール出力範囲を調整することができます。フルスケール出力を設定することができるため、 ± 10 V、 ± 10.2564 V、 ± 10.5263 Vのフルスケール範囲を実現することができます。ゲインの微調整も可能です。

設定可能な短絡保護機能

出力アンプの短絡電流は、ISCCピンとPGNDピンの間に外付け抵抗を接続して設定することができます。設定可能な電流範囲は、 $120\text{ k}\Omega \sim 6\text{ k}\Omega$ の抵抗範囲に対応して $500\text{ }\mu\text{A} \sim 10\text{ mA}$ です。抵抗値は次のように計算されます。

$$R = \frac{60}{I_{SC}}$$

ISCCピンを解放のままにすると、短絡電流はデフォルトの5 mAに制限されます。短絡電流を小さい値に制限すると、容量負荷を駆動する際に出力のスルーレイトが影響を受けることに注意してください。このため、設定する短絡値では駆動する容量負荷のサイズを考慮する必要があります。

デジタルI/Oポート

AD5764には、2ビットのデジタルI/Oポート(D1とD0)があります。これらのビットは独立に入力または出力に設定することができます。駆動されるか、またはシリアル・インターフェースを介して値をリードバックさせることができます。I/Oポート信号は、 DV_{CC} と $DGND$ を基準とします。出力として設定した場合、マルチプレクサに対する制御信号として、あるいはシステム内のキャリブレーション回路の制御に使うことができます。入力として設定した場合は、たとえば、リミット・スイッチからのロジック信号をD0とD1に入力して、デジタル・インターフェースを使ってリードバックすることができます。

ローカル・グラウンド・オフセットの調整

AD5764はローカル・グラウンド・オフセット調整機能を内蔵しています。ファンクション・レジスタを使ってこの機能をイネーブルすると、個々のDACグラウンド・ピン($AGNDx$)とREFGNDピンとの電位差に対するDAC出力を調節して、DAC出力電圧が常にローカルDACグラウンド・ピンを基準とするようにします。たとえば、AGNDAピンがREFGNDピンを基準として+5 mVであり、VOUTAがAGNDAを基準とする場合、-5 mVの誤差が発生するため、ローカル・グラウンド・オフセット調整機能によりVOUTAを+5 mVだけ調節して、誤差をなくすことができます。

アプリケーション情報

代表的な動作回路

図 36 に、AD5764 の代表的な動作回路を示します。この高精度 16 ビット DAC に必要な外付け部品は、リファレンス電圧源、電源ピンとリファレンス入力に接続するデカップリング・コンデンサ、オプションの短絡電流設定抵抗だけです。このデバイスはリファレンス・バッファを内蔵しているため、外付けバイポーラ・リファレンス電圧とそのバッファは不要です。このため、コストとボード・スペースを節約できます。

図 36 では、 AV_{DD} が +15 V に、 AV_{SS} が -15 V に、それぞれ接続されていますが、 AV_{DD} は +11.4 V ~ +16.5 V の電源で、 AV_{SS} は -11.4 V ~ -16.5 V の電源で、それぞれ動作することができます。

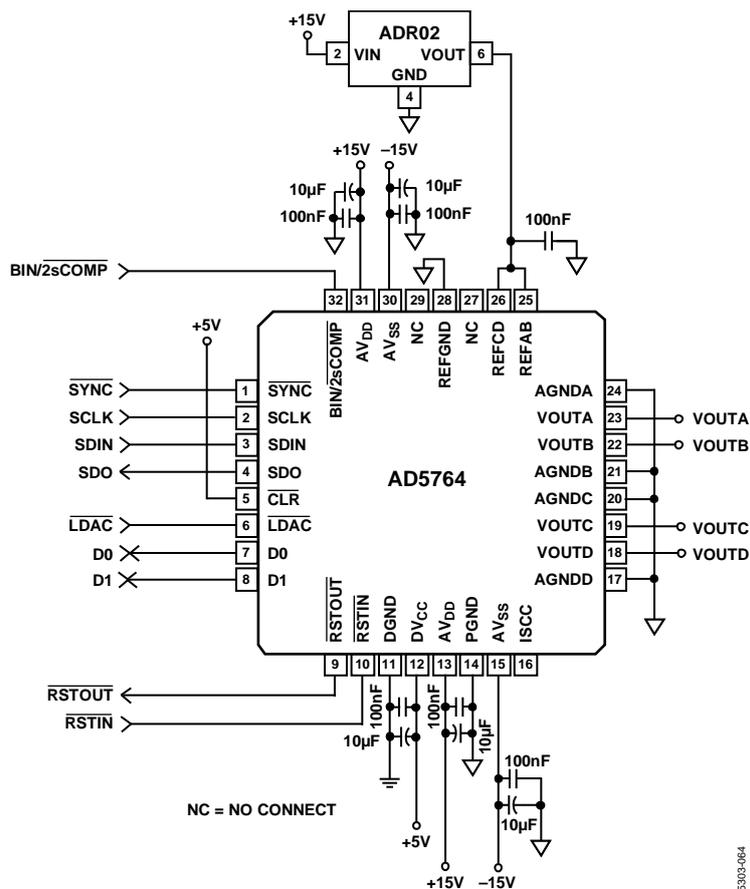


図 36. 代表的な動作回路

065903-064

高精度リファレンス電圧の選択

フル動作温度範囲で AD5764 の最適性能を実現するためには、高精度の高精度リファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。AD5764 には 2 つのリファレンス入力(REFAB と REFCD)があります。リファレンス入力に加えられる電圧は、DAC コアのバッファされた正と負のリファレンス電圧を供給するために使われます。このため、リファレンス電圧の誤差はデバイスの出力に影響を与えます。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、出力電圧の温度係数、長時間ドリフト、出力電圧ノイズの 4 つがあります。

外部リファレンスの出力電圧の初期精度誤差により、DAC 内でフルスケール誤差が発生します。これらの誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR425 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。この調整機能は、誤差をなくすため温度に対しても使用できます。

表 20. AD5764 と組み合わせて使用する推奨高精度リファレンス電圧

Part No.	Initial Accuracy (mV Max)	Long-Term Drift (ppm Typ)	Temp Drift (ppm/°C Max)	0.1 Hz to 10 Hz Noise (µV p-p Typ)
ADR435	±2	40	3	8
ADR425	±2	50	3	3.4
ADR02	±5	50	3	10
ADR395	±5	50	9	8

長時間ドリフトは、リファレンス出力電圧の時間的なドリフトの大きさを表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

リファレンス出力電圧の温度係数は、INL、DNL、TUE に影響を与えます。DAC 出力電圧の周囲条件に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。システム分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR435 (XFET[®] デザイン) のような高精度リファレンス電圧は、0.1 Hz～10 Hz の領域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広がると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5764 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5764 を使用する場合は、この接続は 1 ヶ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。AD5764 に対しては、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。 $10\mu\text{F}$ コンデンサはタンタルのビーズ型を使います。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5764 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDIN ラインと SCLK ラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます(多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます)。リファレンス入力のノイズは DAC 出力に混入するため、このノイズを小さくすることは不可欠です。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を削減することができます。マイクロストリップ技術の使用が推奨されますが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。Isocoupler は 2.5 kV を超える電圧アイソレーションを提供します。AD5764 はシリアル・ローディング構造を採用しているため、インターフェース線数が最小で済むので、インターフェースのアイソレーションに最適です。

図 37 に、ADuM1400 を使用した、AD5764 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/jp/index.html> をご覧ください。

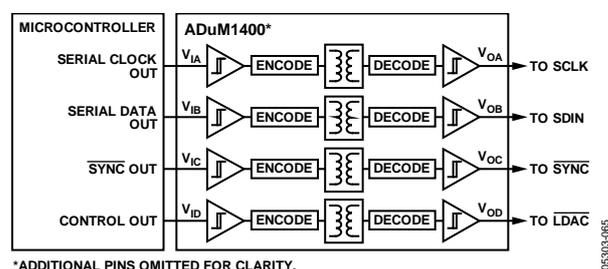


図 37. 絶縁型インターフェース

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5764 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、同期信号から構成される 3(最小)線式インターフェースです。AD5764 では 24 ビット・データ・ワードを使い、データは SCLK の立下がりエッジで有効になります。

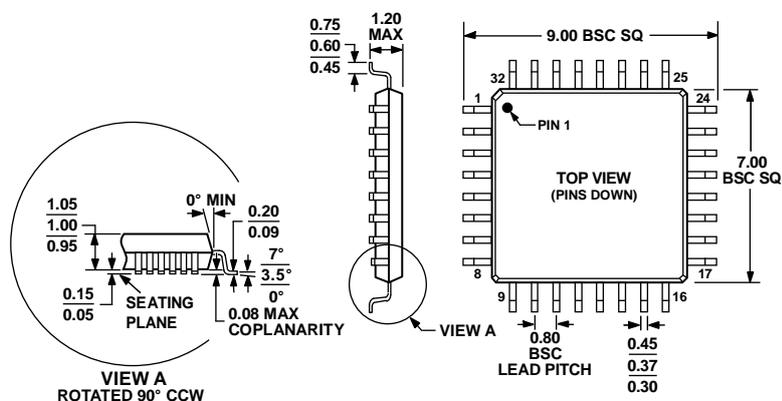
すべてのインターフェースで、すべてのデータが入力されたとき、出力の更新を自動的に行うことができます。あるいは、LDACからの制御により行うこともできます。データ・レジスタの値は、リードバック機能を使って読出すことができます。

評価用ボード

AD5764 には、デバイスの高性能を容易に評価できる評価用ボードが添付されています。評価用ボードの動作に必要なものは、電源と PC だけです。AD5764 評価キットには、部品が実装されたテスト済みの AD5764 PCB が含まれています。評価用ボードは、PC の USB ポートに接続されます。評価用ボードでは、AD5764 の設定を容易にするソフトウェアを使うことができます。このソフトウェアは、Microsoft® Windows® 2000/NT/XP をインストールした PC 上で動作します。

評価用ボードの動作を詳しく説明する EVAL-AD5764EB データシートを提供しています。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-ABA

020607-A

図 38.32 ピン薄型プラスチック・クワッド・フラット・パッケージ [TQFP](SU-32-2)寸法: mm

オーダー・ガイド

Model	INL	Temperature Range	Package Description	Package Option
AD5764ASUZ ¹	±4 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
AD5764ASUZ-REEL ¹	±4 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
AD5764BSUZ ¹	±2 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
AD5764BSUZ-REEL ¹	±2 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
AD5764CSUZ ¹	±1 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
AD5764CSUZ-REEL ¹	±1 LSB max	-40°C to +85°C	32-Lead TQFP	SU-32-2
EVAL-AD5764EBZ ¹			Evaluation Board	

¹ Z = RoHS 準拠製品。